

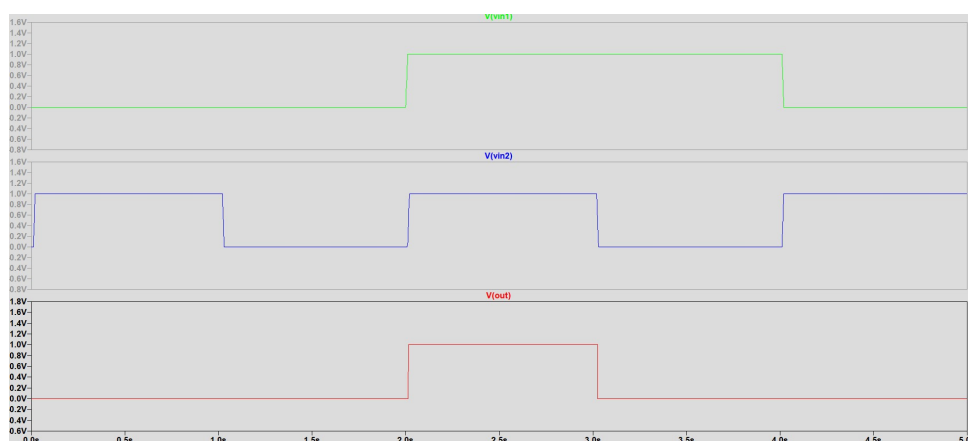
## Podstawowe symulacje wybranych układów CMOS

Student      Seweryn Wasilewski  
Nr Albumu    160128  
PTCID        15  
Kierunek     Informatyka  
Wydział      Wydział Informatyki i Teleinformatyki  
Laboratoria   3

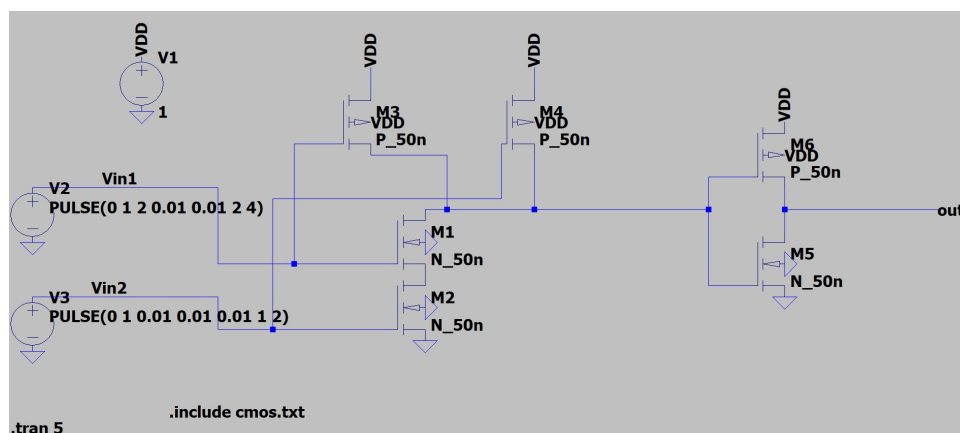
### Bramka Logiczna AND

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

Tabela 1: Tabela prawdy bramki AND



Rysunek 1: Symulacja bramki AND

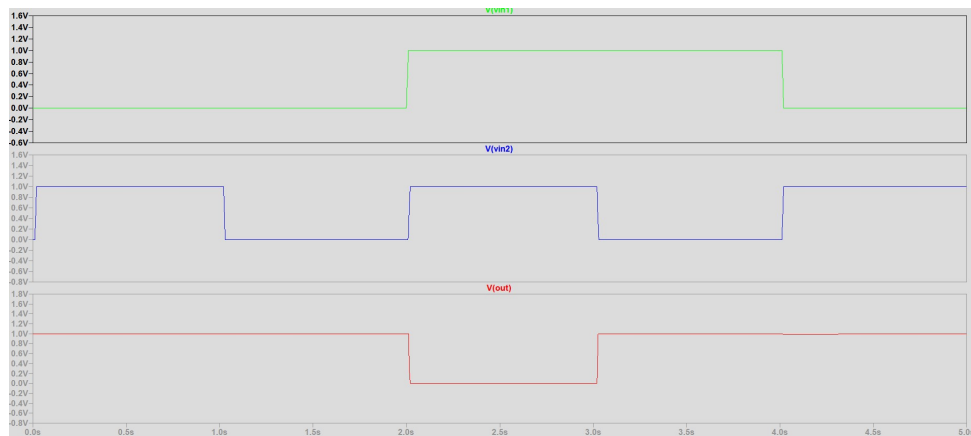


Rysunek 2: Schemat Bramki AND na tranzystorach

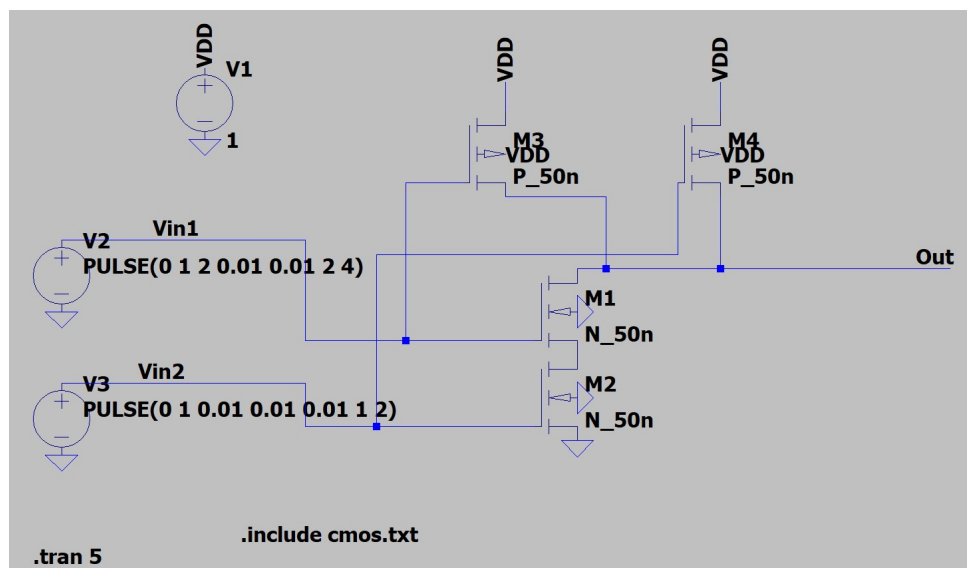
## Bramka Logiczna NAND

A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

Tabela 2: Tabela prawdy bramki NAND



Rysunek 3: Symulacja bramki NAND

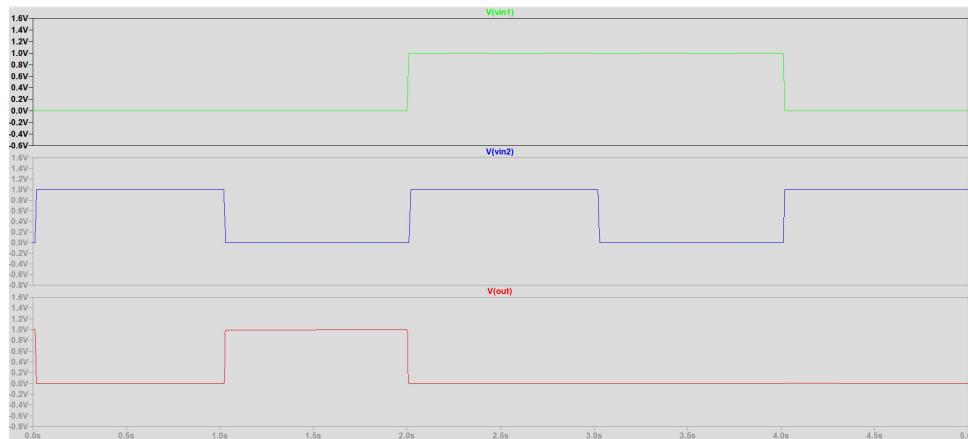


Rysunek 4: Schemat Bramki NAND na tranzystorach

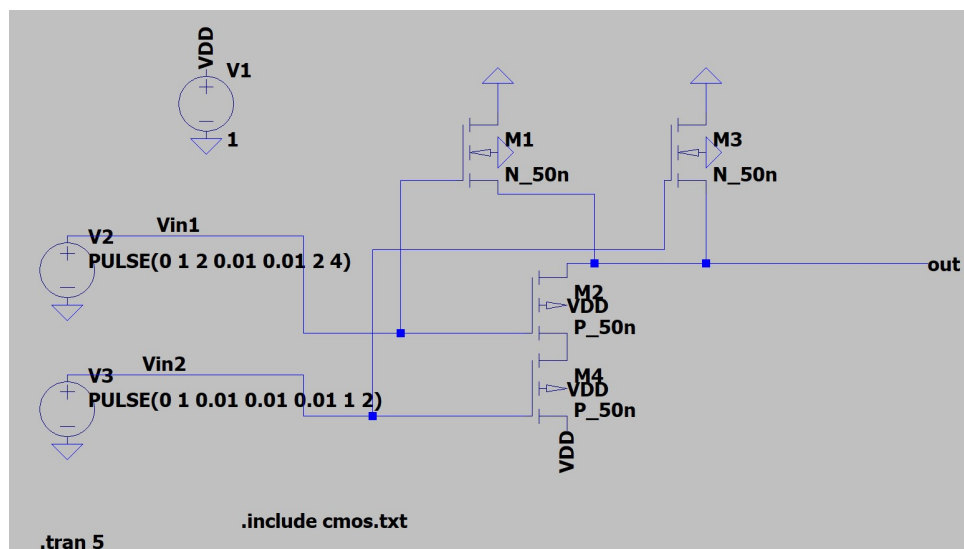
## Bramka Logiczna NOR

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0

Tabela 3: Tabela prawdy bramki NOR



Rysunek 5: Symulacja bramki NOR



Rysunek 6: Schemat Bramki NOR na tranzystorach