

Laboratorium podstaw techniki cyfrowej		Czas zajęć	czwartek 18:30
Zadanie nr 1	Temat: Przykład dokumentacji transkodera	Data oddania opracowania:	17.10.2020
Imię i Nazwisko:	Seweryn Wasilewski	Nr Albumu:	160128

- W schemacie na rysunku 1 (z poprzednich zajęć) dokonać zmiany wartości szerokości kanału tranzystora nMOS z  $W=10\mu$  na  $W=5\mu$ . Następnie dokonać ponownej symulacji układu. Zinterpretować uzyskane wyniki w odniesieniu do wzorów opisujących zasadę działania tranzystora nMOS.

Odp: Zmniejszenie szerokości kanału  $W$  z  $10\mu\text{m}$  do  $5\mu\text{m}$  spowoduje, że prąd  $I_D$  ulegnie zmniejszeniu, ponieważ  $W$  pojawia się w liczniku równania na prąd drenu. Przy mniejszej wartości  $W$ , współczynnik  $\frac{W}{L}$  maleje, co oznacza, że tranzystor będzie przewodził mniejszy prąd dla tych samych wartości  $V_{GS}$  i  $V_{DS}$ .

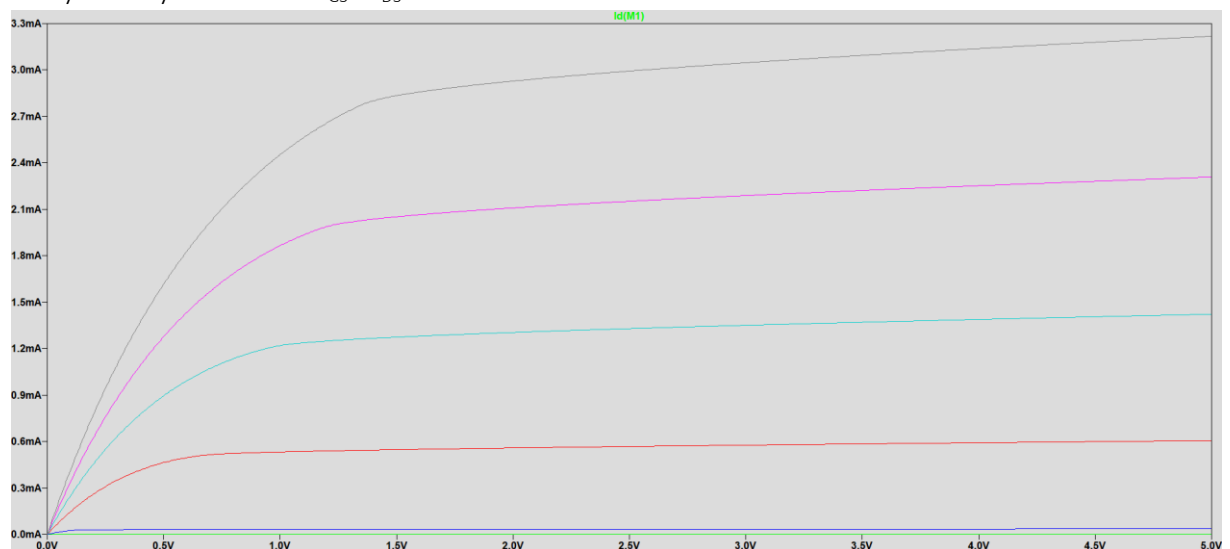


Figure 1  $f(V_{DS}) = I_D$  dla  $W = 10\mu$

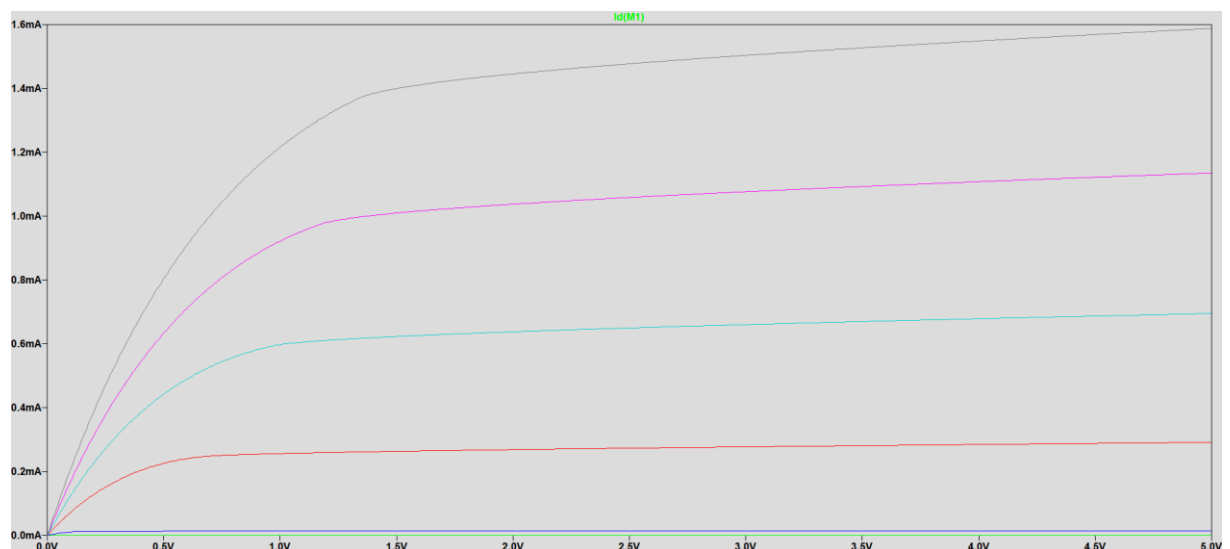
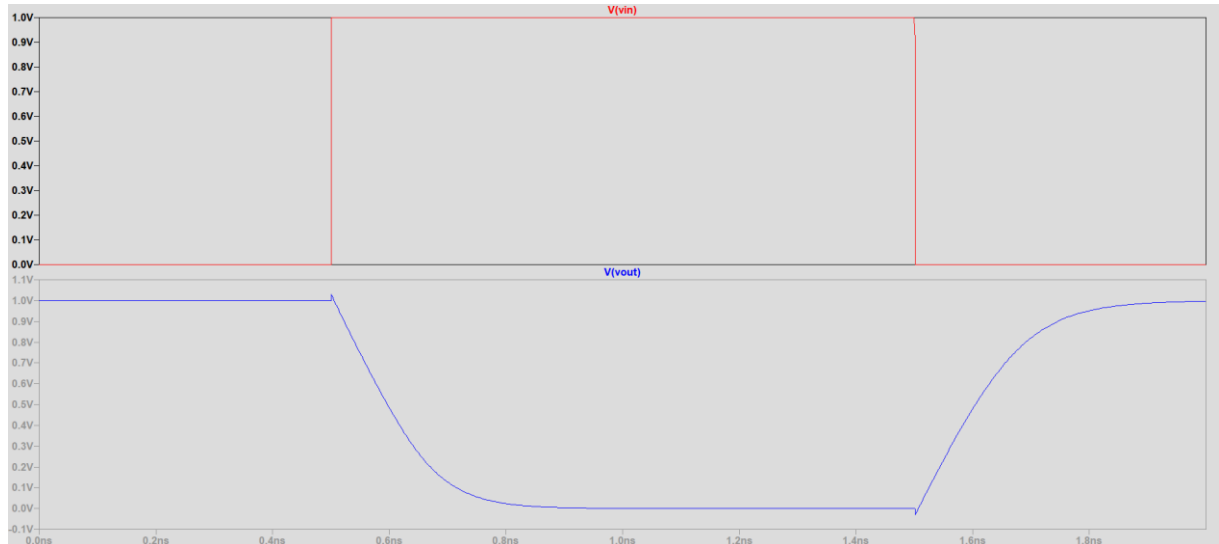


Figure 2  $f(V_{DS}) = I_D$  dla  $W = 5\mu$

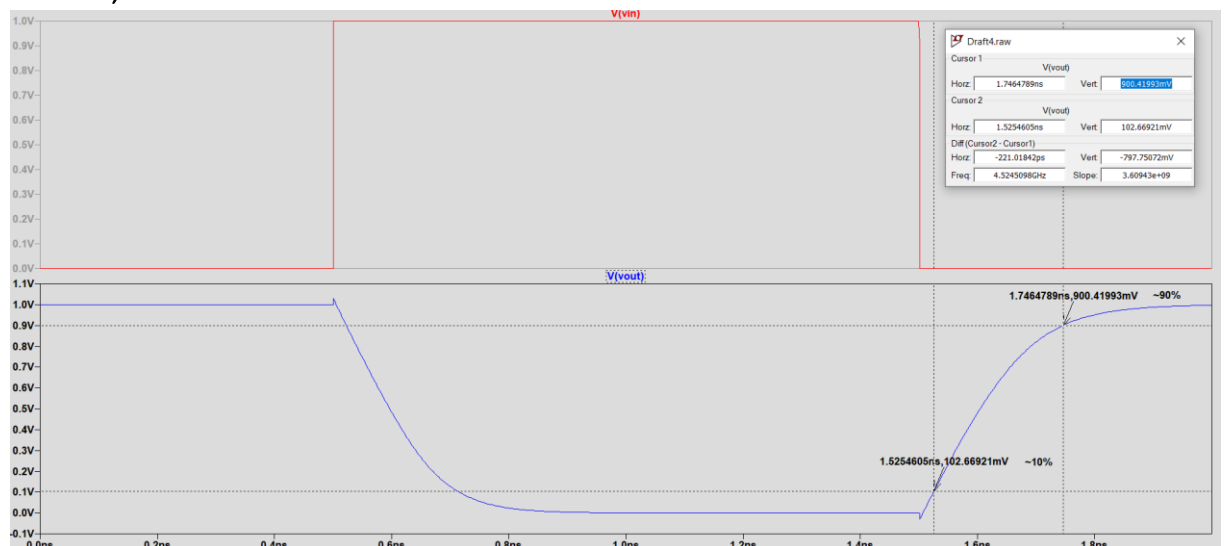
2. Dokonać symulacji obwodu z rysunku 2. W oknie wyników symulacyjnych, pod prawym przyciskiem wybrać Add plot pane. Napięcie wejściowe i wyjściowe wyświetlić w niezależnych sekcjach ('plot pane'). Analizując wyniki uzyskanej symulacji dokonaj interpretacji zasady działania inwertera CMOS.



3. Dlaczego długości oraz szerokości kanałów dla tranzystorów pMOS i nMOS nie są jednakowe?  
Odp: W inwerterze CMOS szerokości i długości kanałów tranzystorów pMOS i nMOS nie są jednakowe ze względu na różnice w mobilności nośników ładunku. Tranzystor nMOS przewodzi prąd za pomocą elektronów, które mają większą mobilność niż dziury, które przewodzą prąd w tranzystorze pMOS. W efekcie tranzystor nMOS dla takiego samego napięcia przewodzi większy prąd niż pMOS.

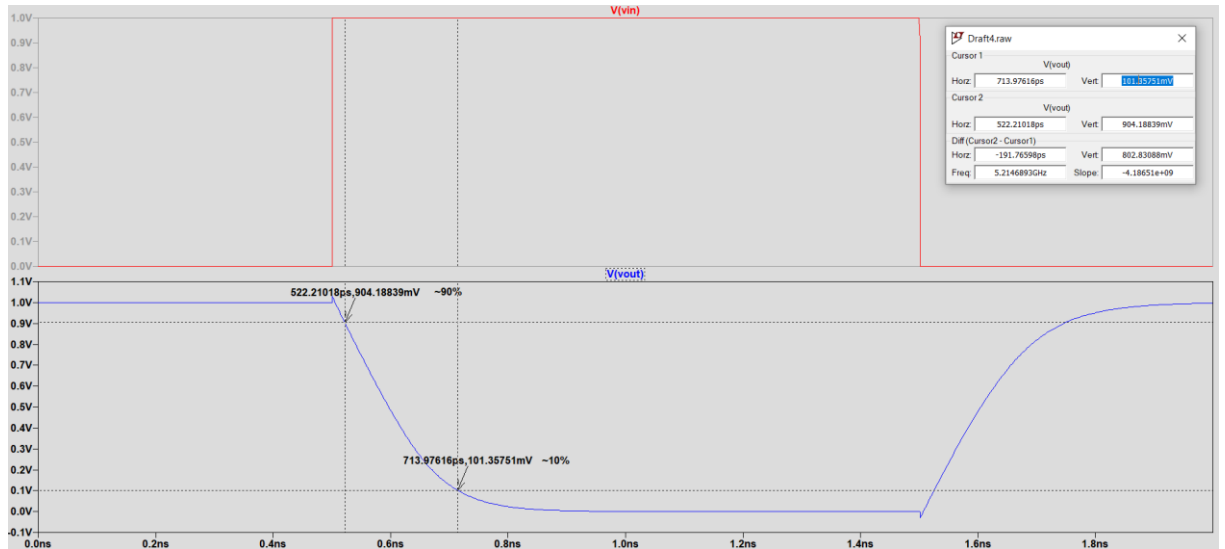
4. Dla symulacji z rysunku 2 wyznaczyć parametry:

- rise time,



$$t_r \approx 900 - 102 = 798[ps]$$

- fall time,

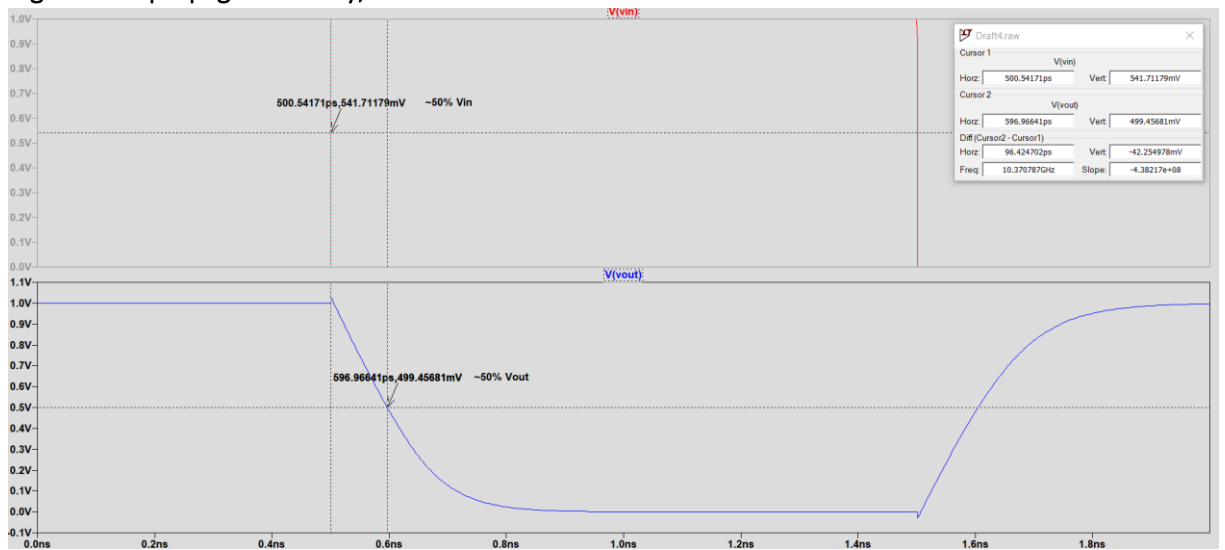


$$t_f \approx 713 - 512 = 201[ps]$$

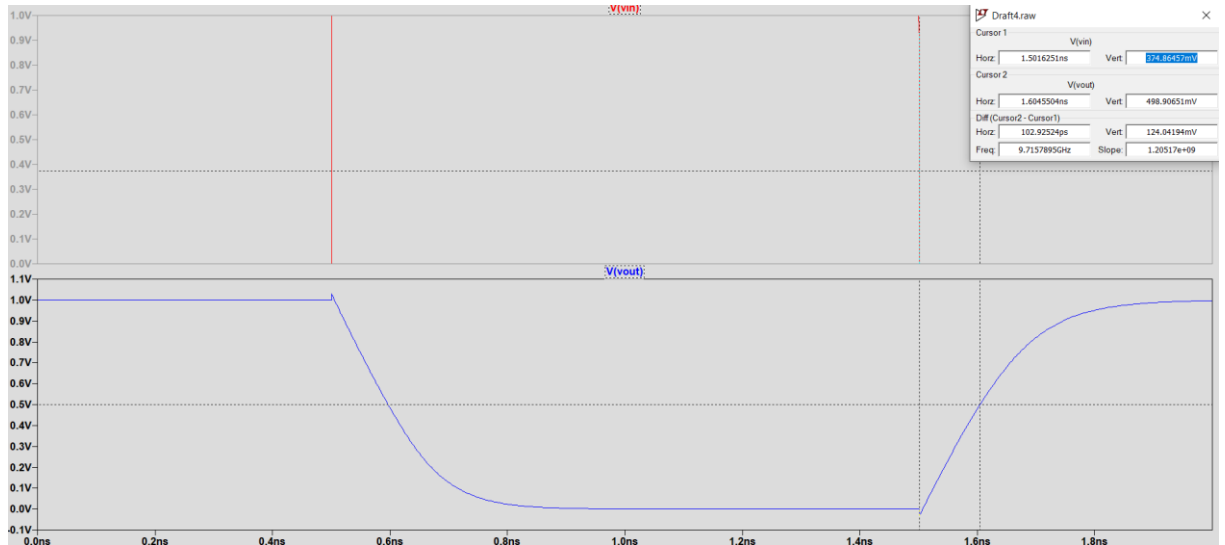
- edge rate,

$$t_{rf} = \frac{t_f + t_r}{2} \approx \frac{201 + 798}{2} = 499,5$$

- high-to-low propagation delay,



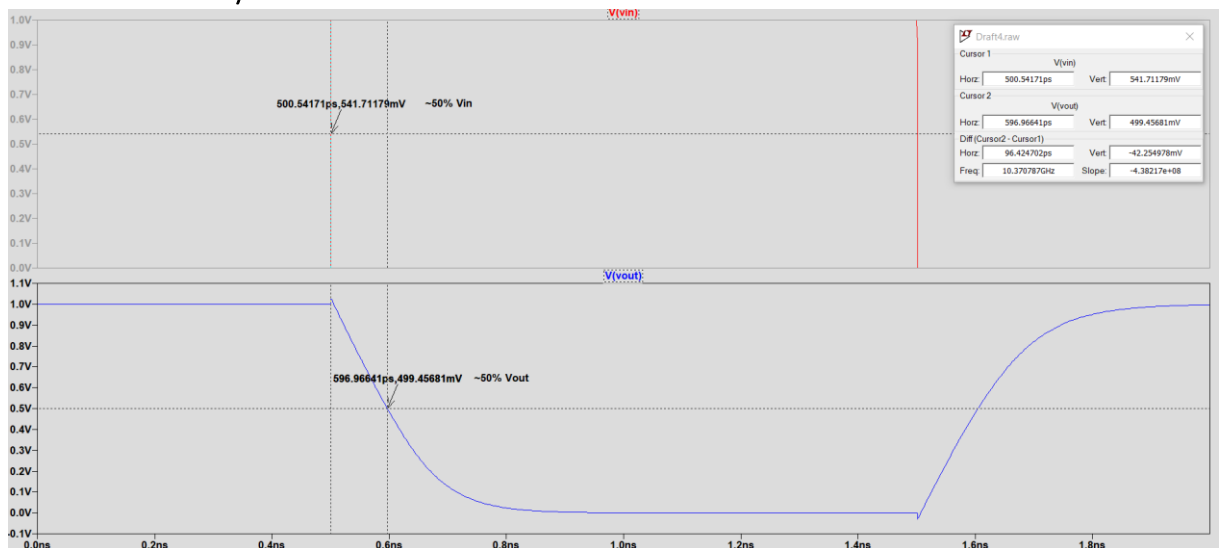
- low-to-high propagation delay,



- propagation delay,

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = \frac{102.93 + 94.42}{2} = 98,675[ps]$$

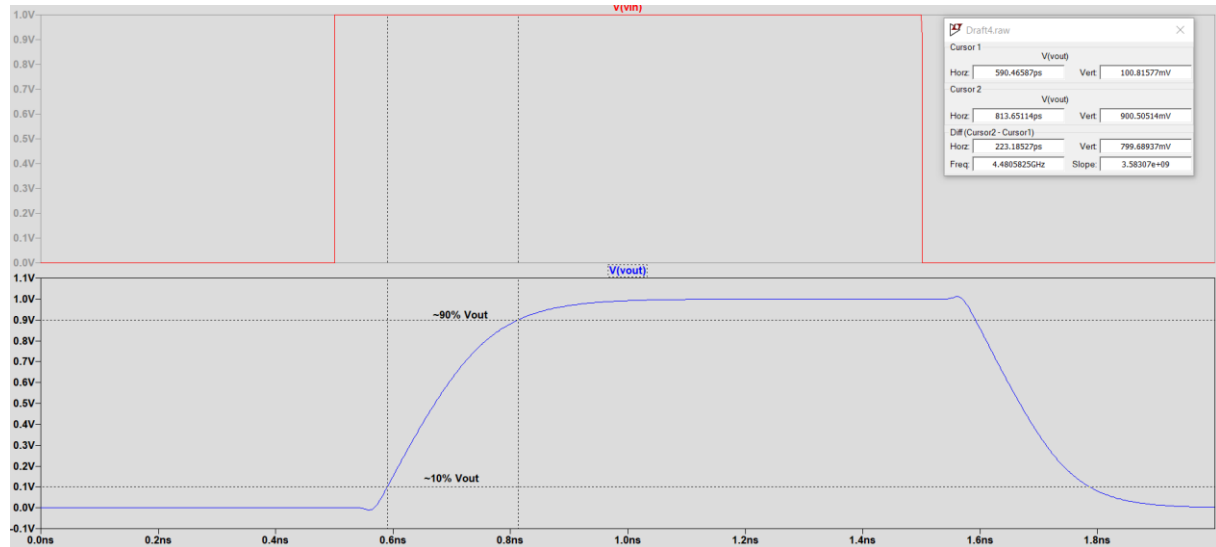
- contamination delay



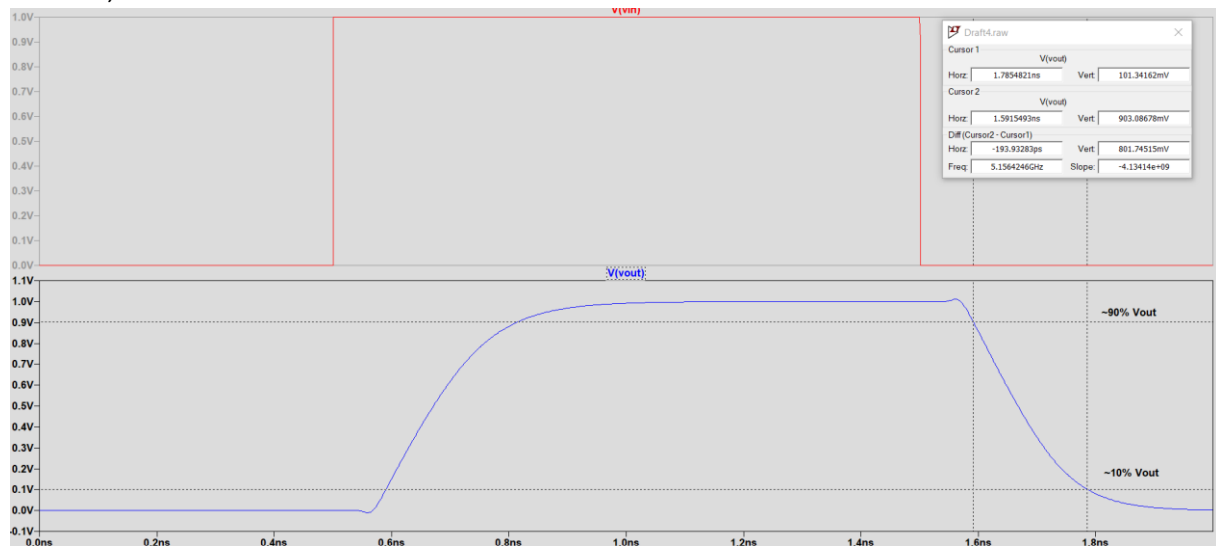
$$t_{cd} \approx 96[ps]$$

- Opierając się na przykładzie z rysunku 2 zaprojektować układ złożony z połączonych szeregowo 4 bramek logicznych not (inwerterów). Ostatni inwerter obciążyć pojemnościowo. Dla zaprojektowanego układu dokonać symulacji oraz wyznaczyć parametry z poprzedniego punktu mierzone między portem wyjściowym na pierwszej bramce, a wyjściem każdej kolejnej bramki not. Schemat zaprojektowanego układu oraz wyniki symulacji z oznaczeniami jak w poprzednim punkcie należy umieścić w protokole.

- rise time,



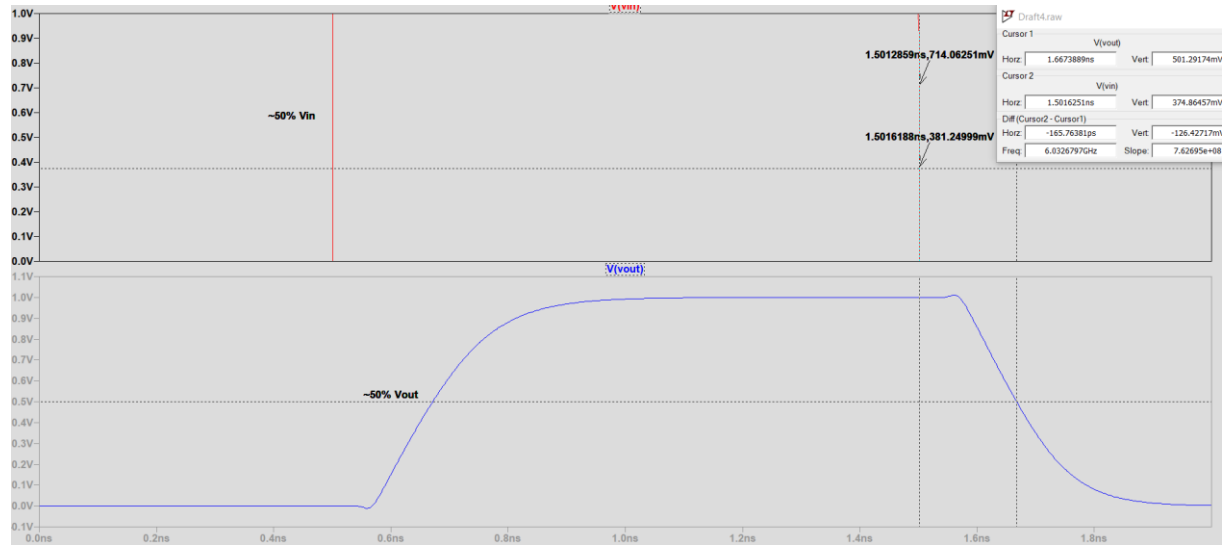
- fall time,



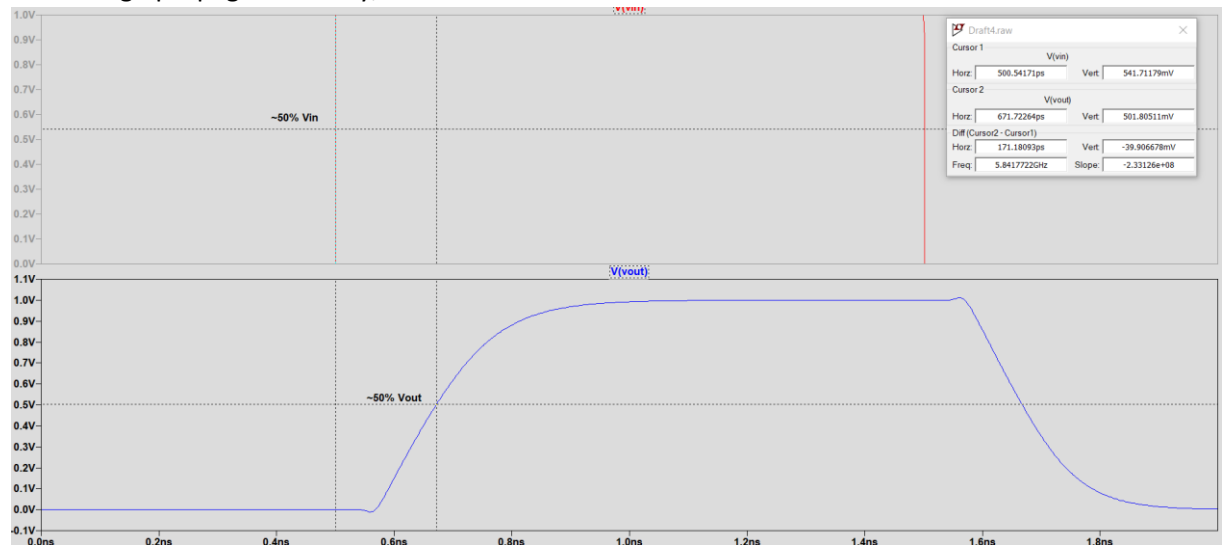
- edge rate,

$$t_{rf} = \frac{t_r + t_f}{2} = \frac{193.93 + 223.18}{2} = 208.555[ps]$$

- high-to-low propagation delay,



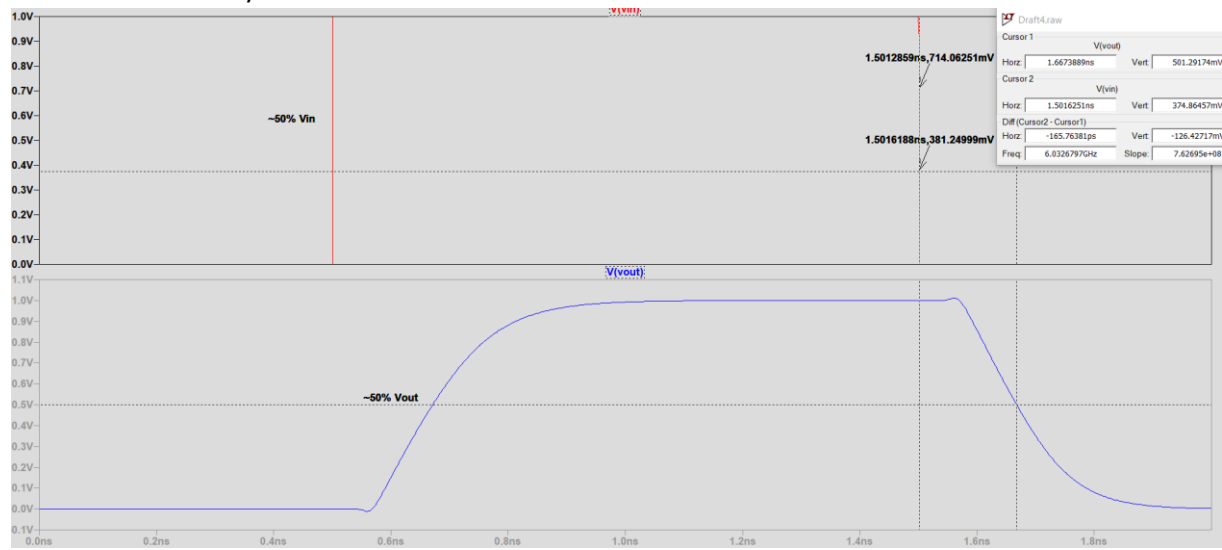
- low-to-high propagation delay,



- propagation delay,

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = \frac{171.18 + 165.76}{2} = 168,47[ps]$$

- contamination delay



$$t_{cd} \approx 165[ps]$$