

Skracanie liczników

Student [REDACTED]
Nr Albumu 160128
PTCID 15
Kierunek Informatyka
Wydział Wydział Informatyki i Teleinformatyki
Ćwiczenie 3

Układ licznika asynchronicznego - użycie układu o symbolu 7493

Liczba 315 w NKB ma postać 100111011_{NKB} . Zapis ma długość 9 bitów, co oznacza, że do budowy licznika trzeba użyć trzech liczników 4-bitowych TTL 7493, przy czym ostatni (zmieniający się najrządziej) licznik ma wyjście wyprowadzone tylko z jednego bitu, ponieważ pozostałe bity są zawsze w stanie 0, więc nie ma potrzeby podłączać do nich pin'ów wyjść.

Układ licznika TTL 7493 posiada reset asynchroniczny, co oznacza, że na reset trzeba podać wartość 1, gdy osiągnięta zostanie wartość o jeden większa, niż ostatnia oczekiwana.

W przypadku licznika $\text{mod}(315)$ ostatnią pożądaną wartością jest 314, a więc sygnał resetujący musi zostać wysłany, gdy liczniki osiągną stan 315. Sygnał resetujący zostaje podany, gdy poszczególne wyjścia liczników przyjmują wartości:

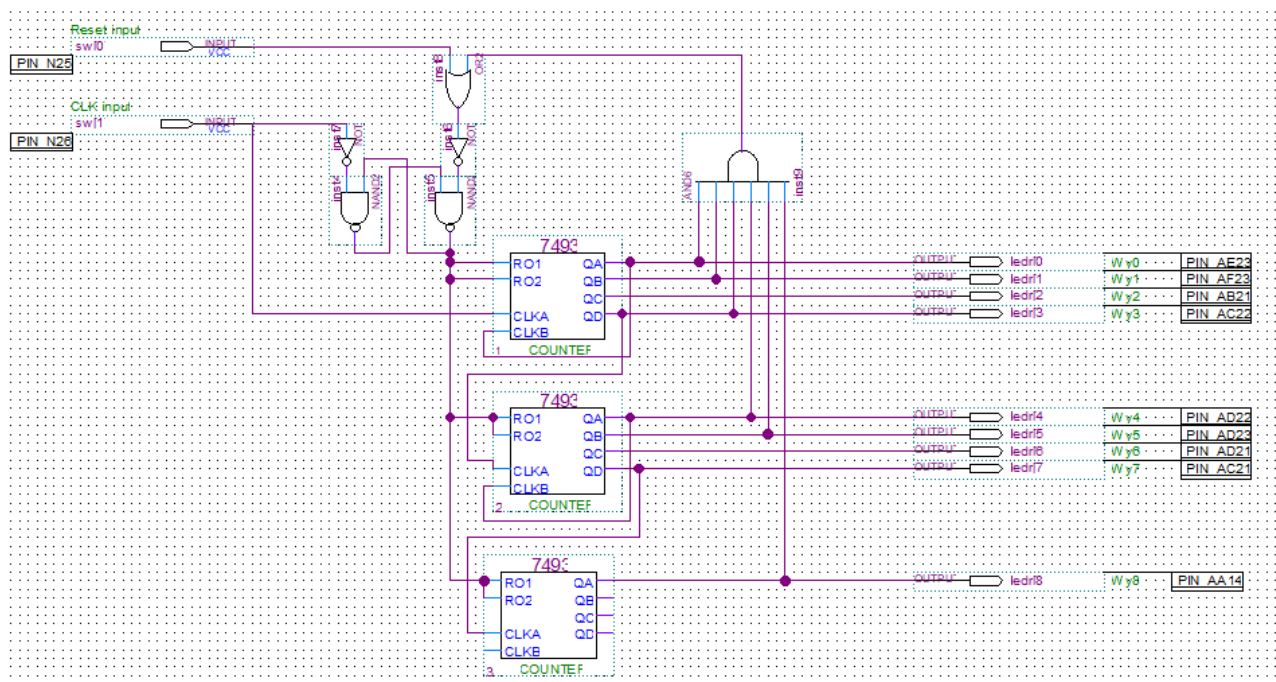
$$\begin{aligned}W_{y_0} &= 1 \\W_{y_1} &= 1 \\W_{y_2} &= 0 \\W_{y_3} &= 1 \\W_{y_4} &= 1 \\W_{y_5} &= 1 \\W_{y_6} &= 0 \\W_{y_7} &= 0 \\W_{y_8} &= 1\end{aligned}$$

, gdzie W_{y_0} jest najmniej znaczącym bitem, a $W_{y_8} = 1$ najbardziej znaczącym bitem.

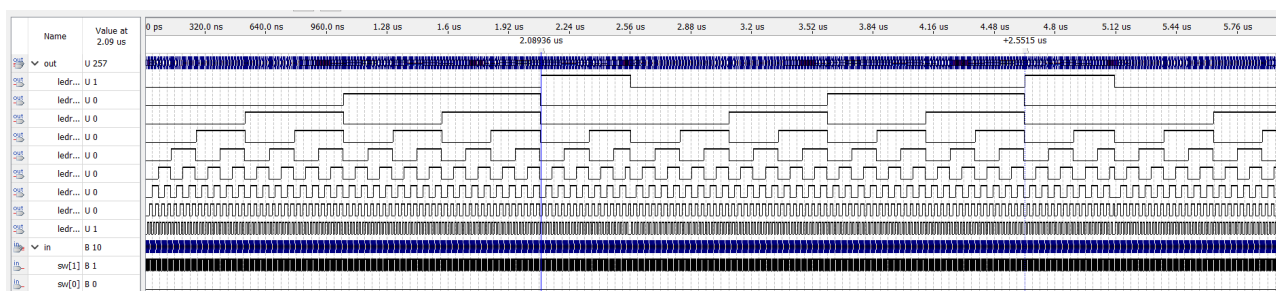
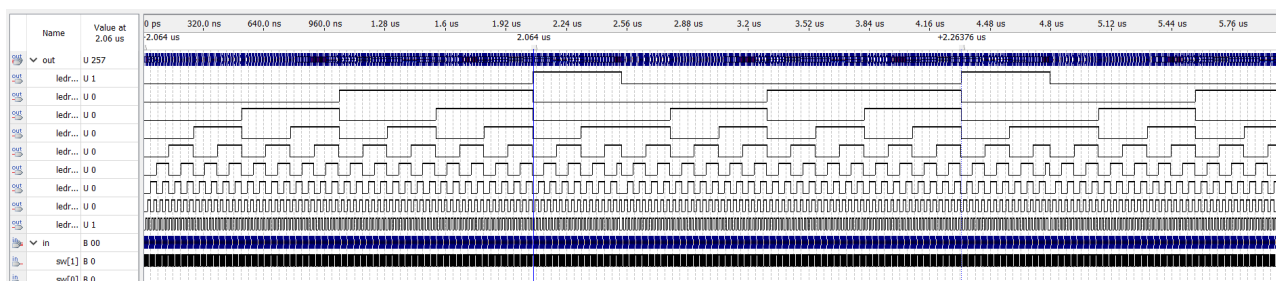
W takim wypadku otrzymujemy funkcję resetującą liczniki:

$$R = W_{y_0} \cdot W_{y_1} \cdot \overset{1.1}{W_{y_3}} \cdot W_{y_4} \cdot W_{y_5} \cdot W_{y_8}$$

Do sygnału resetującego podpięty jest przycisk resetujący (za pomocą bramki OR). Jednak tak zaprojektowany układ nie będzie działał poprawnie, gdyż sygnał resetujący nadawany jest zbyt krótko i nie wszystkie układy liczników są poprawnie resetowane. Trzeba zatem dołożyć element opóźniający w postaci przerzutnika typu RS podłączone do zaprzeczonego sygnału resetującego R i do zaprzeczonego sygnału $\overset{1.2}{\text{zegarowego}}$, co pozwala na opóźnienie o pół okresu.



Rysunek 1: Schemat układu dla układu licznika asynchronicznego mod(315)

Rysunek 2: Przebieg czasowy dla licznika asynchronicznego mod(315) z okresem zegara $T_{clk} = 8.1[\text{ns}]$ z zaznaczonym okresem sygnału wyjściowego o najdłuższym okresie $T = 315 \cdot T_{clk}$ ^{2.1}niający kryterium poprawności (kolejne stany stabilne są poprawne).Rysunek 3: Przebieg czasowy dla licznika asynchronicznego mod(315) z okresem zegara $T_{clk} = 8.0[\text{ns}]$ nie spełniający kryterium poprawności (zależność dla okresu na najstarszym bicie $T = 315 \cdot T_{clk}$ nie jest spełniona).

Układ licznika synchronicznego - użycie układu o symbolu 74163

3.1

Licznik mod(315) zaprojektowany z użyciem układów TTL 74163 jest bardzo zbliżony do wcześniej przedstawionego rozwiązania. Dzięki synchronicznemu resetowi, obecnemu w tym układzie, nie ma potrzeby stosowania dodatkowego zatrzasku opóźniającego w projekcie. Sygnał resetujący jest generowany w momencie osiągnięcia ostatniego pożądanego stanu licznika, czyli 314 (zamiast 315, jak miało to miejsce wcześniej). Liczba 314 w NKB ma postać 100111010_{NKB}

3.2

$$W_{y_0} = 0$$

$$W_{y_1} = 1$$

$$W_{y_2} = 0$$

$$W_{y_3} = 1$$

$$W_{y_4} = 1$$

$$W_{y_5} = 1$$

$$W_{y_6} = 0$$

$$W_{y_7} = 0$$

$$W_{y_8} = 1$$

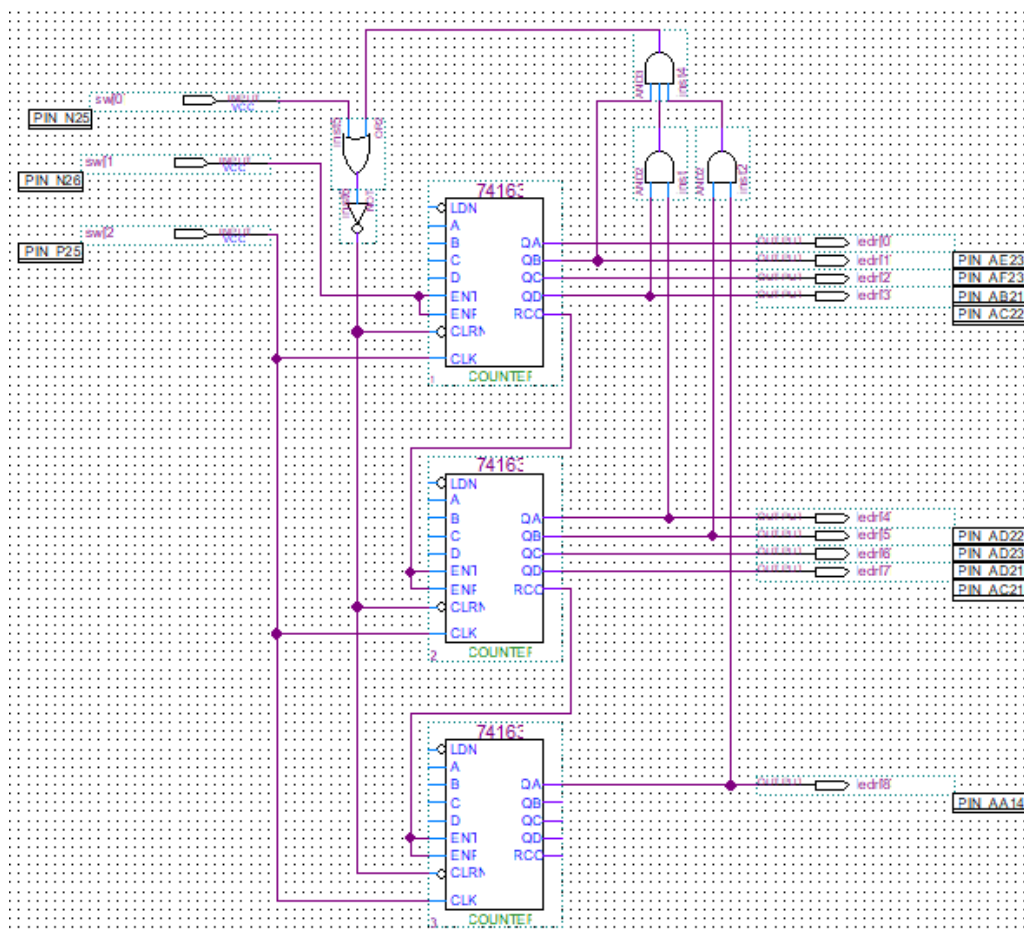
Uzyskujemy więc funkcję resetującą liczniki w postaci:

$$R = W_{y_1} \cdot W_{y_3} \cdot W_{y_4} \cdot W_{y_5} \cdot W_{y_8}$$

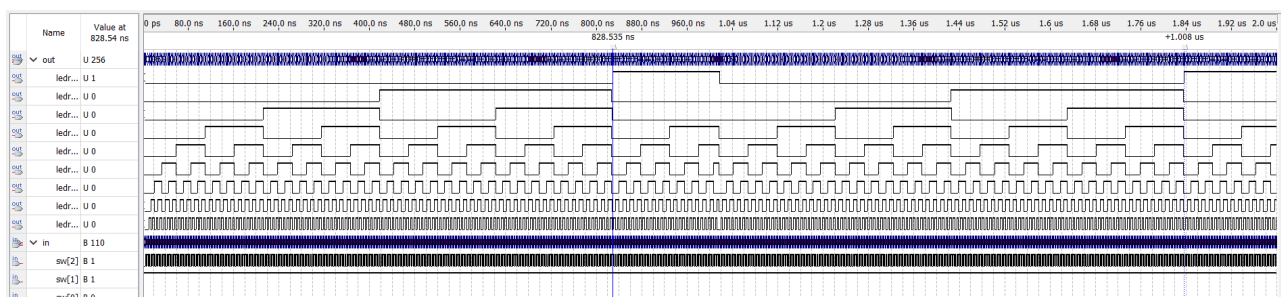
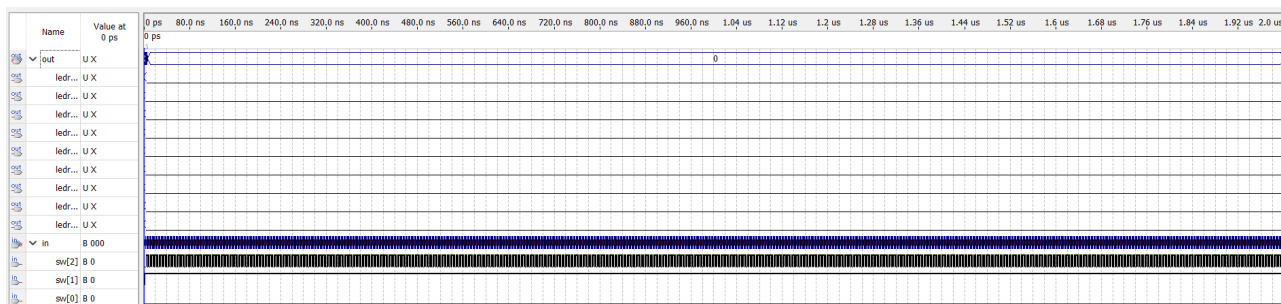
3.3

Do resetu musi zostać podany stan niski, dlatego wyjście układu logicznego oraz przycisk resetujący są połączone za pomocą bramki OR i NOT. Dodatkowe wejścia ENT i ENP (wejścia zezwalające) zostały połączone. W pierwszym układzie licznika są one podłączone bezpośrednio do przycisku zezwalającego, natomiast w dwóch kolejnych licznikach do wyjścia RCO poprzedniego układu, które sygnalizuje osiągnięcie maksymalnej wartości licznika i co za tym idzie zezwolenie na zliczanie następnego licznika. Wszystkie wejścia zegarowe są bezpośrednio połączone z przyciskiem wyzwalającym.

3.4



Rysunek 4: Schemat układu dla układu licznika synchronicznego mod(315)

Rysunek 5: Przebieg czasowy dla licznika synchronicznego mod(315) z okresem zegara $T_{clk} = 3.2[\text{ns}]$ z zaznaczonym okresem sygnału wyjściowego o najdłuższym okresie $T = 315 \cdot T_{clk}$ spełniający kryterium poprawności (kolejne stany stabilne są poprawne).Rysunek 6: Przebieg czasowy dla licznika synchronicznego mod(315) z okresem zegara $T_{clk} = 3.1[\text{ns}]$ nie spełniający kryterium poprawności (Brak odpowiedzi).

Indeks komentarzy

- 1.1 sygnał resetujący nadawany zbyt krótko ?! - niepoprawnie
- 1.2 element opóźniający - niepoprawnie !
- 2.1 "kolejne stany stabilne są poprawne" ? - niewłaściwe kryterium poprawności ! por treść zadania !
- 3.1 opóźnienie? czego ?
- 3.2 raczej całkowicie inny
ty licznika i rodzaj zerowania - inne !
- 3.3 maksymalnej wartości którego licznika ?
- 3.4 co to jest przycisk wyzwalający ?
nie widziałem ani żadnego wyzwalania ?!