

Laboratorium podstaw techniki cyfrowej		Czas zajęć	środa 13:30
Zadanie nr 1	<b>Temat:</b> Transkodera	Data oddania opracowania:	4.11.2020
Imię i Nazwisko:		Nr Albumu:	160128
PTCLABID:	15		

## 1. Opis zadania

Wykonać projekt układu transkodera kodu 3 bitowego wg specyfikacji w tabeli 1. Wykonać test poprawności pracy układu za pomocą symulatora Quartus II symulator. Przedstawić czasy propagacji układu dostępne w wynikach analizy czasowej oraz zmierzyć czasy propagacji w odpowiedzi na zadany podzbiór zmian na wejściu układu

## 2. Specyfikacja Transkodera

Wej	Wyj
0	0
1	3
2	2
3	2
4	6
5	1
6	4
7	∅

*Tabela 1 Specyfikacja w kodzie dziesiętnym realizowanego Transkodera*

Wej	Wyj
000	000
001	011
010	010
011	010
100	110
101	001
110	100
111	∅

*Tabela 2 Specyfikacja w kodzie NKB Transkodera*

Wej			Wyj		
4	2	1	4	2	1
0	0	0	0	0	0
0	0	1	0	1	1
0	1	0	0	1	0
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	0	0	1
1	1	0	1	0	0
1	1	1	∅	∅	∅

*Tabela 3 Specyfikacja w kodzie dziesiętnym realizowanego Transkodera z rozpisanymi stanami na każdym wejściu/wyjściu*

Funkcje wyjść transkodera:

$$\text{Wyj1} = f(\text{we4}, \text{we2}, \text{we1}) = \Sigma(1, 5), d(7)$$

$$\text{Wyj2} = f(\text{we4}, \text{we2}, \text{we1}) = \Sigma(1, 2, 3, 4), d(7)$$

$$\text{Wyj4} = f(\text{we4}, \text{we2}, \text{we1}) = \Sigma(4, 6), d(7)$$

We4\we2,we1	0,0	0,1	1,1	1,0
0	0	1	0	0
1	0	1	∅	0

Tabela 4 Tablica Karno dla funkcji realizowanej przez wyjście Wyj1

We4\we2,we1	0,0	0,1	1,1	1,0
0	0	1	1	1
1	1	0	∅	0

Tabela 5 Tablica Karno dla funkcji realizowanej przez wyjście Wyj2

We4\we2,we1	0,0	0,1	1,1	1,0
0	0	0	0	0
1	1	0	∅	1

Tabela 6 Tablica Karno dla funkcji realizowanej przez wyjście Wyj4

Równania funkcji wyjść po minimalizacji:

$$\text{Wyj1} = (\text{we2})' \text{we1}$$

$$\text{Wyj1} = (\text{we4})' \text{we1} + (\text{we4})' \text{we2} + \text{we4} (\text{we2})' (\text{we1})'$$

$$\text{Wyj2} = \text{we4} (\text{we1})'$$

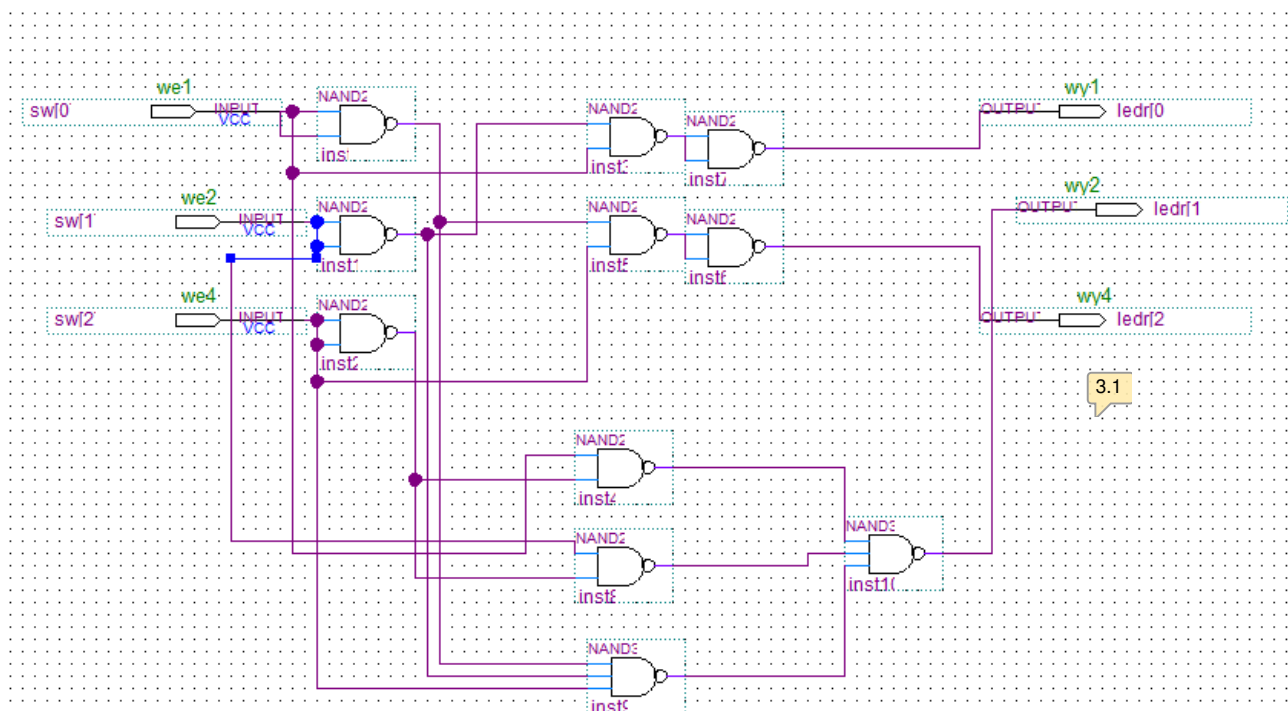
Implementacja za pomocą NAND:

$$\text{Wyj1} = ( ((\text{we2} \text{ we2})' \text{we1})' * ((\text{we2} \text{ we2})' \text{we1})' )'$$

$$\text{Wyj2} = ( ( (\text{we4} \text{ we4})' \text{we1})' * ( (\text{we4} \text{ we4})' \text{we2})' * (\text{we4} (\text{we2} \text{ we2})' (\text{we1} \text{ we1})' )' )'$$

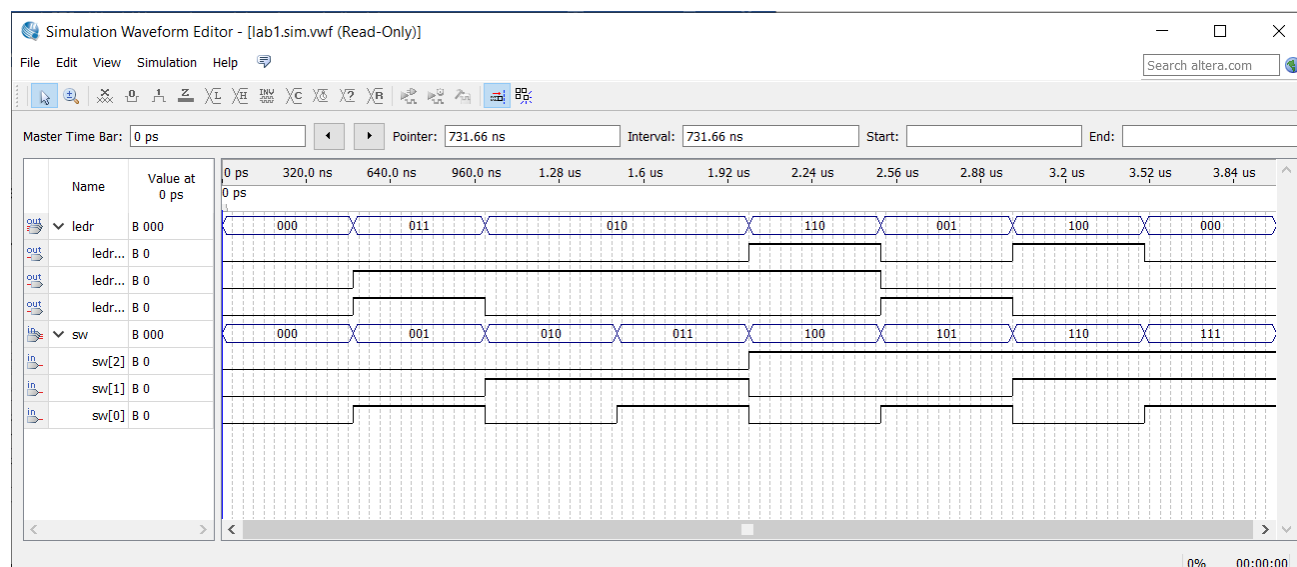
$$\text{Wyj4} = ( ((\text{we1} \text{ we1})' \text{we4})' * ((\text{we1} \text{ we1})' \text{we4})' )'$$

### 3. Schemat blokowy układu Transkodera



Rys. 1 Schemat układu transkodera zrealizowany przy użyciu bramek NAND. Na rysunku określono wykorzystane wyprowadzenia układu Cyclone II EP2C35F672C6.

### 4. Wyniki symulacji układu



Rys. 2 Wynik symulacji w Quartus II Simulator – sprawdzenie poprawności pracy układu kombinacyjnego dla wymuszeń będących kolejnymi wartościami w NKB.

Table of Contents

Flow Summary

Flow Settings

Flow Non-Default Global Settings

Flow Elapsed Time

Flow OS Summary

Flow Log

>

Analysis & Synthesis

>

Fitter

>

Assembler

▼

TimeQuest Timing Analyzer

Summary

Parallel Compilation

Clocks

>

Slow Model

>

Fast Model

Multicorner Timing Analysis Summary

▼

Multicorner Datasheet Report Summary

Propagation Delay

Minimum Propagation Delay

Clock Transfers

Report TCCS

Report RSKM

Unconstrained Paths

Messages

>

EDA Netlist Writer

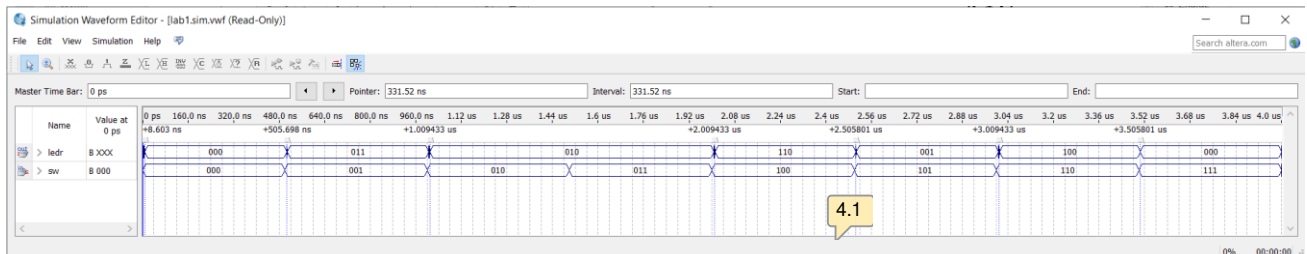
Flow Messages

Flow Suppressed Messages

Propagation Delay

	Input Port	Output Port	RR	RF	FR	FF
1	sw[0]	ledr[0]	5.698			5.698
2	sw[0]	ledr[1]	5.726	5.726	5.726	5.726
3	sw[0]	ledr[2]		5.801	5.801	
4	sw[1]	ledr[0]		9.363	9.363	
5	sw[1]	ledr[1]	9.433	9.433	9.433	9.433
6	sw[2]	ledr[1]	5.882	5.882	5.882	5.882
7	sw[2]	ledr[2]	5.676			5.676

Rys. 3 Wyniki analizy czasowej układu – czasy propagacji dostępne w opcji Propagation Delay TimeQuest Analyzer



Rys. 4 Obserwacja w symulatorze czasów propagacji (tryb Timing simulation). Czas propagacji to upływ czasu od momentu pojawienia się przyczyny na wejściu układu do momentu wystąpienia skutku na wyjściu układu.

Przyczyna - postać zmiana na wejściu	Czas propagacji [ns]
0→1	5,698
1→2	9,433
2→3	0,000
3→4	9,433
4→5	5,801
5→6	9,433
6→7	5,801
7→0	9,433

Tabela 7 Czasy propagacji układu transkodera w odpowiedzi na podzbiór możliwych zmian na wejściu.

# Indeks komentarzy

---

- 3.1      brak przydziału sygnałów do wyprowadzeń układu opcja assignments
- 4.1      jakie wartości czasu propagacji ?  
          brak zrozumiałej informacji na rysunku