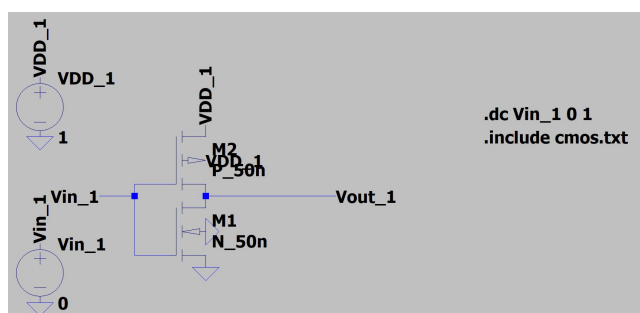


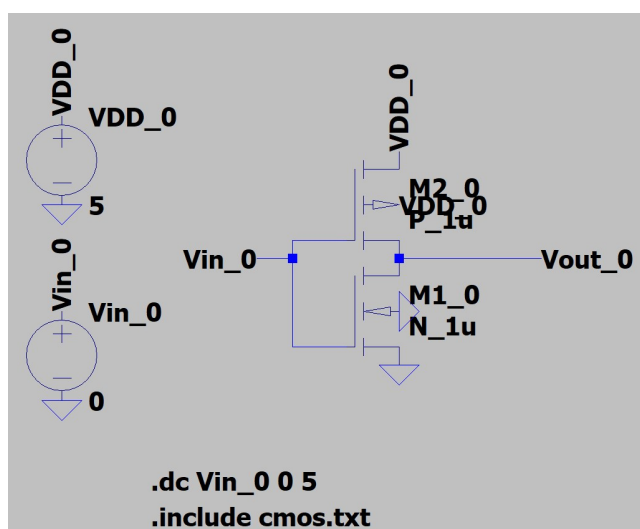
CMOS Inwerter - Kontynuacja

Student Seweryn Wasilewski
Nr Albumu 160128
PTCID 15
Kierunek Informatyka
Wydział Wydział Informatyki i Teleinformatyki
Laboratoria 3

Schematy Układów:

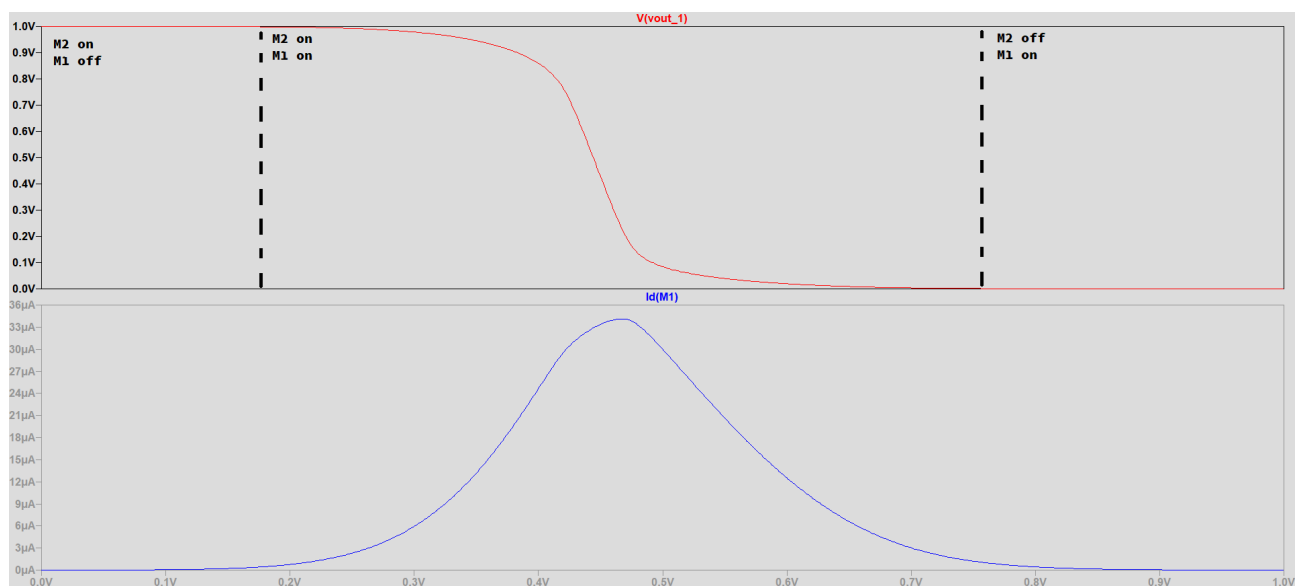


Rysunek 1: Inwerter zbudowany z tranzystorów N_{50n} i P_{50n} dla napięcia $V_{DD} = 1[V]$

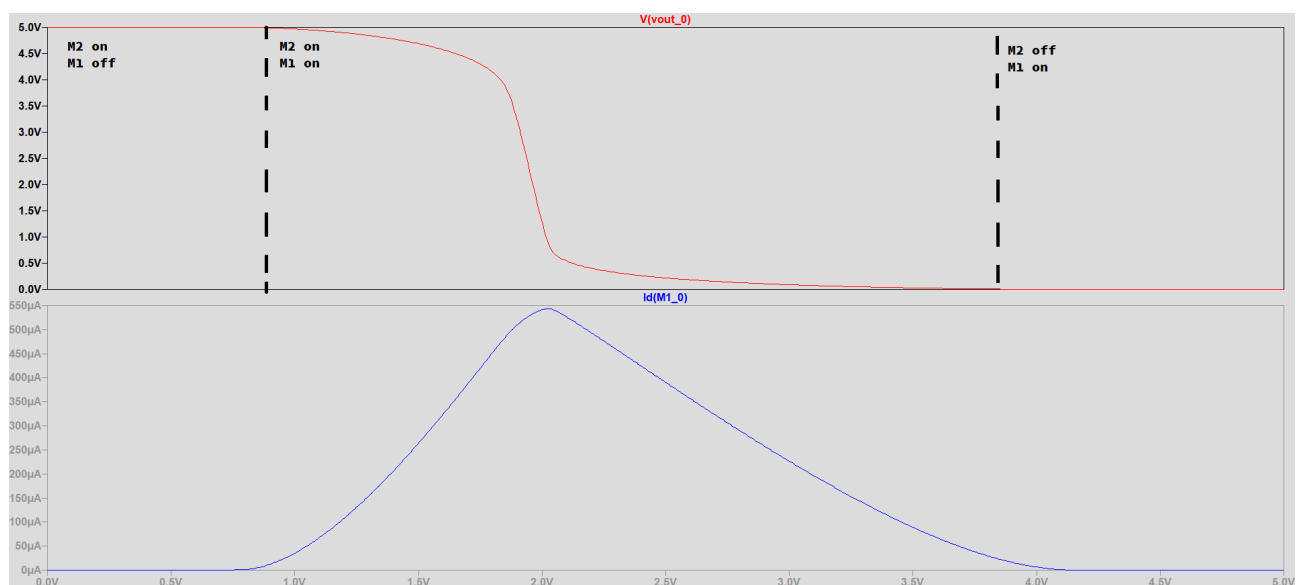


Rysunek 2: Inwerter zbudowany z tranzystorów $N_{1\mu}$ i $P_{1\mu}$ dla napięcia $V_{DD} = 5[V]$

Wyniki Symulacyjne:



Rysunek 3: Wynik sumluacyjny dla układu z rysunku 1



Rysunek 4: Wynik symulacyjny dla układu z rysunku 2

Wyjaśnij co oznaczają oznaczenia V_{IL} , V_{IH} , V_{IH} , V_{OH} .

- V_{IL} (Input Low Voltage): Jest to maksymalne napięcie wejściowe, przy którym wyjście inwertera jest nadal interpretowane jako logiczne „1” (czyli w stanie wysokim, V_{OH}). Innymi słowy, jest to punkt, przy którym tranzystor M2 (PMOS) zaczyna się przewodzić, a M1 (NMOS) jeszcze się nie włącza w pełni.
- V_{IH} (Input High Voltage): Jest to minimalne napięcie wejściowe, przy którym wyjście inwertera przełącza się na stan niski (V_{OL} , czyli logiczne „0”). Po przekroczeniu tego napięcia tranzystor M1 (NMOS) w pełni przewodzi, a M2 (PMOS) jest wyłączony.
- V_{OL} (Output Low Voltage): Jest to napięcie wyjściowe, które inwerter generuje, gdy wejście jest w stanie logicznym wysokim (a tranzystor NMOS przewodzi).
- V_{OH} (Output High Voltage): Jest to napięcie wyjściowe generowane przez inwerter, gdy wejście jest w stanie logicznym niskim (a tranzystor PMOS przewodzi).

Inverter Switching Point – napięcie VSP

$$V_{SP} = \frac{\sqrt{\frac{\beta_n}{\beta_p}} \cdot V_{THN} + (V_{DD} - V_{THP})}{1 + \sqrt{\frac{\beta_n}{\beta_p}}}$$

$$\beta_n = k'_n \frac{W_n}{L_n}$$

$$\beta_p = k'_p \frac{W_p}{L_p}$$

gdzie k'_n i k'_p jest wyliczane ze wzoru:

$$k' = \mu \cdot C_{ox}$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{\epsilon_0 \cdot \epsilon_r}{t_{ox}}$$

Inwerter - tranzystor N_1u i P_1u : dla tego typu tranzystora β_n , β_p będący parametrami transkonduktancji oraz V_{THP} , V_{THN} będącymi napięciami progowymi tranzystorów można odczytać z pliku `cmos.txt`.

dla N_1u:

$$KP = 120E-6 \quad - \beta_n = 0.000120 \left[\frac{A}{V^2} \right]$$

$$VTO = 0.8 \quad - V_{THN} = 0.8[V]$$

dla P_1u:

$$KP = 40E-6 \quad - \beta_p = 0.000040 \left[\frac{A}{V^2} \right]$$

$$VTO = -0.9 \quad - V_{THP} = -0.9[V]$$

$$V_{DD} = 5[V]$$

Po podstawieniu tych wartości do wzoru powyższego wzoru:

$$V_{SP} = 2,666729559[V]$$

Inwerter - tranzystor N_50n i P_50n :

dla N_50n:

$$vth0 = 0.22 \quad - V_{THN} = 0.22[V]$$

$$toxe = 1.4e-009 \quad - t_{ox} = 0.0000000014[m]$$

$$u0 = 0.032 \quad - \mu = 0.032 \left[\frac{m^2}{V} \right]$$

$$V_{DD} = 1[V]$$

$$W_n = 50[nm]$$

$$L_n = 500[nm]$$

dla P_50n:

$$vth0 = -0.22 \quad - V_{THN} = -0.22[V]$$

$$toxe = 1.4e-009 \quad - t_{ox} = 0.0000000014[m]$$

$$\begin{aligned} \mu &= 0.0095 - \mu = 0.0095 \left[\frac{\text{m}^2}{\text{V}} \right] \\ W_n &= 50 [\text{nm}] \\ L_n &= 500 [\text{nm}] \\ V_{DD} &= 1 [\text{V}] \end{aligned}$$

$$\epsilon_0 = 8.854 \times 10^{-12} \text{ F/m}$$

$$\epsilon_r = 3.9$$

$$C_{ox} = \frac{8.854 \times 10^{-12} \times 3.9}{1.4 \times 10^{-9}} = 0.0247 \text{ F/m}^2$$

$$\beta_n = 0.000079 \left[\frac{\text{A}}{\text{V}^2} \right]$$

$$\beta_p = 0.000023 \left[\frac{\text{A}}{\text{V}^2} \right]$$

$$V_{SP} = 0.572693146 [\text{V}]$$

Wykorzystanie charakterystyki przejściowej inwertera:

- Analiza prędkości działania układu
- Dobór napięcia zasilania
- Ocena marginesów napięciowych
- Analiza odporności na zakłócenia
- Projektowanie układów o niskim poborze mocy
- Optymalizacja parametrów tranzystorów
- Analiza stabilności układu
- Symulacje w projektowaniu układów VLSI