

LAB-4

1. 采样开关建模； 2. ADE Explorer 基础仿真

编写者：BRIAN LI

版本号：v1.0

时 间：2025 年 3 月

上海交通大学

EE503-模数混合集成电路创新设计

目录

1. 前置要求	2
2. 目的	2
3. 步骤	3
3.1. 创建新的设计库 (Library)	3
3.2. 创建理想采样开关电路	6
3.3. 搭建采样开关 Testbench 电路	17
3.4. 采样开关电路仿真设置	24
3.4.1. 创建 ADE Explorer	24
3.4.2. 仿真参数设置	25
3.4.3. 运行简单的瞬态仿真	29
3.4.4. 频谱分析	30
3.4.5. 扫描参数仿真	33
3.4.6. $\frac{kT}{C}$ 噪声仿真	36
3.5. 搭建简易采样保持电路	37
3.6. 仿真简易采样保持电路	40
3.7. 使用 Result Browser 查看仿真波形	43
3.8. 搭建栅压自举采样保持电路	46
3.9. 仿真栅压自举采样保持电路	52
3.10. 使用 Calculator 查看仿真波形	53
附录	57
A. 使用 VerilogA 搭建理想采样开关	57
B. 加快仿真进度的方法	59

1. 前置要求

- 安装 Cadence Virtuoso IC23.1
- 安装 SMIC18MMRF 工艺库
- 了解 **Linux** 操作系统的基本概念。
- 能够在 Linux 操作系统中打开**终端 (Terminal)**，并输入教程中给出的命令。
- 了解基本的电路理论并能以此为根据进行基本的电路分析。
 - **KCL** (Kirchhoff's Current Law) 和 **KVL** (Kirchhoff's Voltage Law)。
 - 电阻、电容等基本元件的特性。
 - 一阶 **RC 网络**的低通频率响应。
- 了解**分贝 (dB)**的定义。
- 了解 MOS 管的**传输特性曲线**, **输出特性曲线**, 以及其可以作为开关使用的原理¹。
- 了解**傅里叶变换** (Fourier Transform) 和频谱分析 (Spectrum Analysis) 的基本概念²
- 了解噪声, 尤其是 $\frac{kT}{C}$ **热噪声**的概念³
- 了解 ADC 相关指标的定义
 - **SNR** (Signal-to-Noise Ratio)
 - **SINAD** (Signal-to-Noise and Distortion Ratio)
 - **ENOB** (Effective Number of Bits)
 - **SFDR** (Spurious-Free Dynamic Range)
 - **THD** (Total Harmonic Distortion)
- 了解**栅压自举采样开关电路** (Bootstrapped Switch) 的基本原理⁴。

2. 目的

本次教程中你将学会：

- 搭建一个**理想采样开关电路**
- 使用 SMIC18MMRF 工艺库搭建一个简单的**栅压自举采样开关电路** (Bootstrapped Switch)
- **相干采样** (Coherent Sampling) 的概念
- 使用 **ADE Explorer** 进行仿真
 - 瞬态仿真
 - 噪声仿真
 - 参数扫描仿真
 - 生成频谱及相关指标
 - 使用 result browser 查看电路中任意节点的电压波形
- 加快仿真进度的小技巧

¹建议参考 <https://shuiyuan.sjtu.edu.cn/t/topic/127792/32>

²建议参考 <https://shuiyuan.sjtu.edu.cn/t/topic/127792/117>

³建议参考 <https://shuiyuan.sjtu.edu.cn/t/topic/127792/289>

⁴建议参考 <https://zhuanlan.zhihu.com/p/564837987>

3. 步骤

3.1. 创建新的设计库 (Library)

1. 打开 Linux 终端，输入以下命令：

```
1 cd customize # 进入工作目录
2 ee503 # 执行 cadence 环境配置
3 virtuoso & # 启动 Virtuoso
```

终端显示如图 1

```
[ee503@kilicontech02 ~]$
[ee503@kilicontech02 ~]$ cd customize/
[ee503@kilicontech02 ~/customize]$ ee503
Setting up environment for SMIC18MSE 1P4M_3Ia_1TMa1_MIM20 1.11_4 ...
executing cadence base environments
start config EDA environment
*****
* Welcome to KiliconTech Co., Ltd. EDA development environment. *
* The software and intellectual property managed by this system *
* is for use by KLC subscription holders (Designer and above)   *
* >> For more information please contact KiliconTech Co.Ltd <<   *
*****
finished EDA environment configuration
cadence base environments configuration finished
Type vsim & to startup modelsim
INFO: tech.lib exist
environment setup finished.

To start Cadence IC:
    virtuoso &
[ee503@kilicontech02 ~/customize]$ virtuoso
virtuoso      virtuoso_memprofiler virtuoso-t
[ee503@kilicontech02 ~/customize]$ virtuoso &
[1] 42654
```

图 1 执行命令后的终端

稍等片刻后，Virtuoso 的主界面窗口 (CIW) (如图 2 所示) 和库管理器 (Library Manager) 窗口 (如图 3 所示) 将会弹出。



图 2 主界面窗口 (CIW)

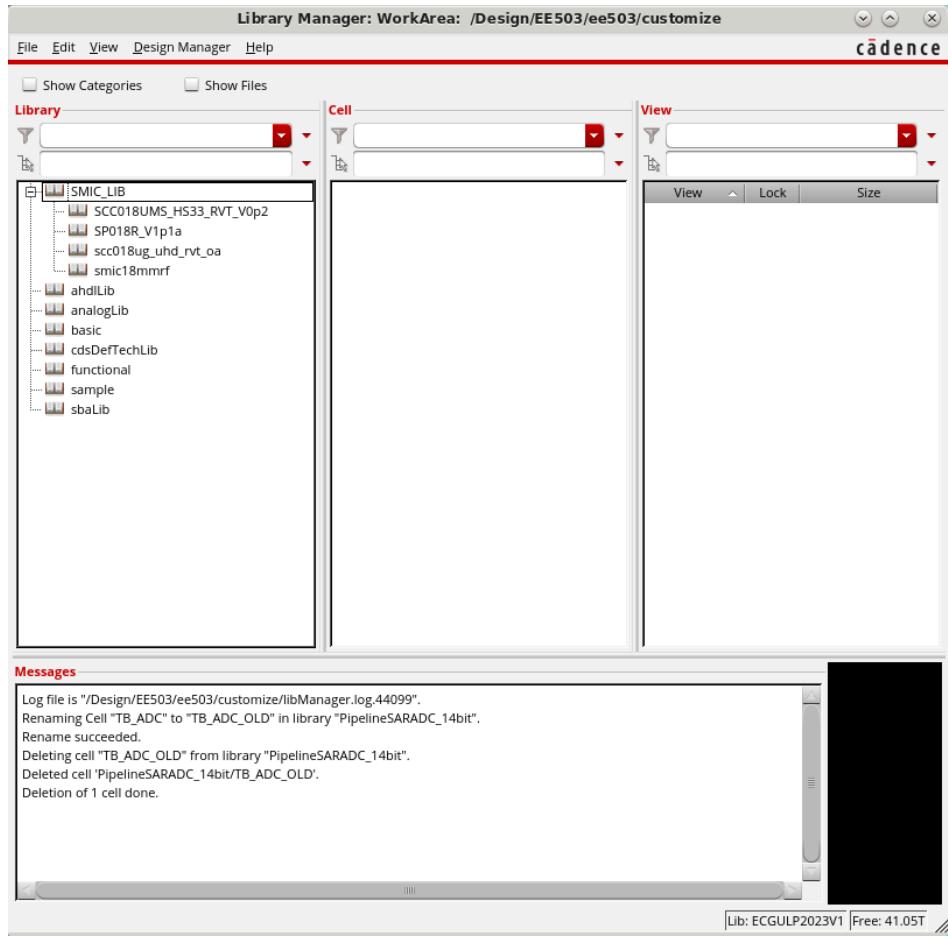


图 3 库管理器 (Library Manager) 窗口

2. 在库管理器 (Library Manager) 界面中, 点击菜单栏的 File -> New -> Library
3. 在弹出的如图 4 所示的对话框中, 创建一个新的设计库 (Library), 命名为 SARADC。

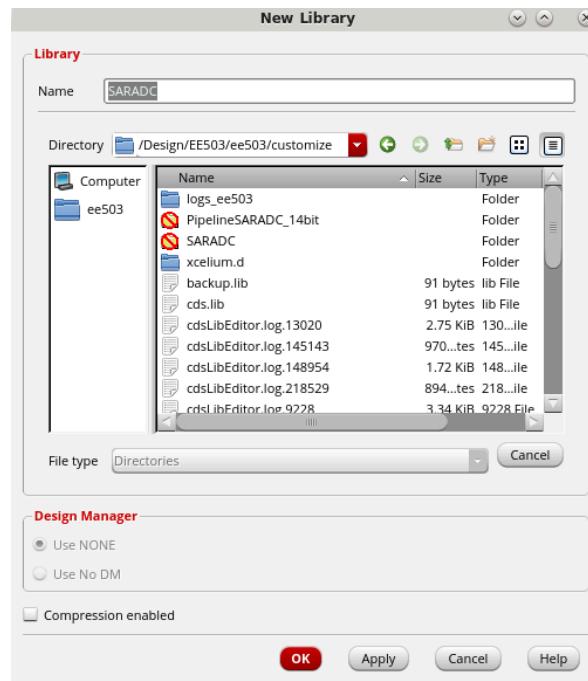


图 4 创建新的设计库

4. 点击 OK 按钮，弹出如图 5 所示的对话框。

在选项中选择 Attach to an existing technology library，点击 OK 按钮。

这将使得我们在设计时只调用特定工艺库中的器件，以免出现不同工艺库之间的兼容性问题。

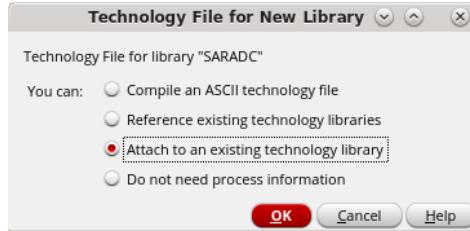


图 5 将新设计库绑定到现有工艺库

5. 在弹出的如图 6 所示的对话框中，选择 Technology Library 列表中的 smic18mmrf，点击 OK 按钮。



图 6 选择工艺库

6. 此时的库管理器窗口如图 7 所示。在左侧的 Library 栏中，可以看到新建的 SARADC 库。

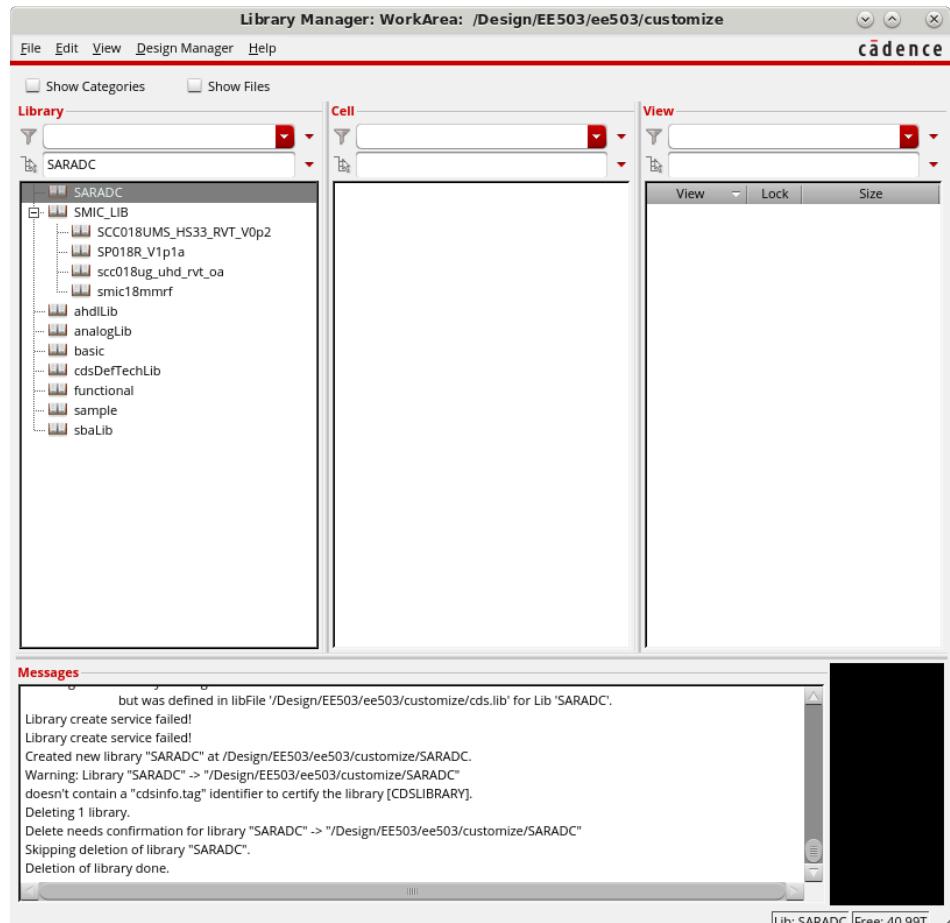


图 7 新建的设计库

3.2. 创建理想采样开关电路

该采样开关既可以使用理想开关实现，也可使用 VerilogA 代码的形式（小节 A.）。其中 VerilogA 的实现方法放在附录中作为补充材料。

1. 在库管理器 (Library Manager) 界面中，点击菜单栏的 File -> New -> Cell View，创建一个新的单元 (CellView)。
2. 在弹出的如图 8 所示的对话框中，将 Cell 命名为 sample_switch，选择 Schematic 类型。点击 OK 按钮。

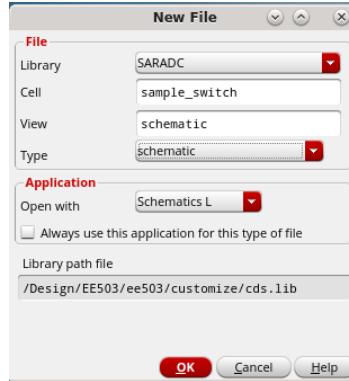


图 8 创建新的 Schematic 电路视图

如图 9 所示，新的 Schematic 视图将会弹出。

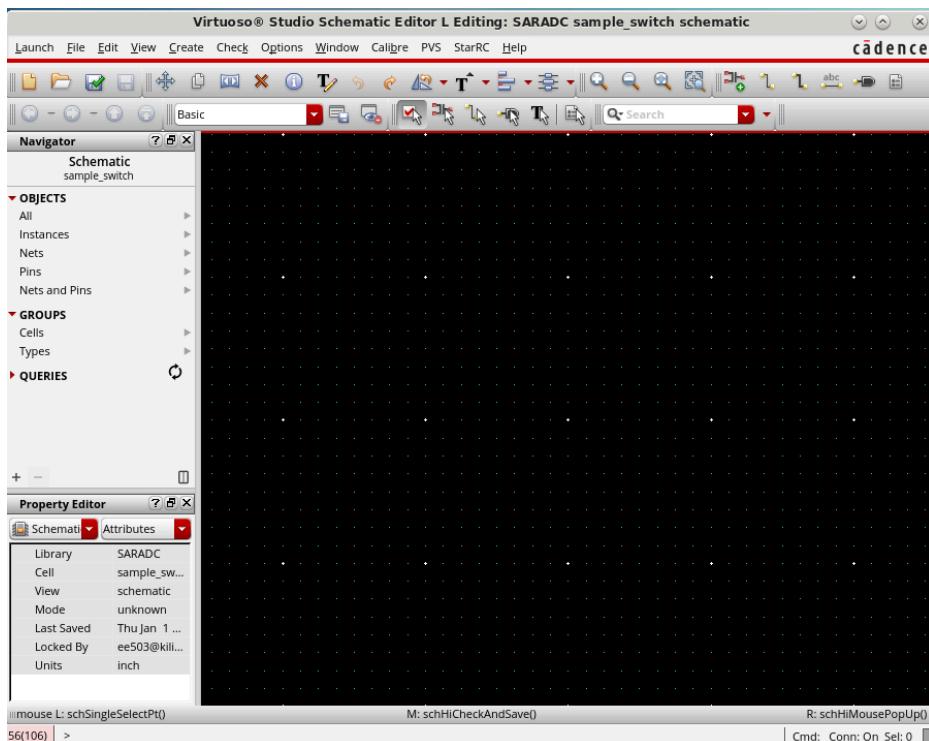


图 9 Schematic 视图

3. 在 Schematic 视图中，按键盘上的 **i** 键（注意大小写，下同）。若仍不注意使用了其他快捷键，可按键盘上的 **esc** 键取消），打开 Add Instance 对话框。
4. 在弹出的如图 10 所示的对话框中，点击 Browse 按钮。

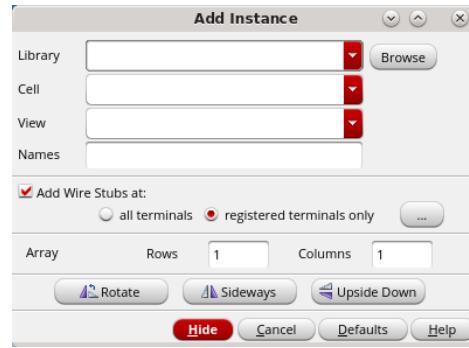


图 10 添加实例

- 在弹出的如图 11 所示的对话框中，选择 Library 列中的 analogLib，Cell 列中的 switch，View 列中的 symbol。点击键盘上的 Enter 键。

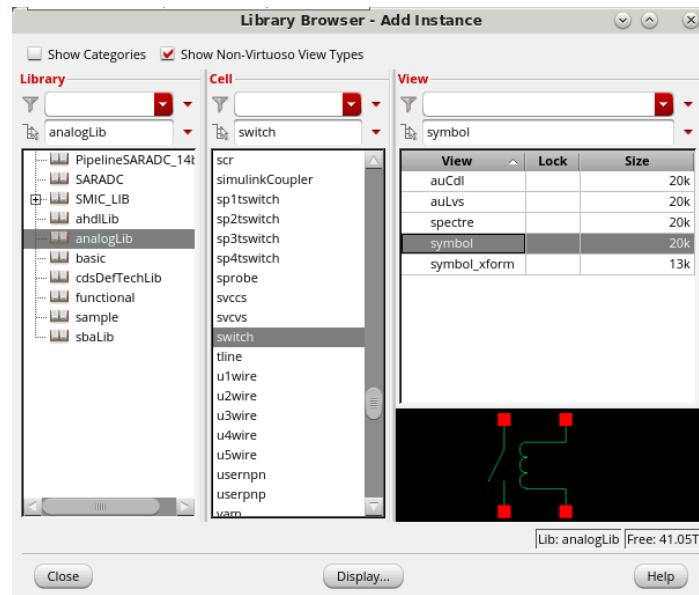


图 11 选择 sample_switch 单元

此时注意到 Schematic 视图中已经出现了一个如图 12 所示的，随鼠标拖动的黄色理想开关轮廓。

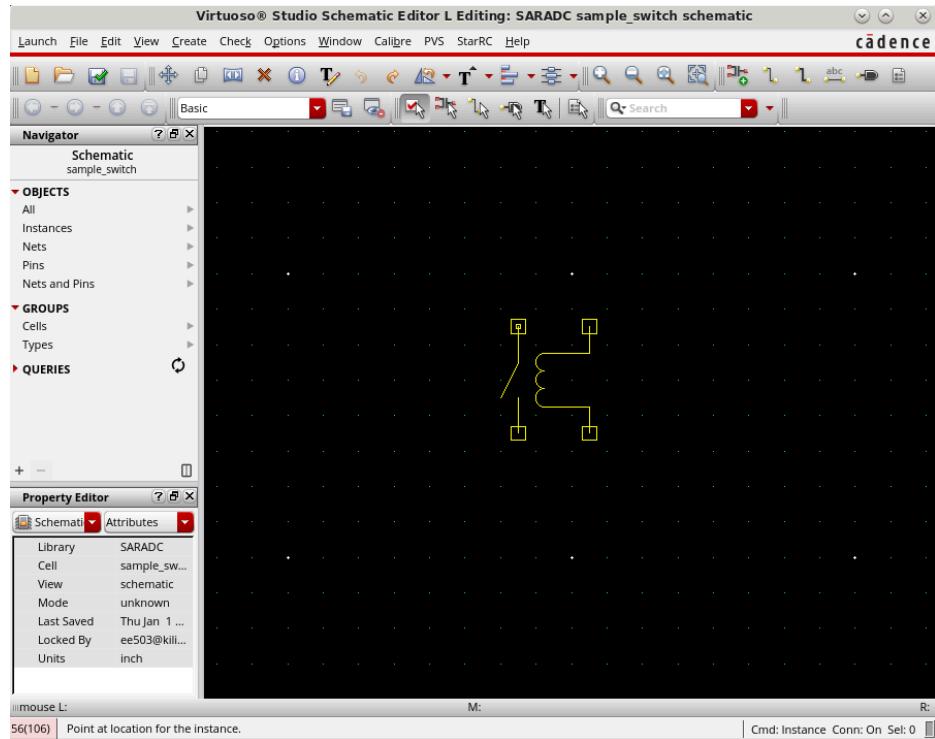


图 12 理想开关轮廓

6. 点击 Schematic 视图中的空白处，将理想开关实例化。如图 13 所示。然后按键盘上的 **esc** 键关闭对话框。

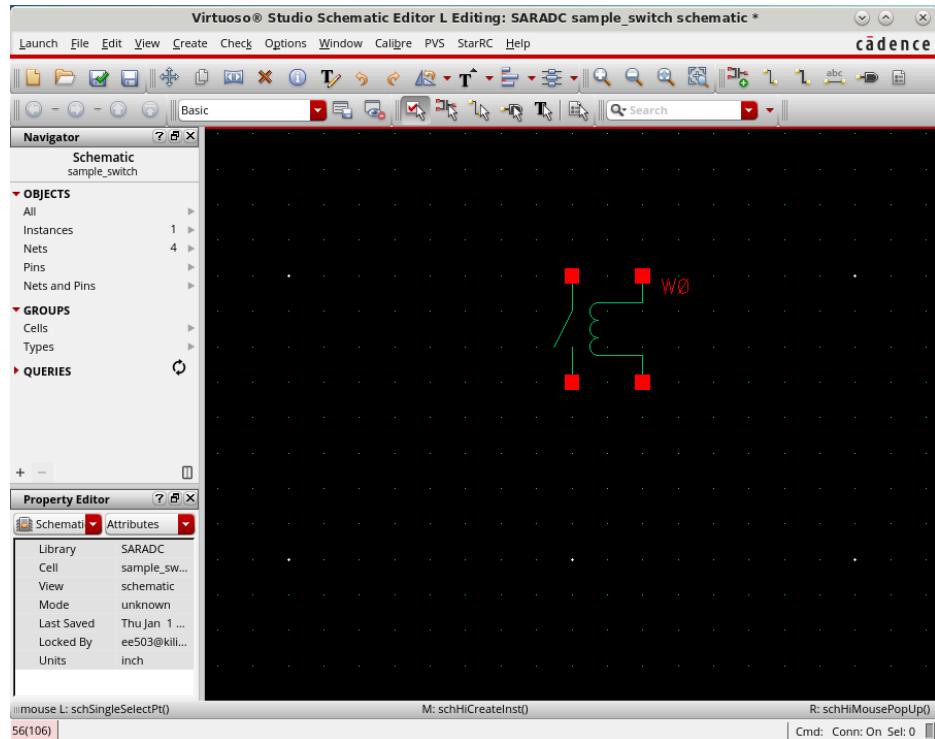


图 13 理想开关实例化

7. 该理想开关没有指定任何属性，可能导致无法随控制信号断开或闭合。因此，需要指定理想开关的 **Open voltage** 和 **Closed voltage** 属性。
在 Schematic 视图中，左键点击理想开关，按键盘上的 **q** 键，打开 **Edit Properties** 对话框。
8. 在弹出的如图 14 所示的对话框中，在 **Open voltage** 属性栏输入 **0.8**，**Closed voltage** 属性栏输入 **1**（不用写单位，属性栏失去鼠标焦点时会自动补全）。点击 **OK** 按钮。

在仿真中，当控制端电压高于 closed voltage 时，理想开关闭合；当控制端电压低于 open voltage 时，理想开关断开。

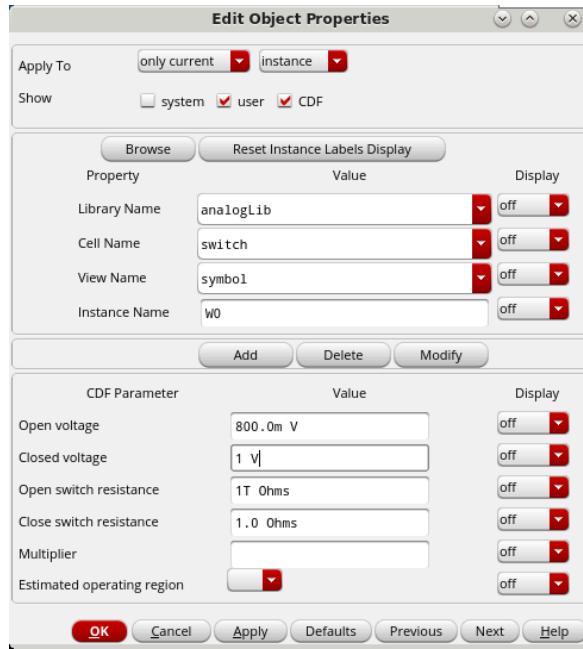


图 14 编辑理想开关属性

9. 在 Schematic 视图中，按键盘上的 i 键，再次打开 Add Instance 对话框。
10. 在弹出的如图 10 所示的对话框中，点击 Browse 按钮。
11. 在弹出的如图 15 所示的对话框中，选择 Library 列中的 analogLib，Cell 列中的 res，View 列中的 symbol。点击键盘上的 Enter 键。

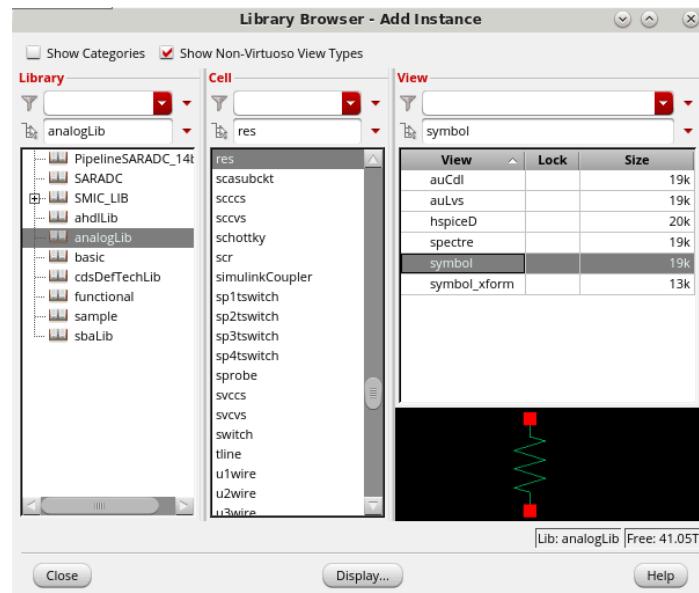


图 15 选择 res 单元

12. 点击 Schematic 视图中的空白处，将理想电阻实例化。如图 16 所示。按键盘上的 esc 键关闭对话框。

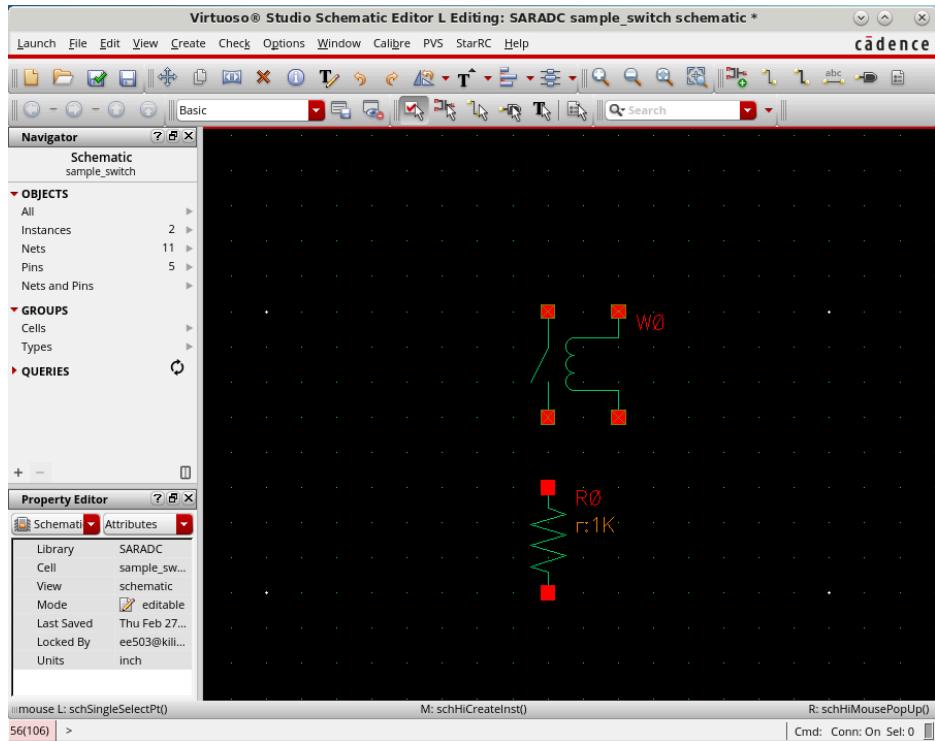


图 16 理想电阻实例化

13. 该理想电阻的阻值默认为 $1\text{k}\Omega$ 。我们可以将其阻值设置为一个参数，以便后续仿真时更改。
在 Schematic 视图中，左键点击理想电阻，按键盘上的 q 键，打开 Edit Properties 对话框。
14. 在弹出的如图 17 所示的对话框中，在 Value 属性栏输入 ron 。点击 OK 按钮。
在仿真中，理想电阻的阻值将会被设置为 ron 。这也将是开关的导通电阻大小。

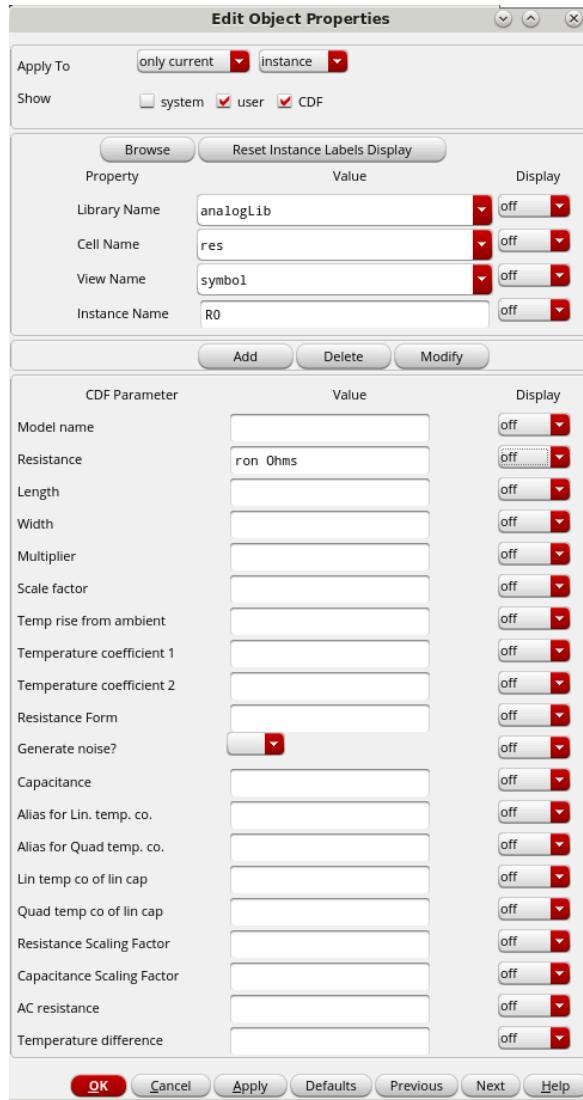


图 17 编辑理想电阻属性

15. 接下来添加 Symbol 中的端口。在 Schematic 视图中，按键盘上的 p 键，打开 Add Pin 对话框。
 16. 在弹出的如图 19 所示的对话框中，在 Names 属性栏输入 vdd，在 Direction 属性栏选择 inputOutput，在 Usage 属性栏选择 power。
- 此时将鼠标移动到 Schematic 视图，注意到 Schematic 视图中已经出现了一个如图 18 所示的，随鼠标拖动的黄色端口轮廓。

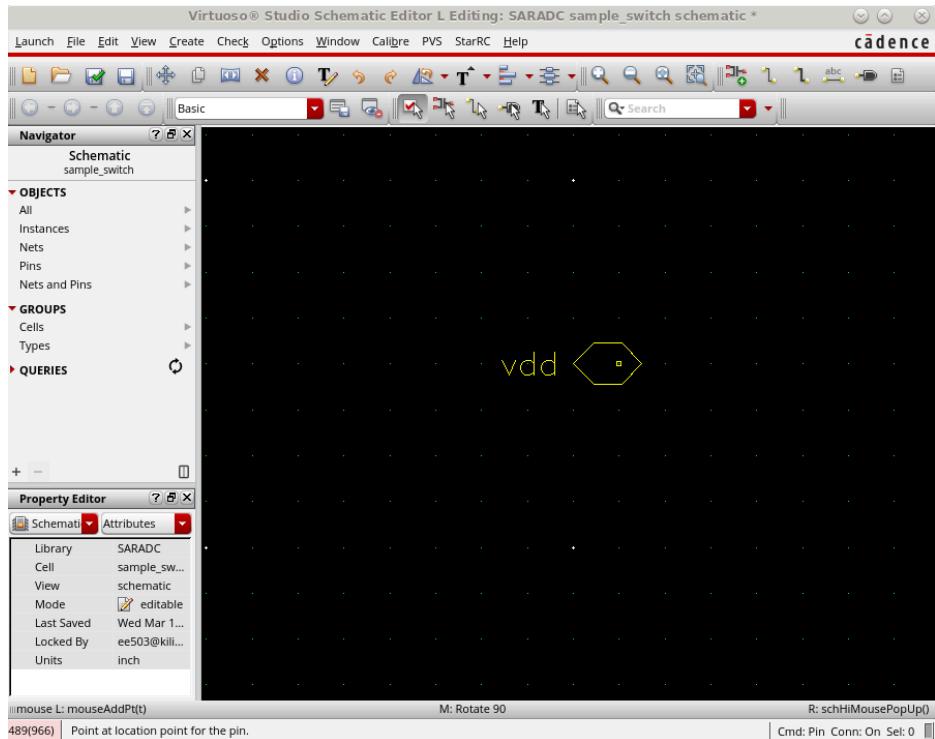


图 18 端口轮廓

点击 Schematic 视图中的空白处，将该端口实例化。

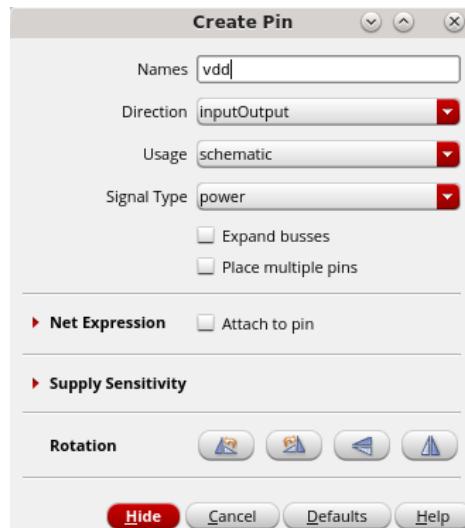


图 19 添加端口

17. 重复上述步骤，添加 `gnd`、`clk`、`in`、`out` 等端口，如图 20、图 21、图 22、图 23 所示。然后按键盘上的 `esc` 键关闭对话框。

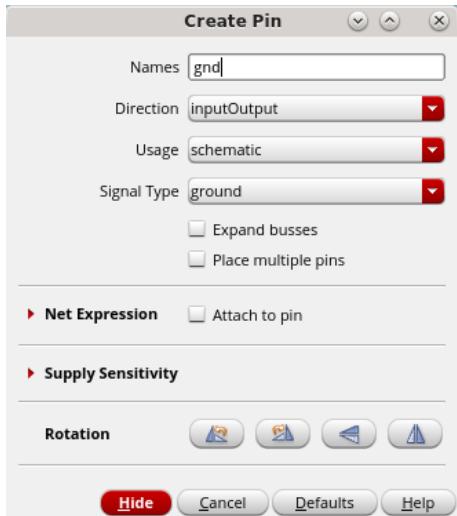


图 20 gnd 端口

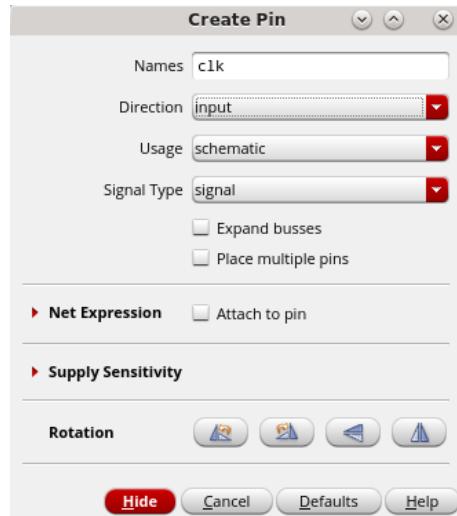


图 21 clk 端口

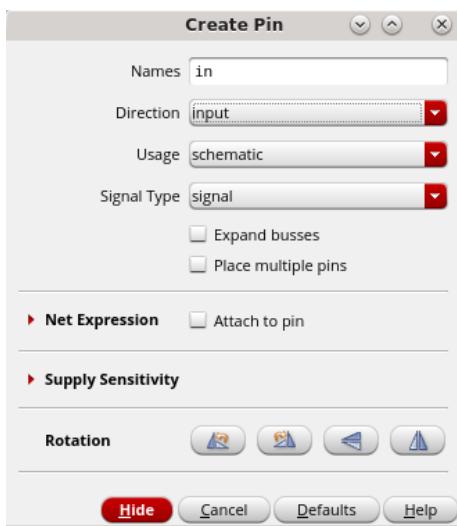


图 22 in 端口



图 23 out 端口

18. 添加完端口后的 Schematic 视图如图 24 所示。此时点击 Check & Save 按钮 ，会弹出如图 25 所示的警告，表明电路仍未完成。

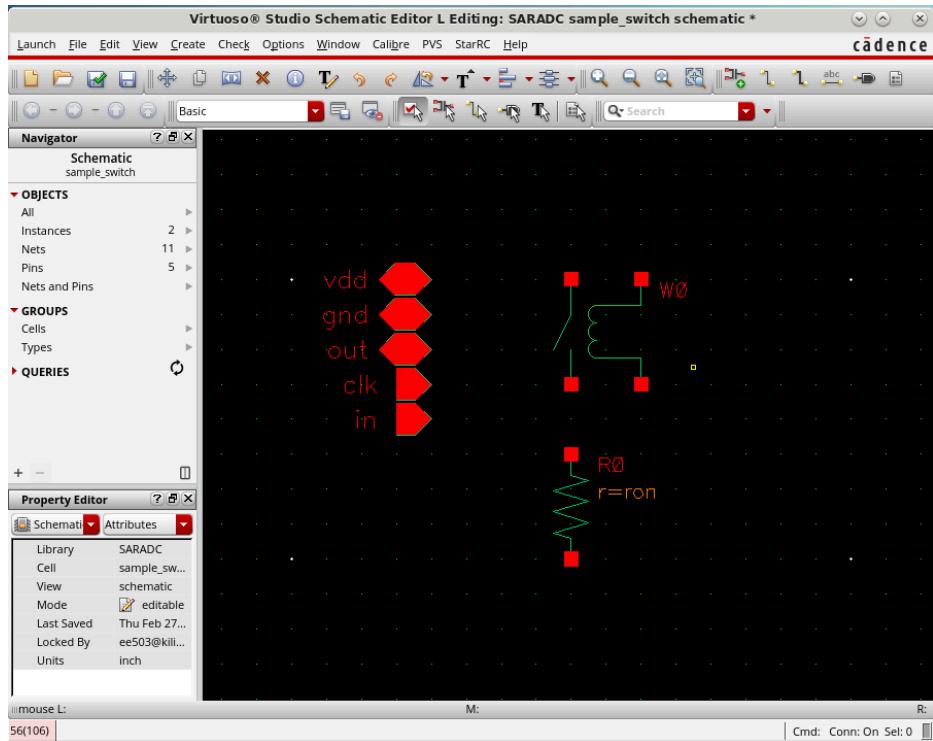


图 24 添加完端口后的 Schematic 视图



图 25 点击 Check & Save 按钮后弹出的警告信息

19. 接下来需要完成端口和器件的连线。
 1. 在 Schematic 视图中，按键盘上的 w 键，进入连线模式。
 2. 左键单击需要连接的端口或器件。
 3. 左键单击另一个端口或器件，或者在空白处双击，即可完成连线。

要移动端口或器件时，

1. 在 Schematic 视图中，鼠标左键单击或长按鼠标左键框选需要移动的器件。
2. 按键盘上的 m 键。
3. 鼠标左键单击原理图空白处，该端口或器件即可随鼠标拖动。
4. 再次鼠标左键单击目标位置完成移动。
5. 按键盘上的 esc 键退出移动模式。

最终连线后的 Schematic 如图 26 所示。

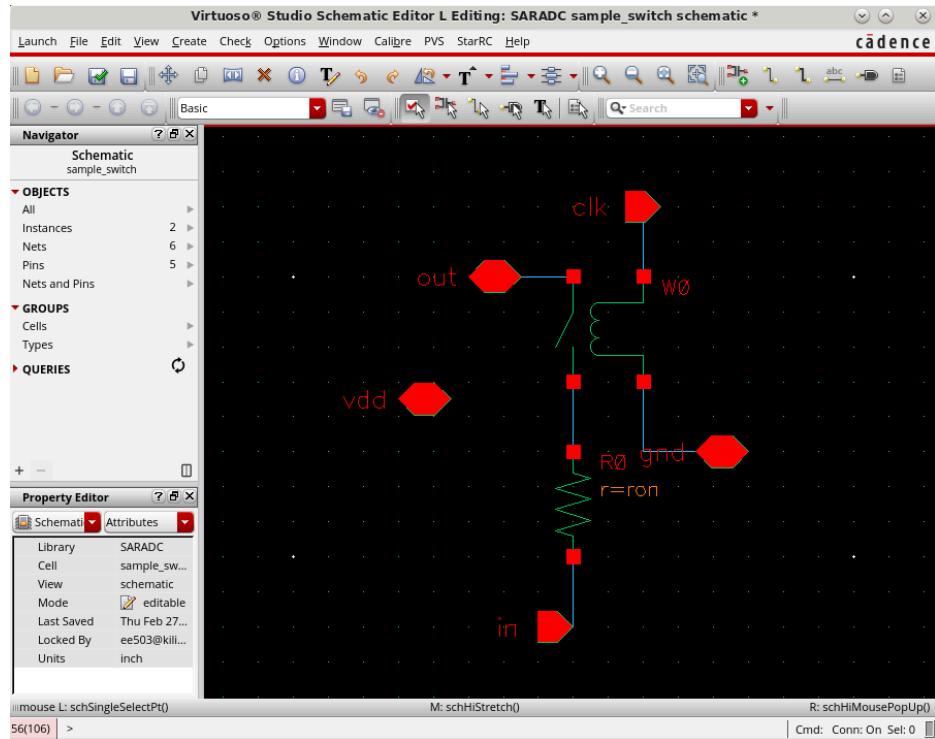


图 26 连线

20. 此时再次点击 Check & Save 按钮 ，仍然会弹出如图 25 所示的警告，这是由于 vdd 端口仍然悬空。但这个节点在之后还会用到，因此需要告诉电路检查器将其忽略。在 Schematic 视图中，按键盘上的 i 键，打开 Add Instance 对话框。
21. 在弹出的如图 27 所示的对话框中，点击 Browse 按钮。

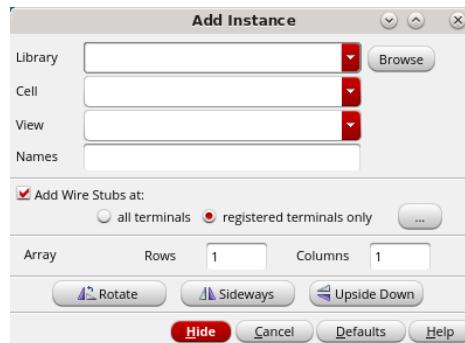


图 27 添加实例

22. 在弹出的如图 28 所示的对话框中，选择 Library 列中的 basic，Cell 列中的 noConn，View 列中的 symbol。点击键盘上的 Enter 键。

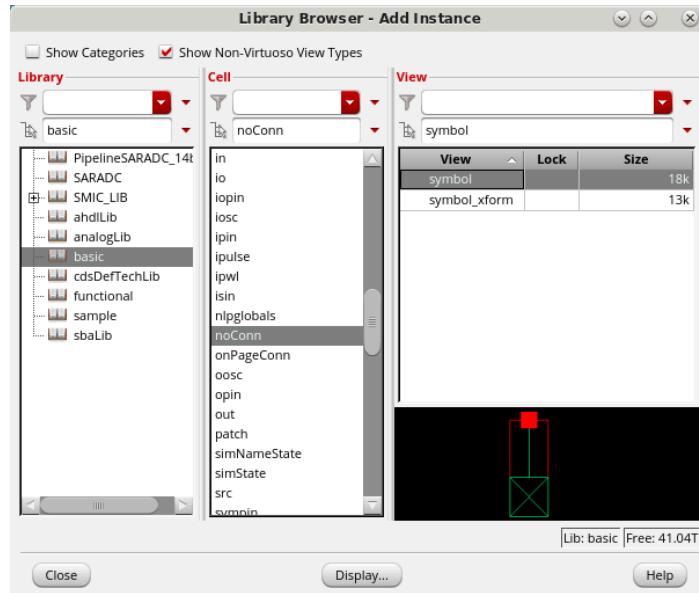


图 28 选择 noConn 单元

23. 点击 Schematic 视图中的空白处，将 noConn 实例化并与 vdd 端口相连。如图 29 所示。

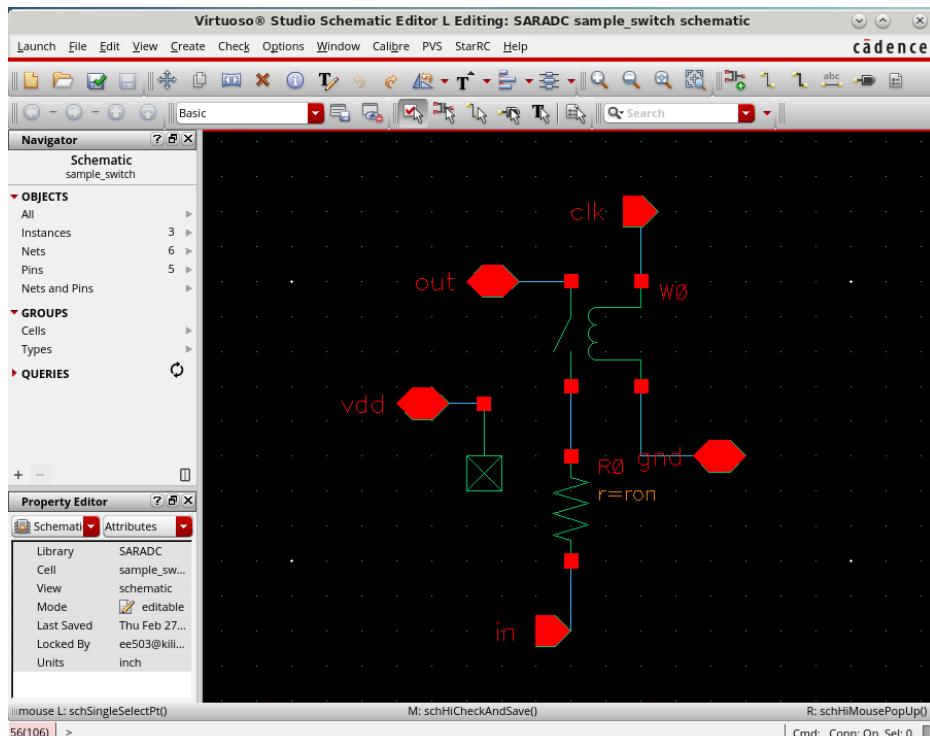


图 29 noConn 实例化

24. 此时再次点击 Check & Save 按钮 ，不再弹出警告，且电路已保存。
25. 在 Schematic 视图中，点击菜单栏的 Create -> CellView -> From CellView，定制 Symbol，即采样开关在原理图中调用时的外观。在弹出的对话框中点击 OK 按钮。
26. 在弹出的对话框中，修改 Pin Specifications 中的端口位置使之如图 30 所示(也可以保持默认，但下一步的外观会有所不同，功能上没有影响)。点击 OK 按钮。

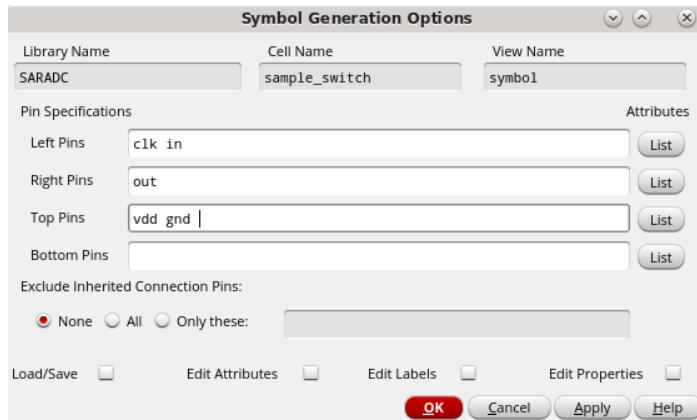


图 30 Symbol 生成设置

27. 如图 31 所示，新的 Symbol 视图将会弹出。点击 Check & Save 按钮 保存 Symbol。然后点击右上角的 x 按钮关闭 Symbol 视图和 Schematic 视图。

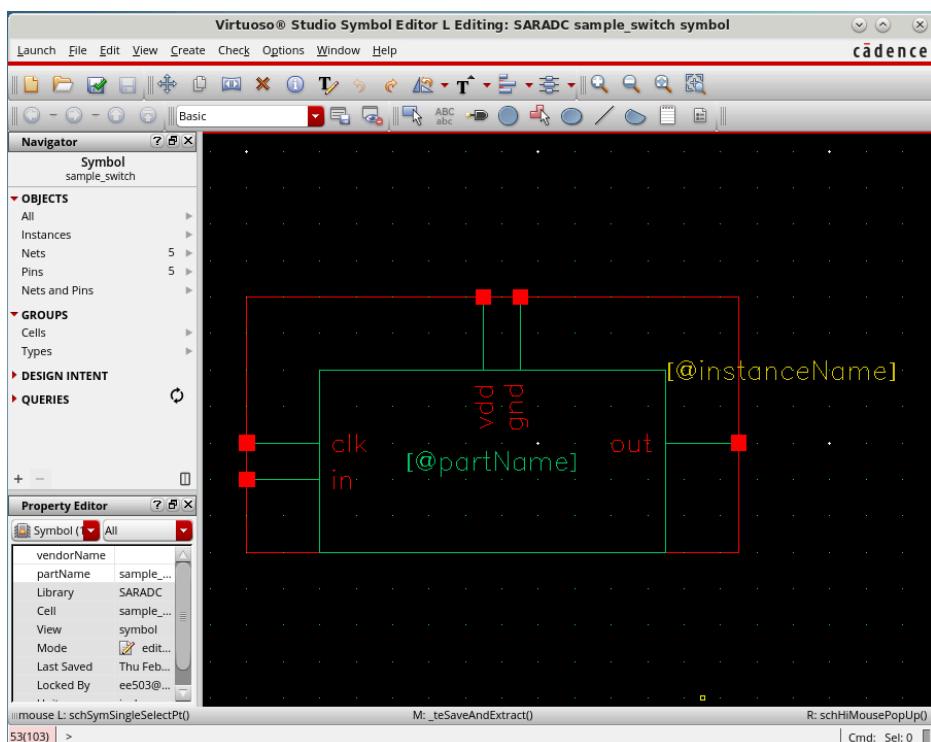


图 31 Symbol 视图

3.3. 搭建采样开关 Testbench 电路

- 在库管理器 (Library Manager) 窗口中，点击菜单栏的 File -> New -> Cell View，创建一个新的单元 (CellView)。
- 在弹出的如图 32 所示的对话框中，将 Cell 命名为 TB_sample_switch，选择 Schematic 类型。点击 OK 按钮。

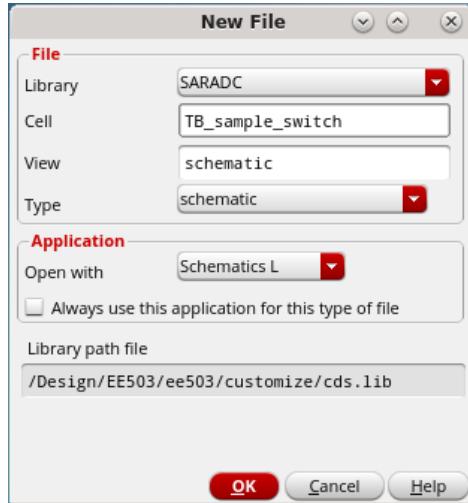


图 32 创建新的 Schematic 电路视图

3. 在 Schematic 视图中，按键盘上的 `i` 键(注意大小写，下同。若仍不注意使用了其他快捷键，可按键盘上的 `esc` 键取消)，打开 Add Instance 对话框。
4. 在弹出的如图 33 所示的对话框中，点击 Browse 按钮。

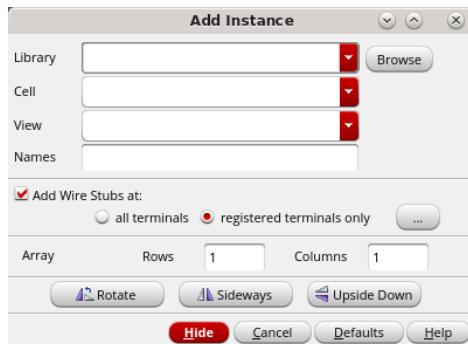


图 33 添加实例

5. 在弹出的如图 34 所示的对话框中，选择 Library 列中的 `analogLib`，Cell 列中的 `vdc`，View 列中的 `symbol`。点击键盘上的 `Enter` 键。

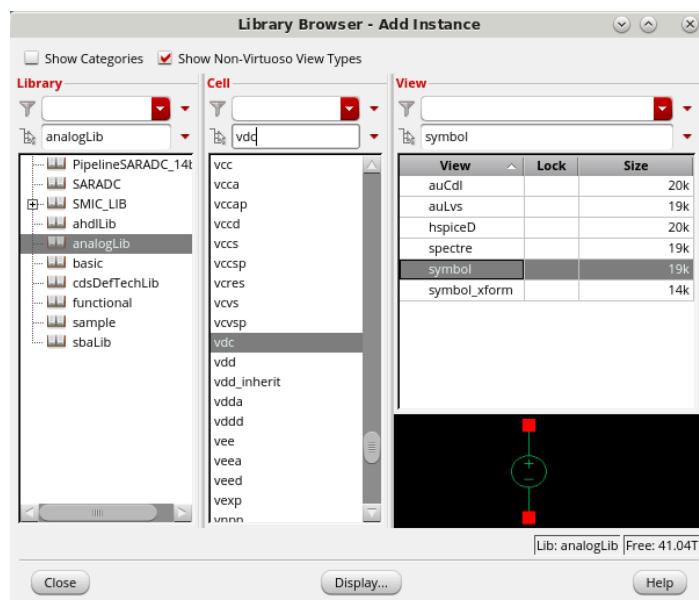


图 34 选择 vdc 单元

6. 点击 Schematic 视图中的空白处，将直流电压源实例化。

- 再回到图 33 所示的对话框中，点击 **Browse** 按钮，弹出 **Library browser** 对话框，选择 **Library** 列中的 **analogLib**，**Cell** 列中的 **vpulse**，**View** 列中的 **symbol**。点击键盘上的 **Enter** 键。点击 **Schematic** 视图中的空白处，将理想时钟源实例化。
- 仿照上一步骤，添加 **analogLib** Library 中的 **vsin**（理想正弦波源）、**analogLib** Library 中的 **cap**（理想电容）、**analogLib** Library 中的 **gnd**（接地节点）和 **SARADC** Library 中的 **sample_switch**。
- 添加完实例后，在器件之间连线，使 **Schematic** 视图如图 35 所示。

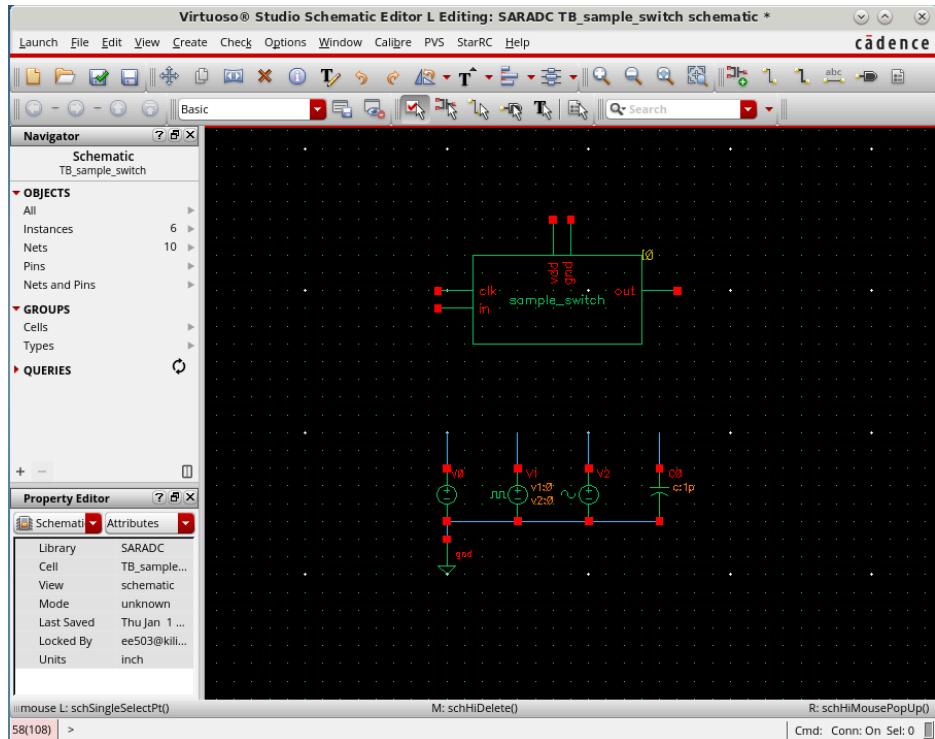


图 35 Testbench 电路

- 接下来学习 **label** 功能的使用。

在 **Schematic** 视图中，按键盘上的 **l**（小写 L）键，打开 **Add Label** 对话框。

- 在弹出的如图 36 所示的对话框中，输入 **clk**，点击 **Schematic** 视图中 **vpulse**（理想时钟源）上方的孤立导线。此后即可用 **clk** 指代该节点。



图 36 添加标签

- 仿照上一步骤，在理想正弦波源、理想电容、理想直流电压源上方导线添加 **in**、**out**、**vdd** 的 **label**。
- 添加 **label** 还有一种快捷方式。在 **Schematic** 视图中，左键单击 **sampling_switch**，按键盘上的空格键，即可直接在器件端口上添加带 **label** 的导线。但需要注意的是，注意 **label** 的名称是否与其他节点 **label** 名字对应。例如这里的 **gnd** 端口就没有对应的 **label**。下一步我们解决这个问题。

14. 在 Schematic 视图中，鼠标左键单击 sampling_switch 的 gnd 端口所在导线上的 label，按键盘上的 **q** 键，打开 Edit Properties 对话框。将 Label 属性栏中的 gnd 改为 gnd!。点击 OK 按钮。

gnd! 是 Cadence 中的**特殊节点**名称，与和 analogLib Library 中的 gnd 器件相连一样，都和直接接地等效。

15. 最终连线后的 Schematic 如图 37 所示。

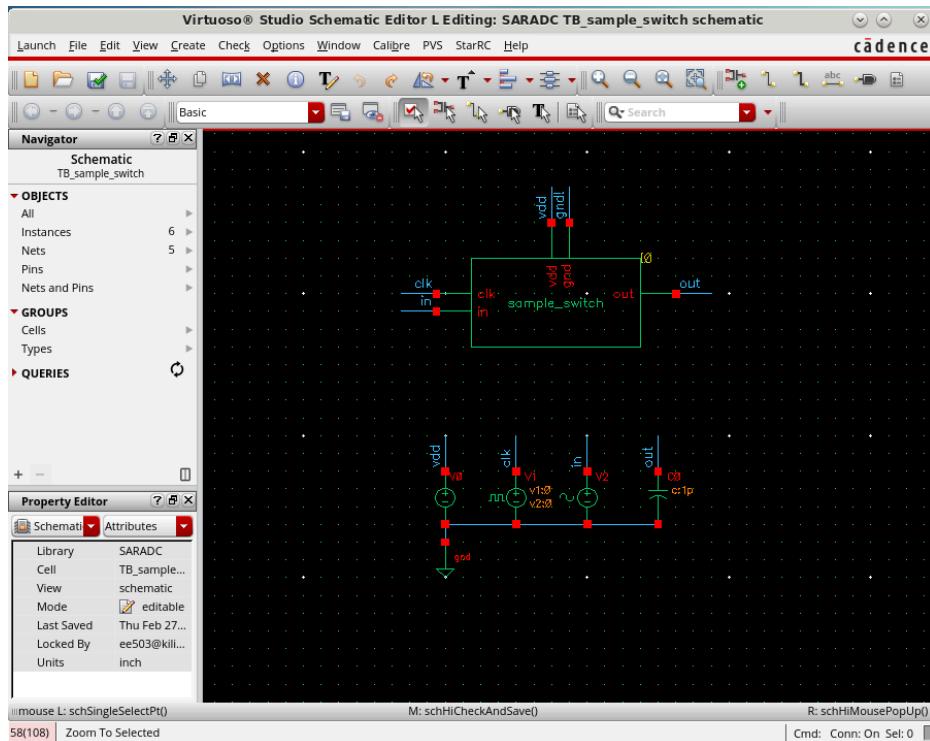


图 37 连线

16. 接下来修改电路中各器件的参数。

鼠标左键单击理想直流电压源，按键盘上的 **q** 键，打开 Edit Properties 对话框。在 DC Voltage 属性栏输入 vdd，如图 38 所示。点击 OK 按钮。

该直流电压源将会持续输出 vdd V 的电源电压。

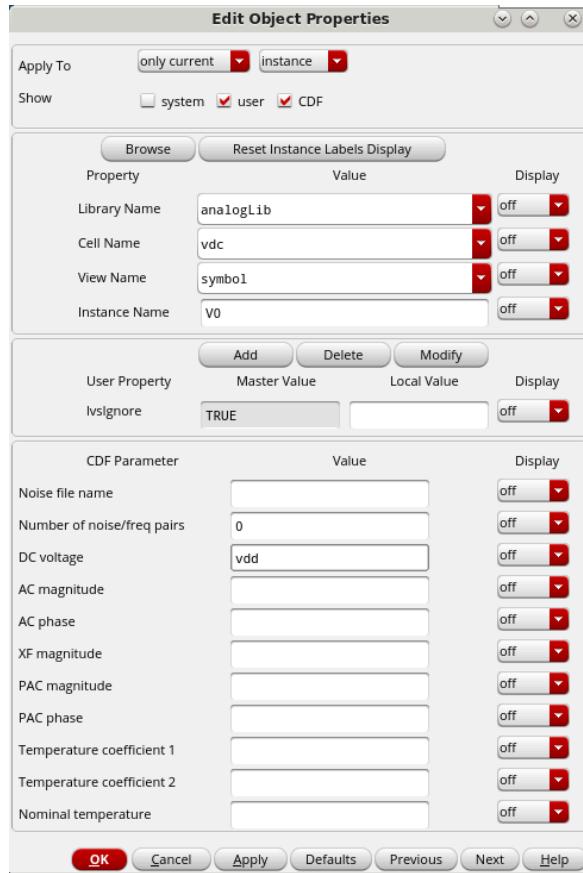


图 38 vdc 的 Edit Properties 对话框

17. 鼠标左键单击理想时钟源，按键盘上的 q 键，打开 Edit Properties 对话框。在 Voltage 0 属性栏输入 vdd，Period 属性栏输入 tClk，Rise Time 和 Fall Time 属性栏输入 trf，如图 39 所示。点击 OK 按钮。

该理想时钟源将会输出一个周期为 tClk s 的方波信号，其上升沿和下降沿时间为 trf s。

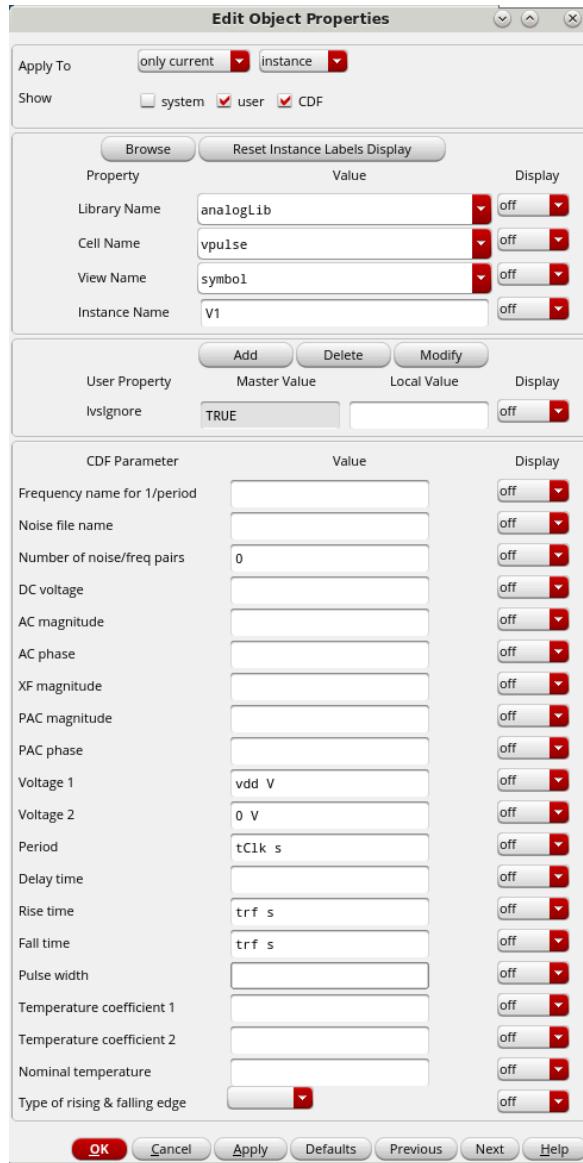


图 39 vpulse 的 Edit Properties 对话框

18. 鼠标左键单击理想正弦波源，按键盘上的 **q** 键，打开 **Edit Properties** 对话框。在 **Amplitude** 属性栏输入 **ampIn**，**Frequency** 属性栏输入 **fIn**，在 **Offset Voltage** 属性栏输入 **vCm**，如图 40 所示。点击 **OK** 按钮。

该理想正弦波源将会输出幅值为 **ampIn** V、频率为 **fIn** Hz 的正弦波信号，其直流偏置电压为 **vCm** V。

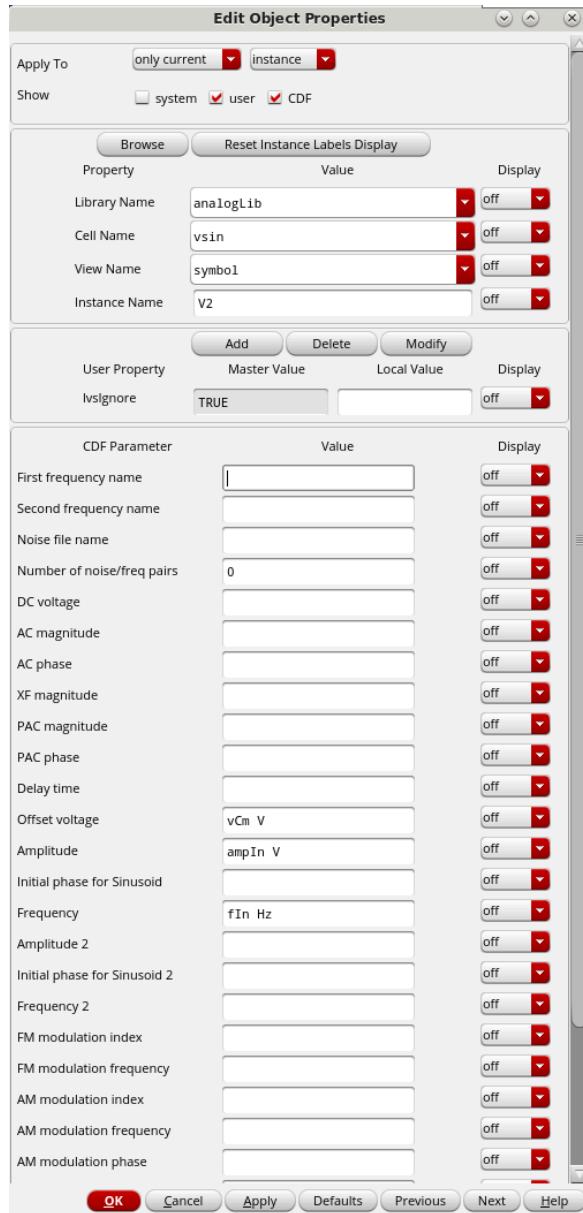


图 40 vsin 的 Edit Properties 对话框

19. 鼠标左键单击理想电容，按键盘上的 q 键，打开 Edit Properties 对话框。在 Capacitance 属性栏输入 cL，如图 41 所示。点击 OK 按钮。
该理想电容将会模拟一个电容值为 cL F 的电容。

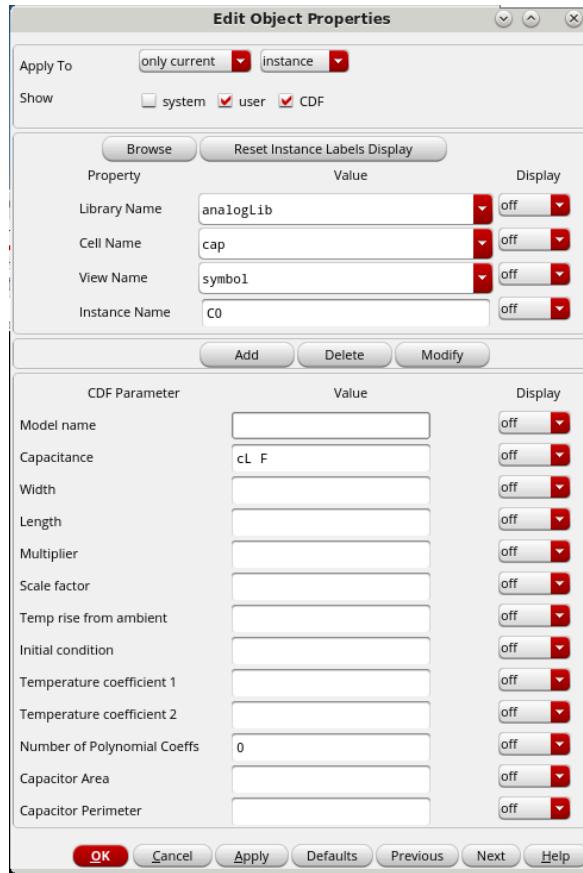


图 41 cap 的 Edit Properties 对话框

20. 此时点击 Check & Save 按钮 ，保存电路图。

3.4. 采样开关电路仿真设置

3.4.1. 创建 ADE Explorer

1. 在 Schematic 视图中，点击菜单栏的 Launch -> ADE Explorer，弹出如图 42 所示的对话框。点击 Create New View 选项。点击 OK 按钮。

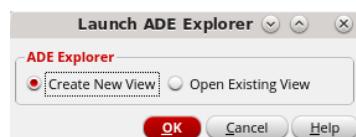


图 42 创建 ADE Explorer

2. 在弹出的如图 43 所示的对话框中。点击 OK 按钮，创建 ADE Explorer。

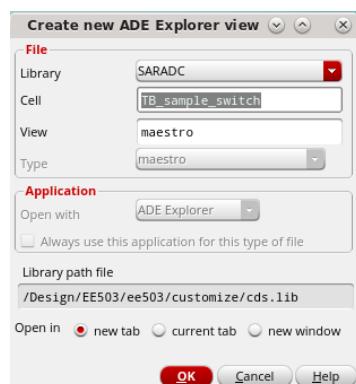


图 43 创建 ADE Explorer maestro view

3. 新创建的 ADE Explorer 界面如图 44 所示。其中红框部分为仿真设置区域，蓝框部分为仿真结果区域，绿框部分为仿真控制区域，黄框部分为工具和菜单栏。

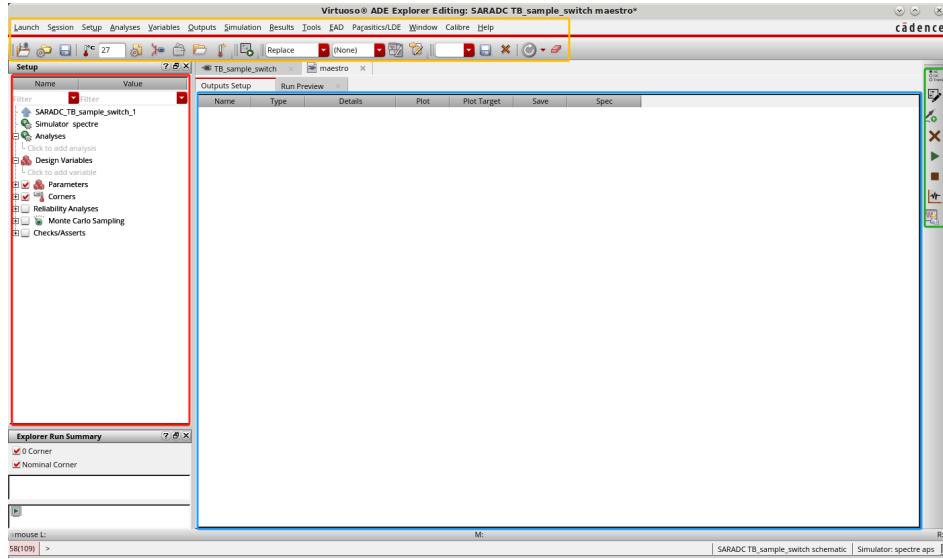


图 44 ADE Explorer

3.4.2. 仿真参数设置

1. 在 ADE Explorer 界面中，鼠标右键单击 Design Variables，在右键菜单中选择 Copy From CellView，发现 Design Variables 中已经自动添加了 vdd、tClk、trf、ron、ampIn、fIn、vCm、cL 等变量。如图 45 所示，为各变量赋值。

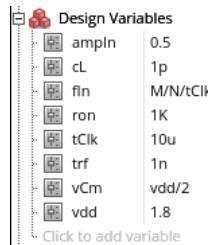


图 45 Design Variables 设置

2. 鼠标左键单击图 45 中的 click to add variable，在弹出的对话框中，在 Name 属性栏输入 N，在 Value 属性栏输入 256，点击 Add 按钮。再在 Name 属性栏输入 M，在 Value 属性栏输入 3，点击 Add 按钮。此时注意到图 45 中的变量列表中已经添加了变量 N 和 M。

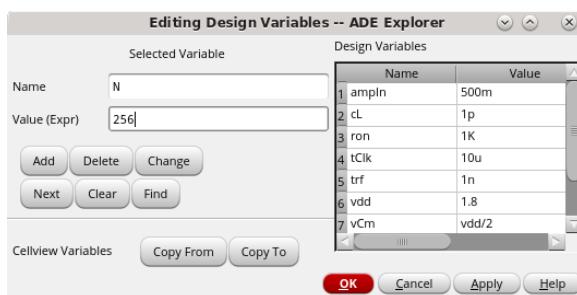


图 46 添加变量 N

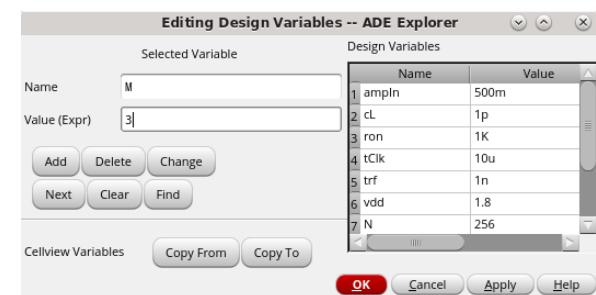


图 47 添加变量 M

3. 在 ADE Explorer 界面中，鼠标左键单击图 44 红框中 Analyses 栏下的 Click to add analysis。

在弹出的对话框中在 Analysis 属性栏选择 tran，在 Stop Time 属性栏输入仿真时长，由于我们取 N 为 256， f_{clk} 为 100 kHz，因此仿真时长应至少为 $\frac{256}{f_{clk}} = 2.56 \text{ ms}$ 。为留部分余量，这

里我们输入 2.6m。在 Accuracy Defaults (errppreset) 属性栏选择 conservative。勾选 Transient Noise，在 Noise Analysis 栏下的 Noise Fmax 属性栏输入 1G。点击 OK 按钮。

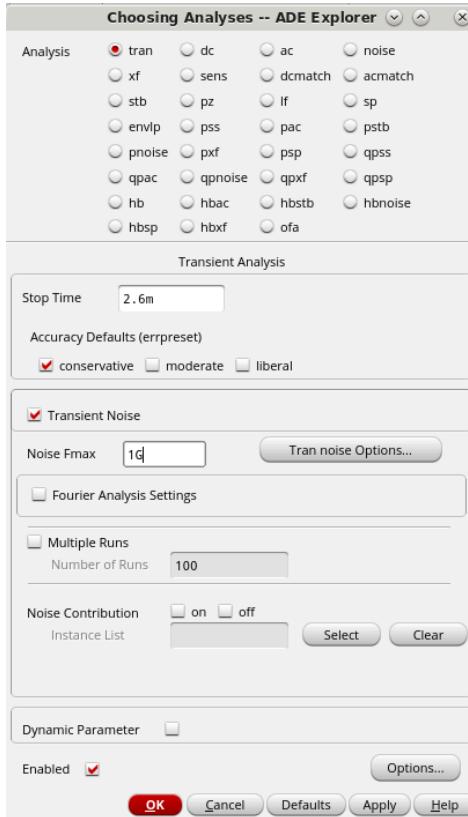


图 48 添加 transient analysis

4. 在 ADE Explorer 界面中，鼠标左键单击图 44 黄框中的 Outputs -> To Be Plotted -> Select On Design。

TB_sample_switch 的 Schematic 视图将会弹出在新选项卡中。

在 Schematic 视图中，点击节点 out 对应的导线或 label，该节点会被高亮如图 49 所示，点击图 49 中左上方的 maestro 选项卡，发现 out 节点同时被添加到 ADE Explorer 的输出列表中，如图 50 所示。

同理，添加 in 节点到输出列表中。

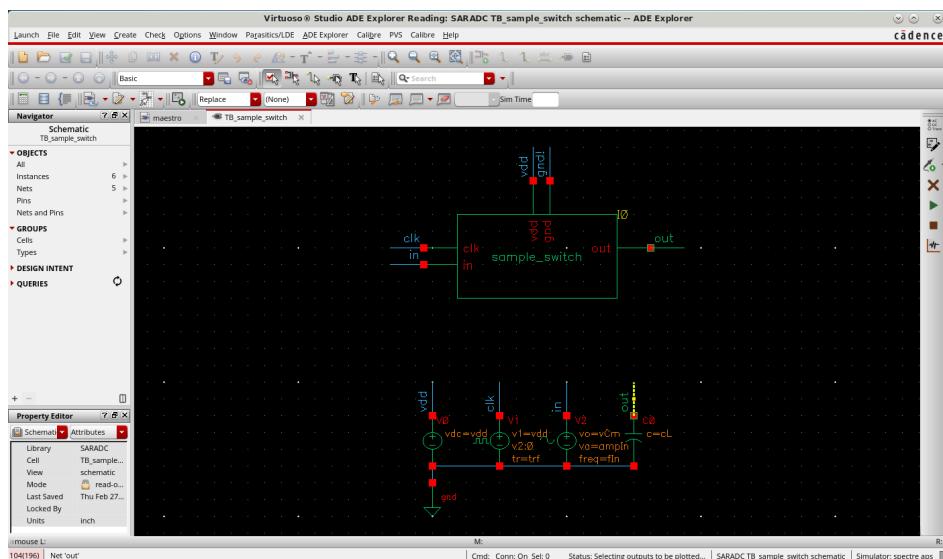


图 49 选择输出节点

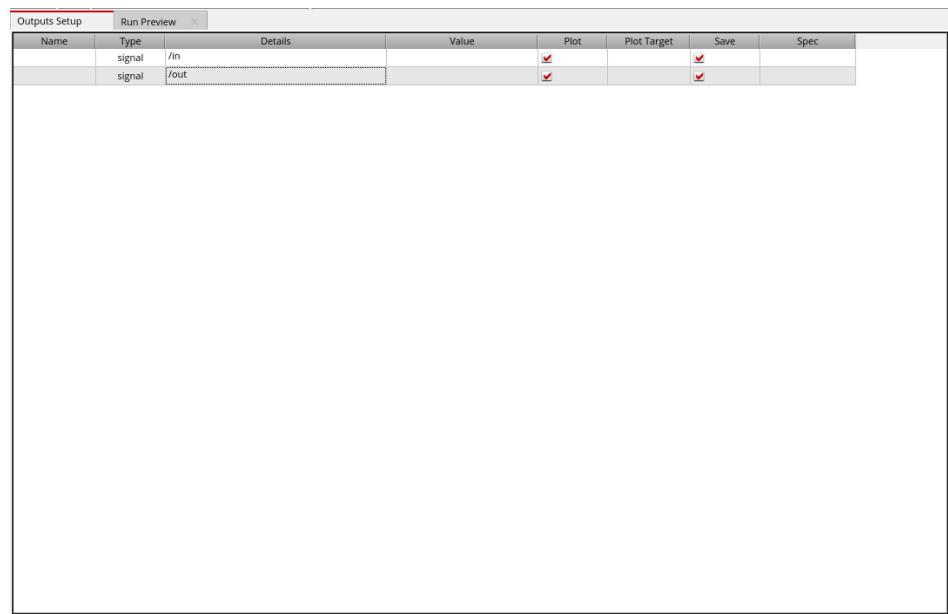


图 50 添加输出节点后的 ADE Explorer

相干采样

假设你的输入信号的周期为 T_{in} , 采样时间间隔(采样周期)为 T_s , 而你打算采集 N 个样本来做快速傅里叶变换(FFT)分析。

为了获取这么多样本, 显然你必须进行一段时间 T_{tot} 的仿真, 且 T_{tot} 满足:

$$T_{\text{tot}} = N \cdot T_s \quad (1)$$

而这段仿真时长内, 输入信号跑了几个周期呢? 显然是:

$$M = \frac{T_{\text{tot}}}{T_{\text{in}}} \quad (2)$$

由式 1 和式 2 可得:

$$T_{\text{tot}} = N \cdot T_s = M \cdot T_{\text{in}} \quad (3)$$

而如果你习惯用频率来表示, 那么上式也可以写为:

$$\frac{N}{f_s} = \frac{M}{f_{\text{in}}} \quad (4)$$

接下来我们就可以引入**相干采样**的定义了。要实现相干采样, 其充分必要条件是:

1. $N, M \in \mathbb{N}_+$
2. N, M 互质

只要满足这两个条件, 我们对样本进行 FFT 后, 就可以得到如图 51 所示的频谱。

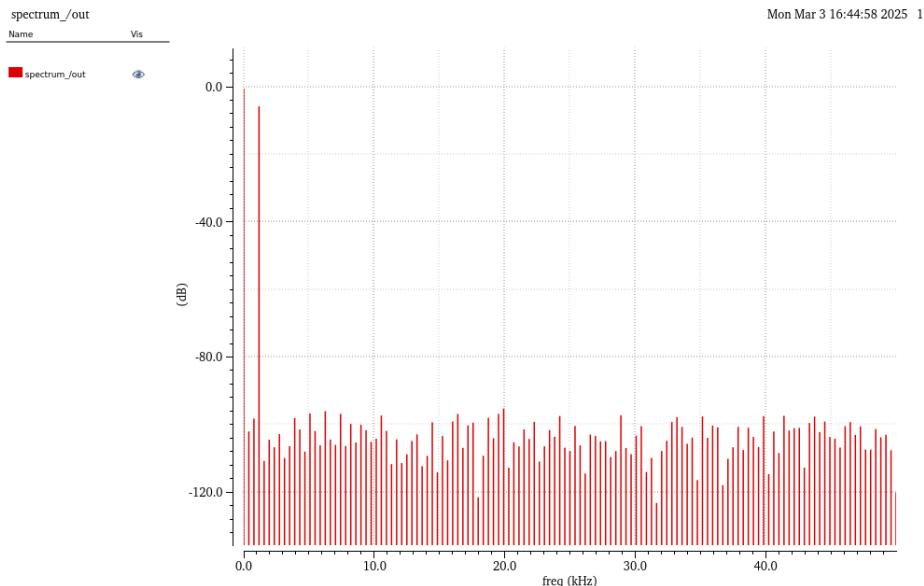


图 51 $T_s = 10 \mu\text{s}$, $M = 3$, $N = 256$ 时的频谱

第一个条件中, N 为正整数是显然的, 毕竟我们很难想象一个人出于什么样的目的才会采集小数个样本。但 M 为正整数这个条件就有点门道了。

根据图 51 我们可以注意到, FFT 频谱是由 N 条“柱子”组成的, 它们的高度对应相应频率区间内的**信号强度**。而信号对应的“柱子”则是其中左起的第 $M + 1$ 根(第 1 根是直流分量)。那么无奖竞猜的时候来了: 如果 M 改为 3.2, FFT 频谱中的信号“柱子”会出现在哪里呢?

1. 还是第三根
2. 在第三根和第四根之间以某种比例分摊
3. “柱子”会塌掉, 高度在整个频谱上分摊

相干采样

答案是 3。此时的频谱如图 52 所示，这个现象的正式名称是**频谱泄露**。考虑到读者可能没有上过信号与系统或数字信号处理课程，大家可以带着这个问题关注一下课程中讲述 FFT 的那一章。简单来说，采样开始和终止时信号的值必须相等，否则一旦存在突变，对于 FFT 来说将是灾难性的。而“采样开始和终止时信号的值必须相等”这个条件，正对应了 M 为正整数这个条件。

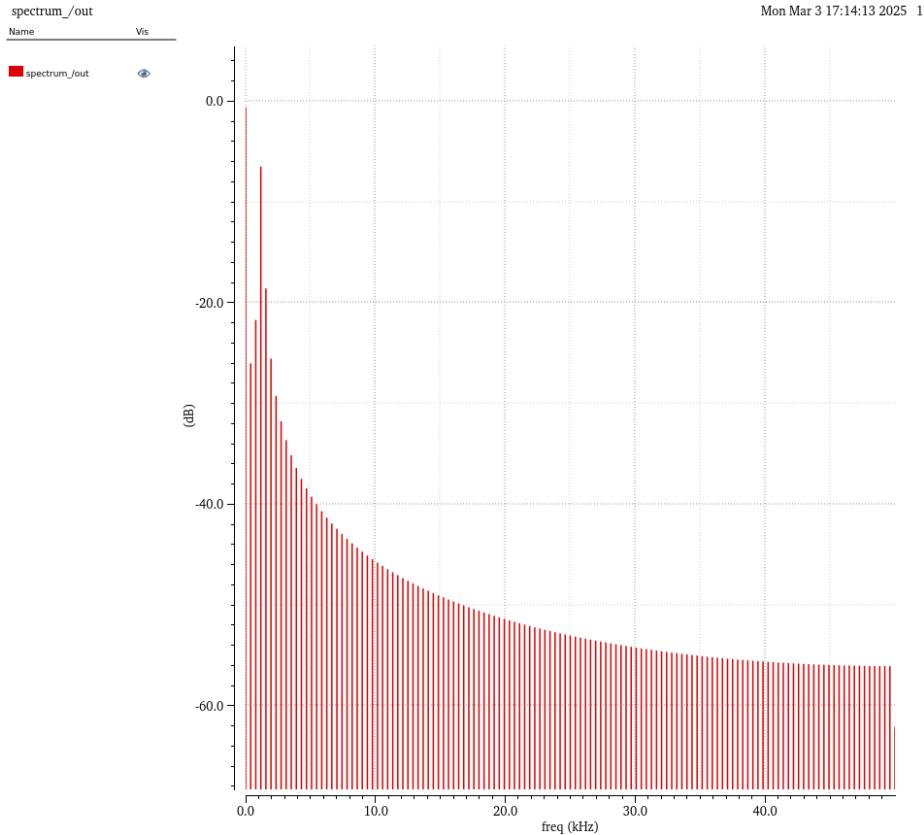


图 52 $T_s = 10 \mu\text{s}$, $M = 3.2$, $N = 256$ 时的频谱

至于第二个条件， N, M 互质，则避免了**重复采样**。想象一下，假如现在 $M = 4, N = 256$ 。那么每过 64 个采样点，信号就回到了原来的值，而我们又会把刚才 64 个点的采样重复 3 次。既然如此，我们为什么不直接用这 64 个点来做 $N = 64$ 的 FFT 呢？

眼尖的同学可能还发现，迄今为止我们的 N 一直都是 **2 的整数次幂**。对于相干采样而言，其实这并不是必须的，但对于计算机而言，这样的 FFT 运算会更**高效**。因此建议大家以后在进行 FFT 时，取 $N = 2^k (k \in \mathbb{N})$ 。

3.4.3. 运行简单的瞬态仿真

瞬态仿真 (Transient Analysis) 是 Cadence Virtuoso 中最基本的仿真类型之一，仿真器将会模拟一个电路在一定时间内**实时**的响应，并生成各个节点的电压**波形**用于观察。在这里我们将运行一个简单的瞬态仿真，观察采样开关的工作情况。

1. 在 ADE Explorer 界面中，鼠标左键单击图 44 绿框中的运行仿真按钮 。如图 53 所示的仿真 log 窗口弹出，仿真开始运行。

```

/simulation/ee503/SMIC18MSE_1P4M_3la_1TM1_MIM20/SA...
File Edit View Help cadence
Spectre (R) Circuit Simulator
Version 23.1.0.688.1sr14 64bit -- 13 Dec 2024
Copyright (C) 1989-2024 Cadence Design Systems, Inc. All rights reserved w...
Includes RSA BSAFE(R) Cryptographic or Security Protocol Software from RSA
User: ee503 Host: kilicontech02 HostID: 7F0100 PID: 90788
Memory available: 575.5795 GB Physical: 1.0816 TB
Linux: CentOS Linux release 7 (Core)
CPU Type: AMD EPYC 7H12 64-Core Processor
All processors running at 2595.1 MHz
Socket: Processors (Hyperthreaded Processor)
0: 0 (), 1 (), 2 (), 3 (), 4 (), 5 (), 6 (), 7 (), 8 ()
10 (), 11 (), 12 (), 13 (), 14 (), 15 (), 16 (), 17 (), 18 ()
20 (), 21 (), 22 (), 23 (), 24 (), 25 (), 26 (), 27 (), 28 ()
30 (), 31 (), 32 (), 33 (), 34 (), 35 (), 36 (), 37 (), 38 ()
40 (), 41 (), 42 (), 43 (), 44 (), 45 (), 46 (), 47 (), 48 ()
50 (), 51 (), 52 (), 53 (), 54 (), 55 (), 56 (), 57 (), 58 ()
60 (), 61 (), 62 (), 63 (), 64 (), 65 (), 66 (), 67 (), 68 ()
69 (), 70 (), 71 (), 72 (), 73 (), 74 (), 75 (), 76 (), 77 ()
78 (), 79 (), 80 (), 81 (), 82 (), 83 (), 84 (), 85 (), 86 (), 87 (), 88 (), 89 (), 90 (), 91 (), 92 ()
93 (), 94 (), 95 (), 96 (), 97 (), 98 (), 99 (), 100 (), 101 (), 102 ()
103 (), 104 (), 105 (), 106 (), 107 (), 108 (), 109 (), 110 (), 111 ()
112 (), 113 (), 114 (), 115 (), 116 (), 117 (), 118 (), 119 (), 120 (), 121 ()
122 (), 123 (), 124 (), 125 (), 126 (), 127 (), 128 (), 129 (), 130 (), 131 ()
132 (), 133 (), 134 (), 135 (), 136 (), 137 (), 138 (), 139 (), 140 (), 141 ()
142 (), 143 (), 144 (), 145 (), 146 (), 147 (), 148 (), 149 (), 150 (), 151 ()
152 (), 153 (), 154 (), 155 (), 156 (), 157 (), 158 (), 159 (), 160 (), 161 ()
162 (), 163 (), 164 (), 165 (), 166 (), 167 (), 168 (), 169 (), 170 (), 171 ()
172 (), 173 (), 174 (), 175 (), 176 (), 177 (), 178 (), 179 (), 180 (), 181 ()
182 (), 183 (), 184 (), 185 (), 186 (), 187 (), 188 (), 189 (), 190 (), 191 ()
192 (), 193 (), 194 (), 195 (), 196 (), 197 (), 198 (), 199 (), 200 (), 201 ()
202 (), 203 (), 204 (), 205 (), 206 (), 207 (), 208 (), 209 (), 210 (), 211 ()
212 (), 213 (), 214 (), 215 (), 216 (), 217 (), 218 (), 219 (), 220 (), 221 ()
222 (), 223 (), 224 (), 225 (), 226 (), 227 (), 228 (), 229 (), 230 (), 231 ()
232 (), 233 (), 234 (), 235 (), 236 (), 237 (), 238 (), 239 (), 240 (), 241 ()
242 (), 243 (), 244 (), 245 (), 246 (), 247 (), 248 (), 249 (), 250 (), 251 ()
252 (), 253 (), 254 (), 255 (), 256 (), 257 (), 258 (), 259 (), 260 (), 261 ()
262 (), 263 (), 264 (), 265 (), 266 (), 267 (), 268 (), 269 (), 270 (), 271 ()
272 (), 273 (), 274 (), 275 (), 276 (), 277 (), 278 (), 279 (), 280 (), 281 ()
282 (), 283 (), 284 (), 285 (), 286 (), 287 (), 288 (), 289 (), 290 (), 291 ()
292 (), 293 (), 294 (), 295 (), 296 (), 297 (), 298 (), 299 (), 300 (), 301 ()
302 (), 303 (), 304 (), 305 (), 306 (), 307 (), 308 (), 309 (), 310 (), 311 ()
312 (), 313 (), 314 (), 315 (), 316 (), 317 (), 318 (), 319 (), 320 (), 321 ()
322 (), 323 (), 324 (), 325 (), 326 (), 327 (), 328 (), 329 (), 330 (), 331 ()
332 (), 333 (), 334 (), 335 (), 336 (), 337 (), 338 (), 339 (), 340 (), 341 ()
342 (), 343 (), 344 (), 345 (), 346 (), 347 (), 348 (), 349 (), 350 (), 351 ()
352 (), 353 (), 354 (), 355 (), 356 (), 357 (), 358 (), 359 (), 360 (), 361 ()
362 (), 363 (), 364 (), 365 (), 366 (), 367 (), 368 (), 369 (), 370 (), 371 ()
372 (), 373 (), 374 (), 375 (), 376 (), 377 (), 378 (), 379 (), 380 (), 381 ()
382 (), 383 (), 384 (), 385 (), 386 (), 387 (), 388 (), 389 (), 390 (), 391 ()
392 (), 393 (), 394 (), 395 (), 396 (), 397 (), 398 (), 399 (), 400 (), 401 ()
402 (), 403 (), 404 (), 405 (), 406 (), 407 (), 408 (), 409 (), 410 (), 411 ()
412 (), 413 (), 414 (), 415 (), 416 (), 417 (), 418 (), 419 (), 420 (), 421 ()
422 (), 423 (), 424 (), 425 (), 426 (), 427 (), 428 (), 429 (), 430 (), 431 ()
432 (), 433 (), 434 (), 435 (), 436 (), 437 (), 438 (), 439 (), 440 (), 441 ()
442 (), 443 (), 444 (), 445 (), 446 (), 447 (), 448 (), 449 (), 450 (), 451 ()
452 (), 453 (), 454 (), 455 (), 456 (), 457 (), 458 (), 459 (), 460 (), 461 ()
462 (), 463 (), 464 (), 465 (), 466 (), 467 (), 468 (), 469 (), 470 (), 471 ()
472 (), 473 (), 474 (), 475 (), 476 (), 477 (), 478 (), 479 (), 480 (), 481 ()
482 (), 483 (), 484 (), 485 (), 486 (), 487 (), 488 (), 489 (), 490 (), 491 ()
492 (), 493 (), 494 (), 495 (), 496 (), 497 (), 498 (), 499 (), 500 (), 501 ()
502 (), 503 (), 504 (), 505 (), 506 (), 507 (), 508 (), 509 (), 510 (), 511 ()
512 (), 513 (), 514 (), 515 (), 516 (), 517 (), 518 (), 519 (), 520 (), 521 ()
522 (), 523 (), 524 (), 525 (), 526 (), 527 (), 528 (), 529 (), 530 (), 531 ()
532 (), 533 (), 534 (), 535 (), 536 (), 537 (), 538 (), 539 (), 540 (), 541 ()
542 (), 543 (), 544 (), 545 (), 546 (), 547 (), 548 (), 549 (), 550 (), 551 ()
552 (), 553 (), 554 (), 555 (), 556 (), 557 (), 558 (), 559 (), 560 (), 561 ()
562 (), 563 (), 564 (), 565 (), 566 (), 567 (), 568 (), 569 (), 570 (), 571 ()
572 (), 573 (), 574 (), 575 (), 576 (), 577 (), 578 (), 579 (), 580 (), 581 ()
582 (), 583 (), 584 (), 585 (), 586 (), 587 (), 588 (), 589 (), 590 (), 591 ()
592 (), 593 (), 594 (), 595 (), 596 (), 597 (), 598 (), 599 (), 600 (), 601 ()
602 (), 603 (), 604 (), 605 (), 606 (), 607 (), 608 (), 609 (), 610 (), 611 ()
612 (), 613 (), 614 (), 615 (), 616 (), 617 (), 618 (), 619 (), 620 (), 621 ()
622 (), 623 (), 624 (), 625 (), 626 (), 627 (), 628 (), 629 (), 630 (), 631 ()
632 (), 633 (), 634 (), 635 (), 636 (), 637 (), 638 (), 639 (), 640 (), 641 ()
642 (), 643 (), 644 (), 645 (), 646 (), 647 (), 648 (), 649 (), 650 (), 651 ()
652 (), 653 (), 654 (), 655 (), 656 (), 657 (), 658 (), 659 (), 660 (), 661 ()
662 (), 663 (), 664 (), 665 (), 666 (), 667 (), 668 (), 669 (), 670 (), 671 ()
672 (), 673 (), 674 (), 675 (), 676 (), 677 (), 678 (), 679 (), 680 (), 681 ()
682 (), 683 (), 684 (), 685 (), 686 (), 687 (), 688 (), 689 (), 690 (), 691 ()
692 (), 693 (), 694 (), 695 (), 696 (), 697 (), 698 (), 699 (), 700 (), 701 ()
702 (), 703 (), 704 (), 705 (), 706 (), 707 (), 708 (), 709 (), 710 (), 711 ()
712 (), 713 (), 714 (), 715 (), 716 (), 717 (), 718 (), 719 (), 720 (), 721 ()
722 (), 723 (), 724 (), 725 (), 726 (), 727 (), 728 (), 729 (), 730 (), 731 ()
732 (), 733 (), 734 (), 735 (), 736 (), 737 (), 738 (), 739 (), 740 (), 741 ()
742 (), 743 (), 744 (), 745 (), 746 (), 747 (), 748 (), 749 (), 750 (), 751 ()
752 (), 753 (), 754 (), 755 (), 756 (), 757 (), 758 (), 759 (), 760 (), 761 ()
762 (), 763 (), 764 (), 765 (), 766 (), 767 (), 768 (), 769 (), 770 (), 771 ()
772 (), 773 (), 774 (), 775 (), 776 (), 777 (), 778 (), 779 (), 780 (), 781 ()
782 (), 783 (), 784 (), 785 (), 786 (), 787 (), 788 (), 789 (), 790 (), 791 ()
792 (), 793 (), 794 (), 795 (), 796 (), 797 (), 798 (), 799 (), 800 (), 801 ()
802 (), 803 (), 804 (), 805 (), 806 (), 807 (), 808 (), 809 (), 810 (), 811 ()
812 (), 813 (), 814 (), 815 (), 816 (), 817 (), 818 (), 819 (), 820 (), 821 ()
822 (), 823 (), 824 (), 825 (), 826 (), 827 (), 828 (), 829 (), 830 (), 831 ()
832 (), 833 (), 834 (), 835 (), 836 (), 837 (), 838 (), 839 (), 840 (), 841 ()
842 (), 843 (), 844 (), 845 (), 846 (), 847 (), 848 (), 849 (), 850 (), 851 ()
852 (), 853 (), 854 (), 855 (), 856 (), 857 (), 858 (), 859 (), 860 (), 861 ()
862 (), 863 (), 864 (), 865 (), 866 (), 867 (), 868 (), 869 (), 870 (), 871 ()
872 (), 873 (), 874 (), 875 (), 876 (), 877 (), 878 (), 879 (), 880 (), 881 ()
882 (), 883 (), 884 (), 885 (), 886 (), 887 (), 888 (), 889 (), 890 (), 891 ()
892 (), 893 (), 894 (), 895 (), 896 (), 897 (), 898 (), 899 (), 900 (), 901 ()
902 (), 903 (), 904 (), 905 (), 906 (), 907 (), 908 (), 909 (), 910 (), 911 ()
912 (), 913 (), 914 (), 915 (), 916 (), 917 (), 918 (), 919 (), 920 (), 921 ()
922 (), 923 (), 924 (), 925 (), 926 (), 927 (), 928 (), 929 (), 930 (), 931 ()
932 (), 933 (), 934 (), 935 (), 936 (), 937 (), 938 (), 939 (), 940 (), 941 ()
942 (), 943 (), 944 (), 945 (), 946 (), 947 (), 948 (), 949 (), 950 (), 951 ()
952 (), 953 (), 954 (), 955 (), 956 (), 957 (), 958 (), 959 (), 960 (), 961 ()
962 (), 963 (), 964 (), 965 (), 966 (), 967 (), 968 (), 969 (), 970 (), 971 ()
972 (), 973 (), 974 (), 975 (), 976 (), 977 (), 978 (), 979 (), 980 (), 981 ()
982 (), 983 (), 984 (), 985 (), 986 (), 987 (), 988 (), 989 (), 990 (), 991 ()
992 (), 993 (), 994 (), 995 (), 996 (), 997 (), 998 (), 999 (), 1000 (), 1001 ()

```

System load averages (1min, 5min, 15min) : 200.4 %, 200.1 %, 200.1 %
Hyperthreading is enabled
HPC is enabled

Simulating 'input.scs' on kilicontech02 at 4:40:19 PM Sat Mar 1 2025 (proc)

197 > L383 C60

图 53 仿真 log 窗口

2. 一段时间后仿真完成，此时如图 54 所示的仿真结果窗口将会弹出，内容为 out 节点的波形图。可以看到，采样开关在时钟信号的控制下，对输入信号进行了采样。鼠标右键长按，框选部分波形后松开，可以放大查看该部分波形，再按键盘上的 f 键可以恢复全览视图。

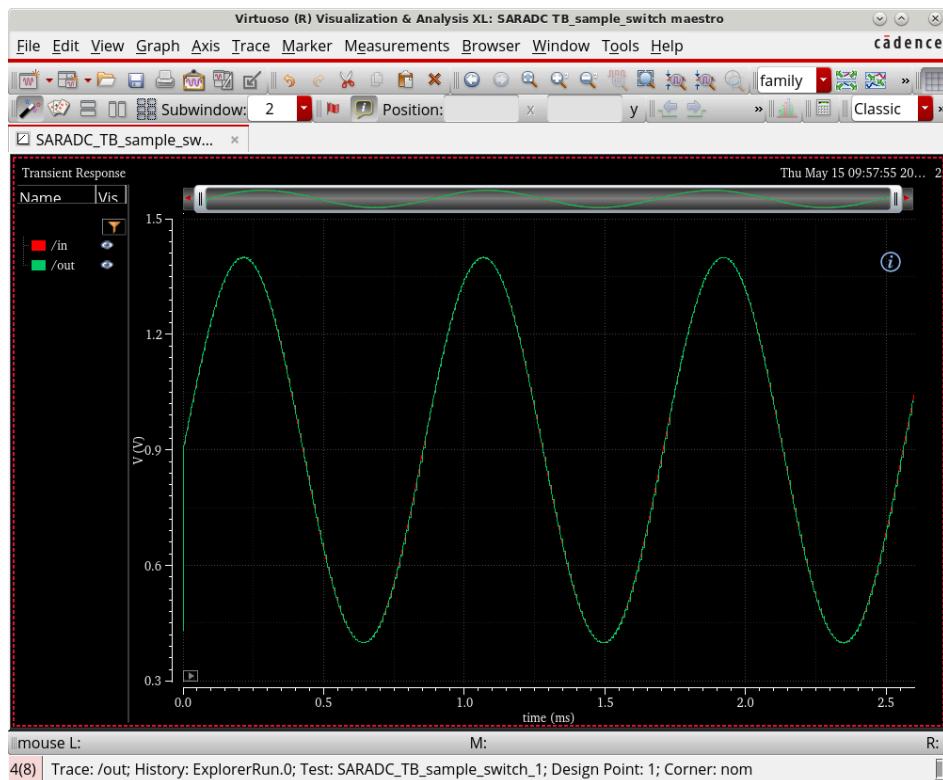


图 54 仿真结果窗口

3.4.4. 频谱分析

1. 如图 55 和图 56 所示，框选最后一段波形并放大，可以看到最后一个采样保持电路输出的样本位于 2.595 ms 时刻，这也是之后 FFT 样本序列的终止时间。

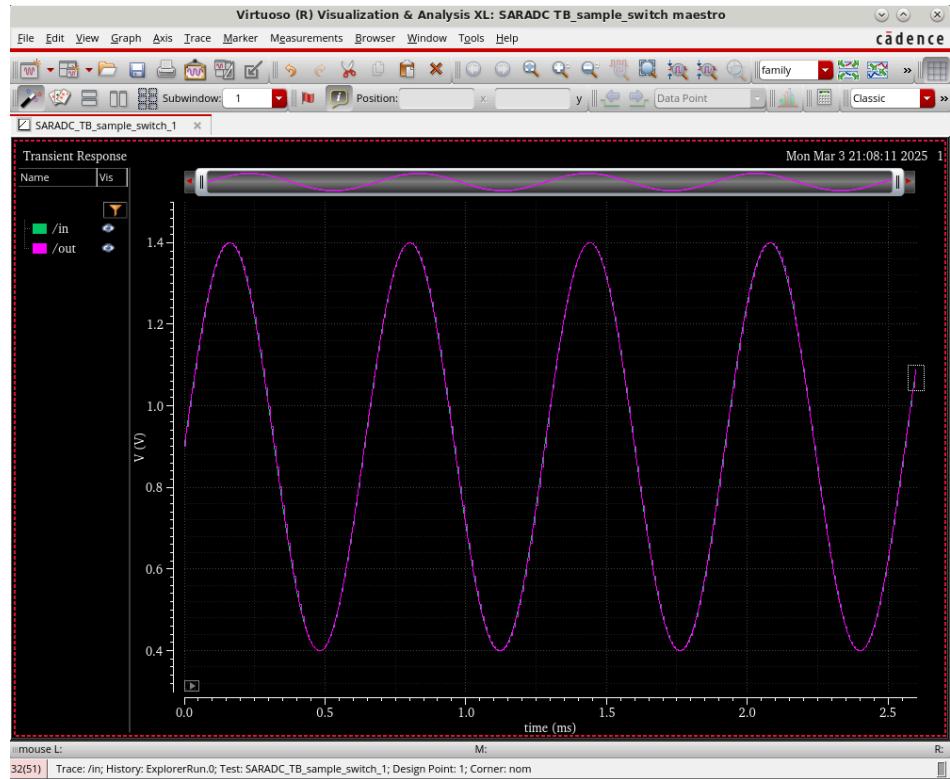


图 55 放大框选部分波形

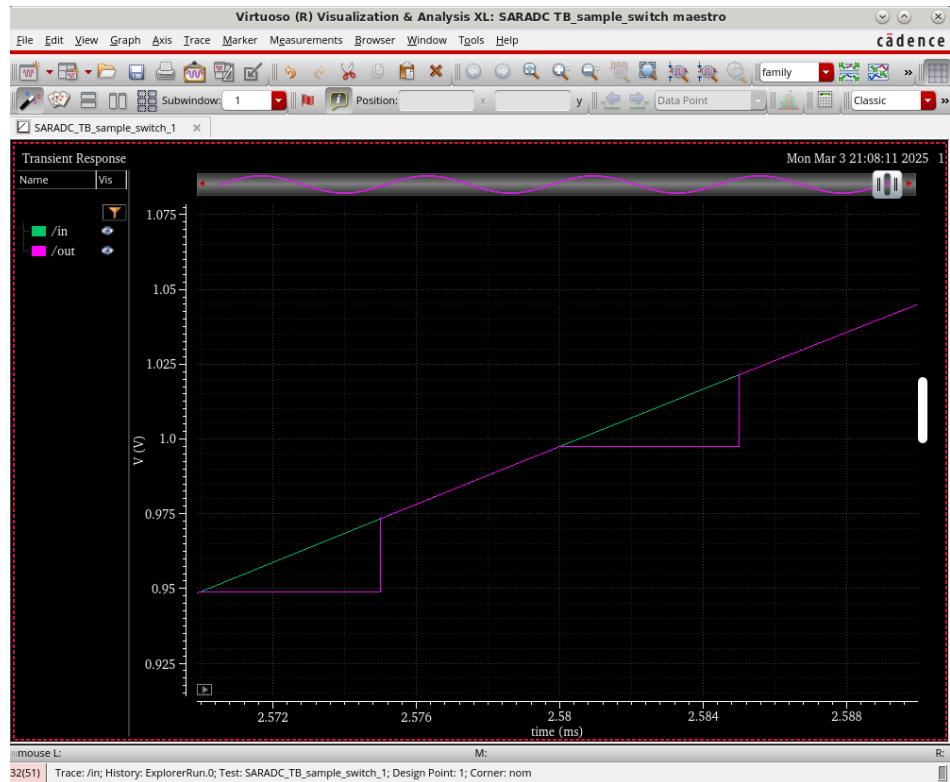


图 56 框选部分波形放大后的结果

2. 鼠标左键单击图 56 中的 out 节点对应的波形，在顶部菜单栏中点击 Measurements -> Spectrum，右侧弹出如图 57 所示的频谱分析窗口。
在 FFT input method 属性栏选择 Calculate Start Time，Start/Stop Time 的第二个属性栏输入 2.595m，Sample Count/Freq 属性栏分别输入 256, 100k，接着点击 Start/End Freq 属性栏的按钮 ，如图 57 所示。点击 plot 按钮。

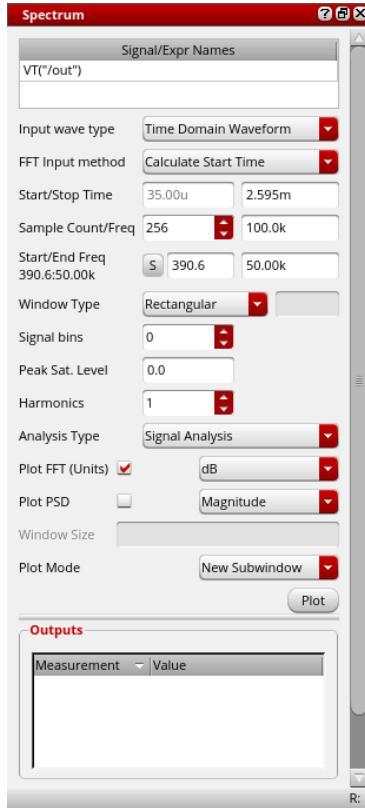


图 57 频谱分析设置窗口

1. 此时如图 58 所示的 out 节点波形的 FFT 频谱窗口将会弹出。

可以看到，频谱上存在两根相当“高”的“柱子”，他们从左到右分别对应于直流分量和交流信号的频率分量。同时也可以发现其他“柱子”的幅值都很小，他们可以算作是噪声分量。

鼠标右键单击频谱窗口中信号列表的 spectrum_/out，在右键菜单中选择 Send To -> ADE，频谱窗口将会被添加到 ADE Explorer 的输出列表中。

接着，鼠标右键单击图 58 中右下角 output 栏中的 ENOB，选择 Send To ADE，ENOB 也会被添加到 ADE Explorer 的输出列表中，同理，将 SNR、SINAD、SFDR、THD 也添加到 ADE Explorer 的输出列表中，如图 59 所示。

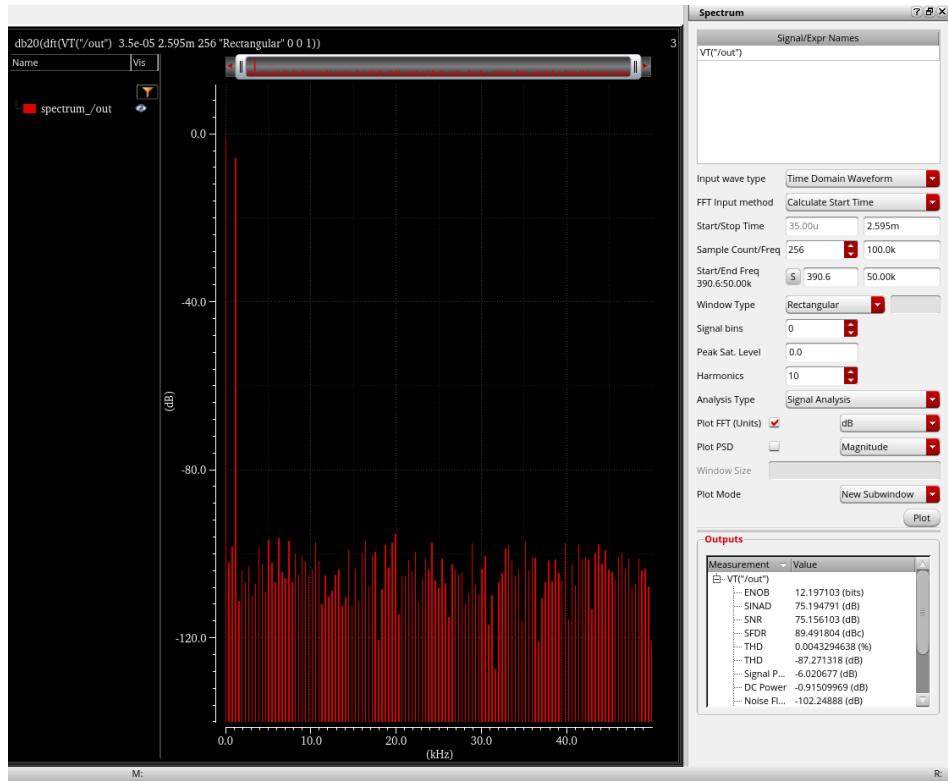


图 58 频谱输出窗口

Outputs Setup		Run Preview						
Name	Type	Details	Value	Plot	Plot Target	Save	Spec	
signal	/in			<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		
signal	/out			<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		
spectrum_0...	expr	db20(dft(VT('/out')) 3.5e-05 0.002595 2...		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		
spectrum_e...	expr	spectrumMeasurement(VT('/out')) t 3...		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		
spectrum_si...	expr	spectrumMeasurement(VT('/out')) t 3...		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		
spectrum_sr...	expr	spectrumMeasurement(VT('/out')) t 3...		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		
spectrum_sf...	expr	spectrumMeasurement(VT('/out')) t 3...		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		
spectrum_thd	expr	spectrumMeasurement(VT('/out')) t 3...		<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>		

图 59 频谱输出添加到 ADE Explorer

3.4.5. 扫描参数仿真

- 在 ADE Explorer 界面中，鼠标左键双击图 45 中的 `ron`，将这一栏改为 `1k, 2k, 5k, 10k`，如图 60 所示。

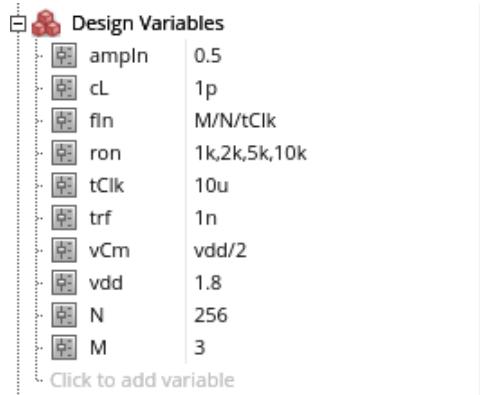


图 60 参数扫描设置

2. 在 ADE Explorer 界面中，鼠标左键单击图 44 绿框中的运行仿真按钮 。
3. 仿真完成后，如图 61 所示的仿真结果窗口将会弹出，同时 ADE Explorer 的仿真结果区变为如图 62 所示。

可以看到，图 61 中的曲线非常多且乱，图 62 中的表格也比较复杂。

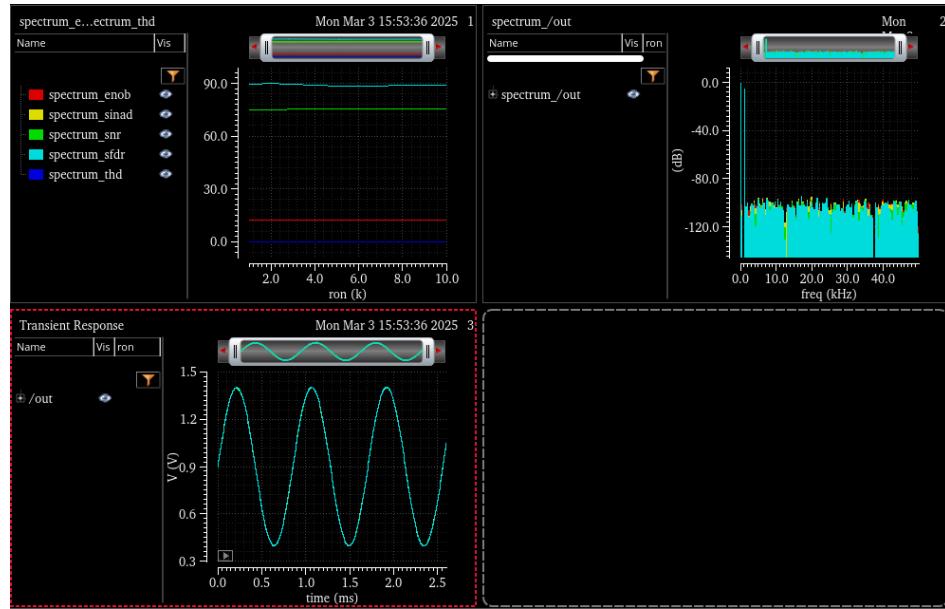


图 61 参数扫描仿真结果

Outputs Setup							Results		Run Preview	
Point	Test	Output	Nominal	Spec	Weight	Pass/Fail				
Filter <input checked="" type="checkbox"/> Filter <input type="checkbox"/>										
Detail										
28 rows										
1	SARADC_TB_sa...	/out								
1	SARADC_TB_sa...	spectrum_.../out								
1	SARADC_TB_sa...	spectrum_enob	12.19							
1	SARADC_TB_sa...	spectrum_sinad	75.13							
1	SARADC_TB_sa...	spectrum_snr	75.13							
1	SARADC_TB_sa...	spectrum_sfdr	89.44							
1	SARADC_TB_sa...	spectrum_thd	0							
Parameters: ron=1K										
2	SARADC_TB_sa...	/out								
2	SARADC_TB_sa...	spectrum_.../out								
2	SARADC_TB_sa...	spectrum_enob	12.18							
2	SARADC_TB_sa...	spectrum_sinad	75.08							
2	SARADC_TB_sa...	spectrum_snr	75.08							
2	SARADC_TB_sa...	spectrum_sfdr	89.9							
2	SARADC_TB_sa...	spectrum_thd	0							
Parameters: ron=2K										
3	SARADC_TB_sa...	/out								
3	SARADC_TB_sa...	spectrum_.../out								
3	SARADC_TB_sa...	spectrum_enob	12.23							
3	SARADC_TB_sa...	spectrum_sinad	75.41							
3	SARADC_TB_sa...	spectrum_snr	75.41							
3	SARADC_TB_sa...	spectrum_sfdr	88.44							
3	SARADC_TB_sa...	spectrum_thd	0							
Parameters: ron=5K										
4	SARADC_TB_sa...	/out								
4	SARADC_TB_sa...	spectrum_.../out								
4	SARADC_TB_sa...	spectrum_enob	12.25							
4	SARADC_TB_sa...	spectrum_sinad	75.48							
4	SARADC_TB_sa...	spectrum_snr	75.48							
4	SARADC_TB_sa...	spectrum_sfdr	88.87							
4	SARADC_TB_sa...	spectrum_thd	0							
Parameters: ron=10K										

图 62 ADE Explorer 参数扫描仿真后的仿真结果区

4. 鼠标左键单击图 62 中左上角的 Output Setup 选项卡, 取消勾选除 spectrum_snr 以外的所有输出信号的 Plot 勾选框, 如图 63 所示。

Name	Type	Details	Value	Plot	Plot Target	Save	Spec
/in	signal	/in		<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	
/out	signal	/out		<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	
spectrum_.../expr	expr	db20(dft(VT"/out"))3.5e-05 0.002595 Z...		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	
spectrum_.../expr	expr	spectrumMeasurement(VT"/out")t 3....		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	
spectrum_.../expr	expr	spectrumMeasurement(VT"/out")t 3....		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	
spectrum_snr	expr	spectrumMeasurement(VT"/out")t 3....		<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	
spectrum_sfdr	expr	spectrumMeasurement(VT"/out")t 3....		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	
spectrum_thd	expr	spectrumMeasurement(VT"/out")t 3....		<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	

图 63 ADE Explorer 输出设置

5. 鼠标左键单击图 44 绿框中的生成波形按钮 , 可以查看参数扫描后 SNR 的变化情况。如图 64 所示, 随着电阻阻值的增大, SNR 并没有明显变化。这与噪声功率无关乎导通电阻的预期相符。

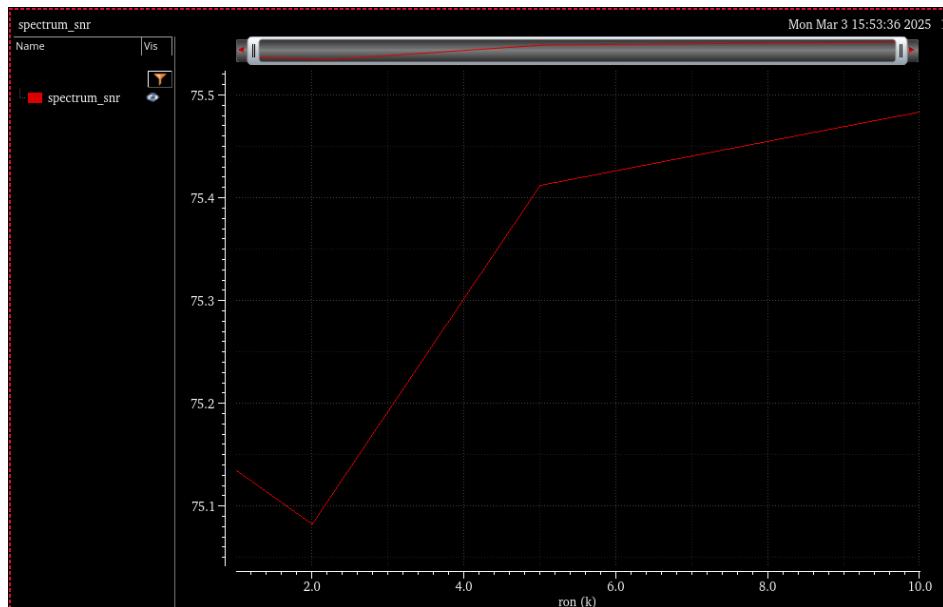


图 64 SNR 随电阻阻值变化

6. 鼠标左键单击图 44 黄框中的保存按钮 , 保存当前 ADE Explorer 的设置。鼠标左键单击 ADE Explorer 界面中右上角的 x 按钮, 关闭 ADE Explorer, 并同理关闭 Schematic 视图。

课外拓展

在图 48 中, 将 Noise Analysis 栏下的 Noise Fmax 属性栏改为 10M, 重新运行小节 3.4.5 的仿真。

请回答以下问题:

1. 仿真**速度**有何变化?
2. 采样开关的 **SNR** 在扫描导通电阻后的曲线有何变化?
3. 造成上述变化的**原因**是什么?
4. 如果你是仿真测试工程师, 你会如何选择 Noise Fmax 的值?

3.4.6. $\frac{kT}{C}$ 噪声仿真

1. 在 ADE Explorer 界面中, 修改 Design Variables 中的 ron 为 1k, cL 为 1p, 2p, 5p, 10p, 如图 65 所示。

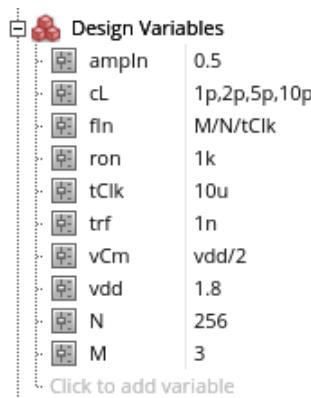


图 65 $\frac{kT}{C}$ 噪声仿真 Design Variables 设置

2. 在 ADE Explorer 界面中, 鼠标左键单击图 44 绿框中的运行仿真按钮 .
3. 仿真完成后, 如图 66 所示的仿真结果窗口将会弹出, 注意到该曲线类似对数函数曲线。为方便观察, 鼠标右键单击 SNR 变化曲线的横轴, 在右键菜单中选择 Log Scale, 如图 67 所示, 可以使用对数坐标轴。

此时观察到 SNR 随采样电容值呈 10 dB/dec (dec 指扩大 10 倍) 的增长趋势。这与噪声功率正比于 $\frac{kT}{C}$ 的关系相符。

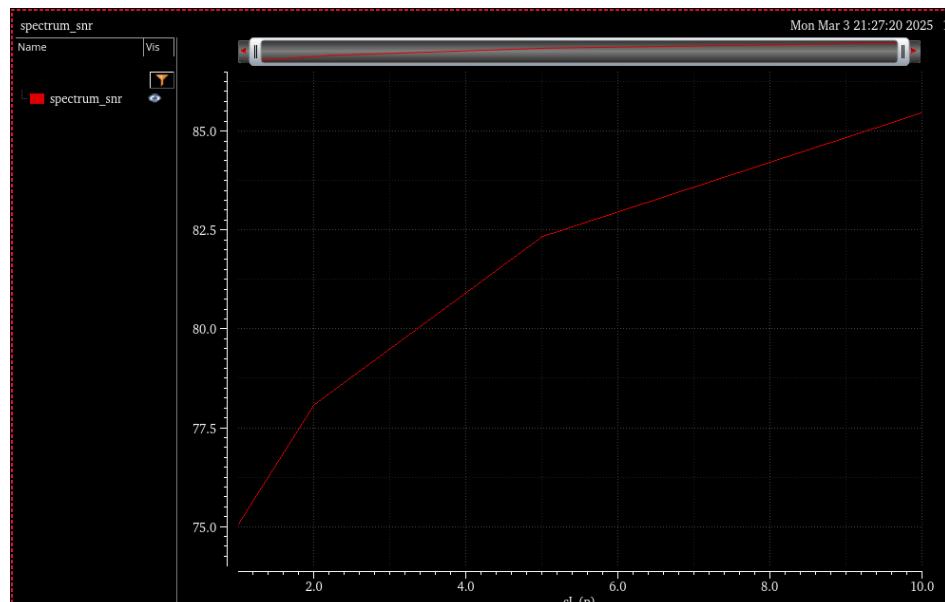


图 66 $\frac{kT}{C}$ 噪声仿真结果

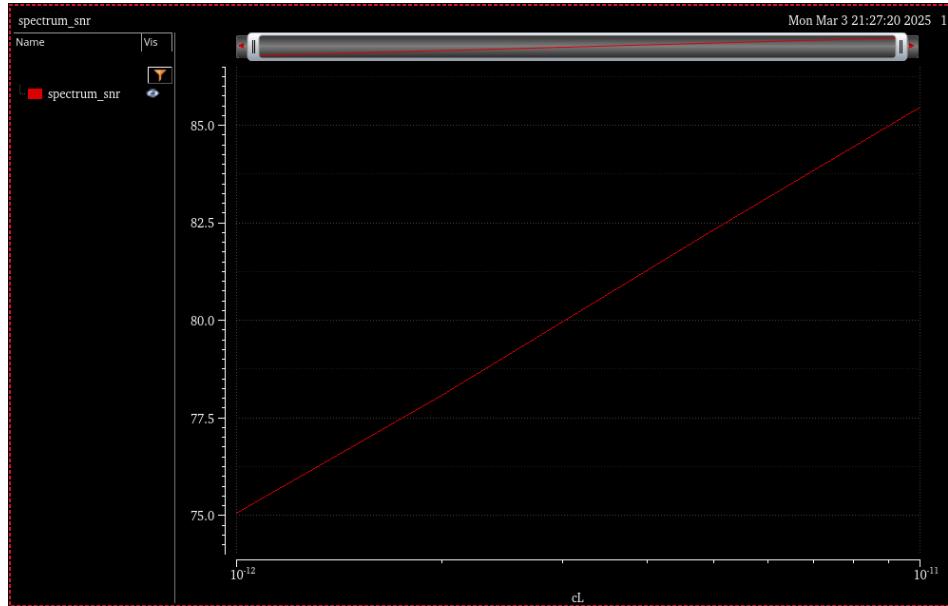


图 67 $\frac{kT}{C}$ 噪声仿真结果的对数坐标

3.5. 搭建简易采样保持电路

- 在库管理器 (Library Manager) 窗口中，找到 SARADC Library-> sample_switch Cell-> Schematic View，鼠标左键双击该 CellView，打开小节 3.2 中创建的电路原理图。如果未创建过该 CellView，请参考小节 3.2 的第 1-2 和 15-18 步创建原理图并添加端口，然后跳过下一步进入第 3 步。
- 在修改原理图之前先对当前的 CellView 进行保存。在 Schematic 视图中，按键盘上的 `ctrl + s` 键，在弹出的对话框中，将 View 属性栏中的 `schematic` 改为 `schematic_0`，如图 68 所示。点击 OK 按钮。

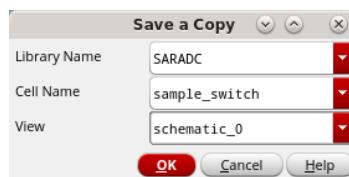


图 68 保存 Schematic 代码

- 接下来删除电路中的器件和连线。在 Schematic 视图中，按键盘上的 `delete` 键进入删除模式，光标右下角出现 X 形，鼠标左键单击需要删除的器件或连线，只保留 `vdd` 上的 `noConn`。删除后如图 69 所示。

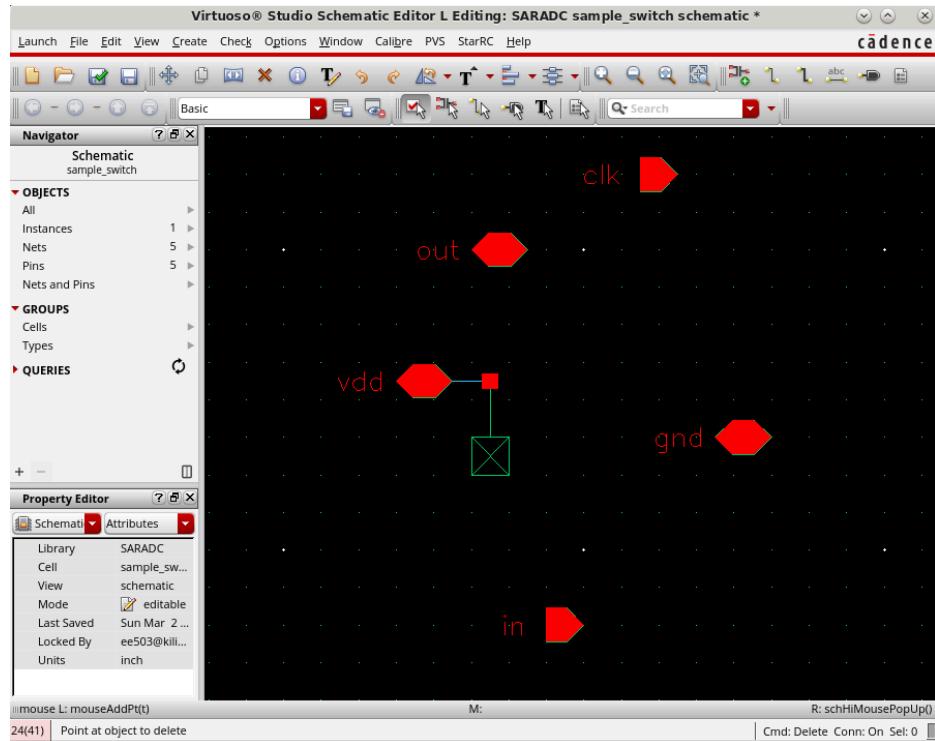


图 69 删除器件和连线

4. 在 Schematic 视图中，按键盘上的 **i** 键，打开 Add Instance 对话框。
5. 在弹出的如图 10 所示的对话框中，点击 Browse 按钮。
6. 在弹出的如图 70 所示的对话框中，展开 Library 列中的 SMIC_LIB 并选择其中的 smic18mmrf，Cell 列中的 n18，View 列中的 symbol。点击键盘上的 Enter 键。

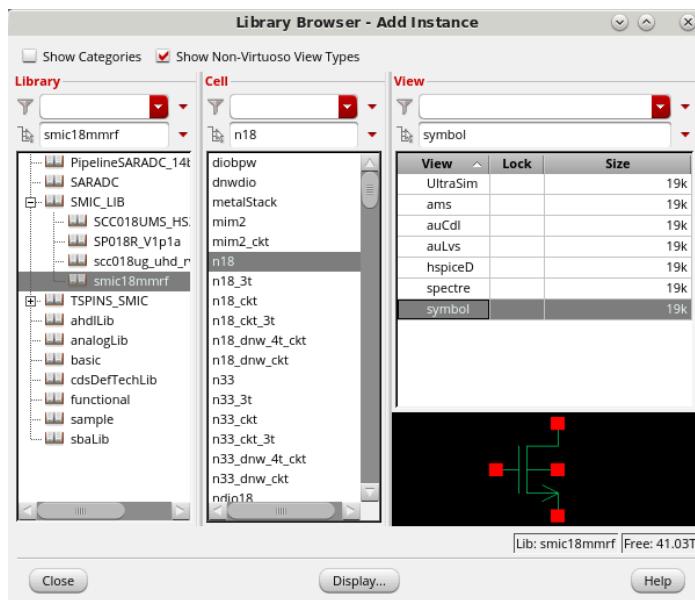


图 70 选择 NMOS 器件

7. 点击 Schematic 视图中的空白处，将 NMOS 实例化。如图 71 所示。然后按键盘上的 **esc** 键关闭对话框。

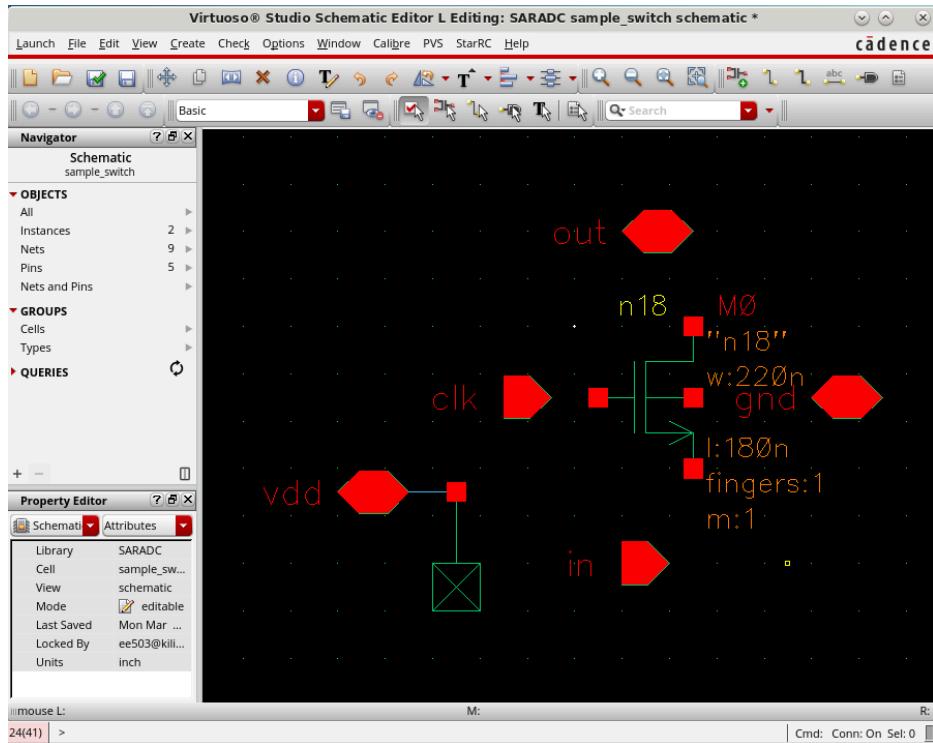


图 71 NMOS 实例化

8. 在 Schematic 视图中, 如图 72 所示, 完成连线。

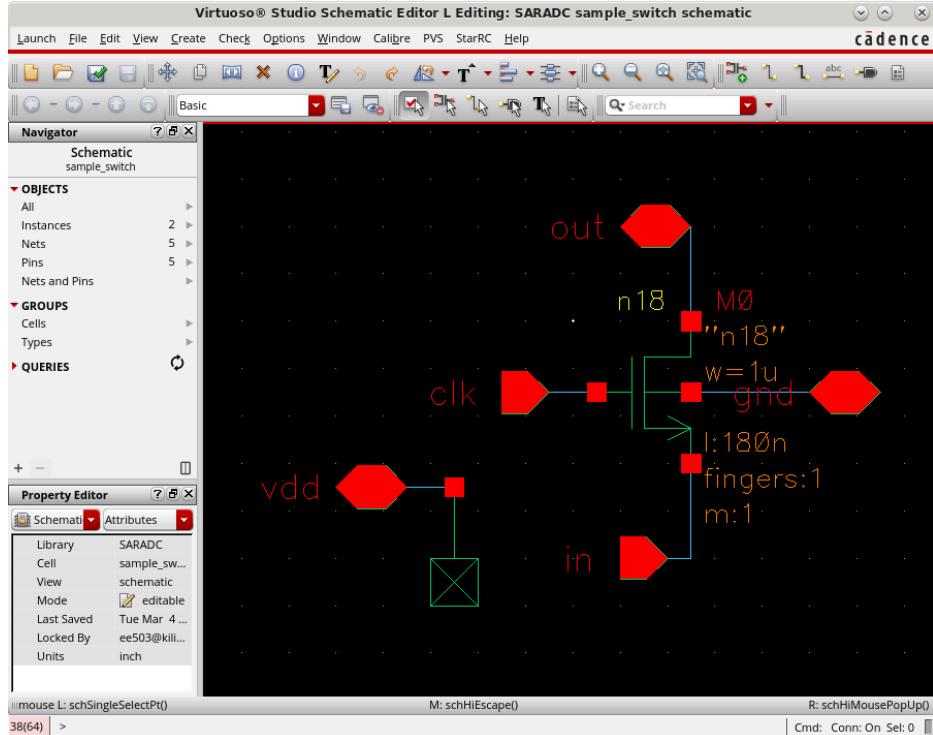


图 72 简易采样开关电路

9. 鼠标左键单击 n18, 按键盘上的 q 键, 打开 Edit Properties 对话框。在 Finger Width 属性栏输入 1u, 如图 73 所示。点击 OK 按钮。

在 SMIC18MMRF 以及其他许多现代工艺中, 假如工程师需要一个宽 $8\mu\text{m}$ 的 NMOS, 那么他们不会直接做一个宽 $8\mu\text{m}$ 的 NMOS, 而是使用(打个比方)8个 $1\mu\text{m}$ 的小 NMOS 并将其并联, 这样方便后续版图设计。这里每一个小 NMOS 被称为一个 Finger, 因此 NMOS 的宽度就是 Finger Width 乘以 Fingers。

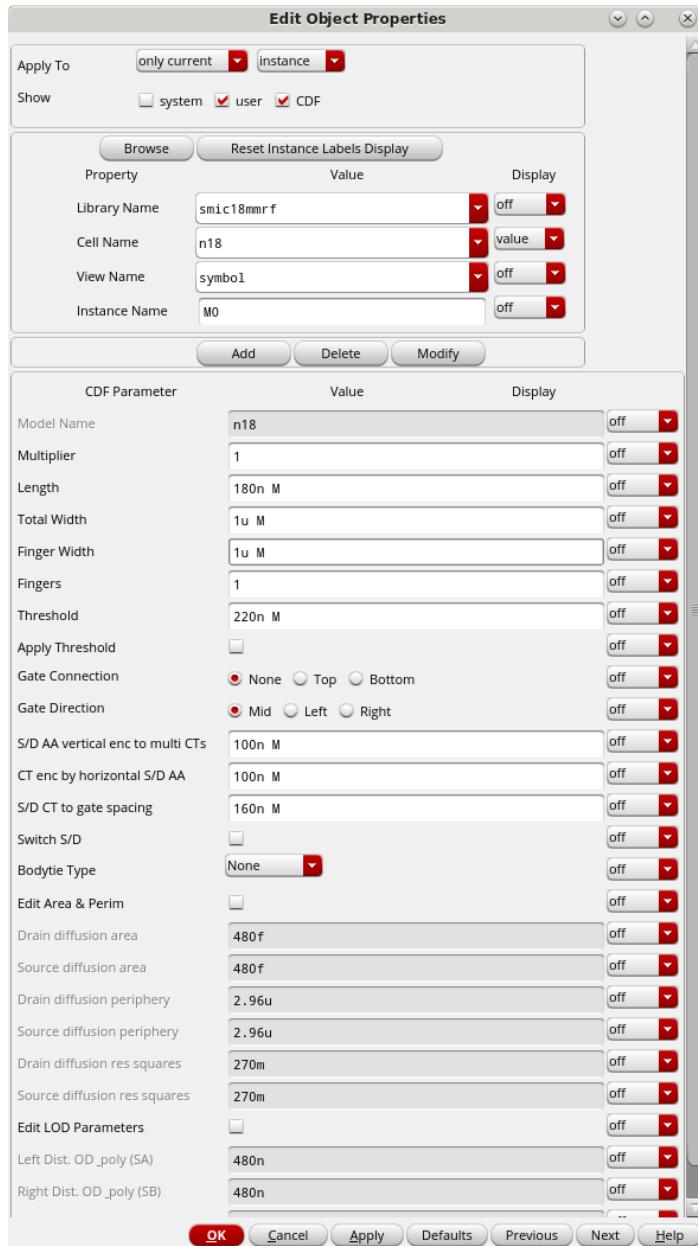


图 73 n18 的 Edit Properties 对话框

10. 在 Schematic 视图中，点击菜单栏的 Check & Save 按钮 ，保存电路图。
11. 按键盘上的 **Ctrl + s** 键，在弹出的对话框中，将 View 属性栏中的 `schematic_0` 改为 `schematic_1`，保存电路图备份。点击 OK 按钮。
12. 点击 Schematic 视图右上角的 **x** 按钮，关闭 Schematic 视图。

3.6. 仿真简易采样保持电路

1. 在库管理器 (Library Manager) 窗口中，找到 SARADC Library-> TB_sample_switch Cell-> maestro View，鼠标左键双击该 CellView，打开 ADE Explorer。
2. 修改 Design Variables 中的 `vdd`、`tClk`、`trf`、`ron`、`ampIn`、`fIn`、`vCm`、`cL` 的值为与图 74 中相同的值。

Design Variables		
ampln	0.5	
cL	1p	
fin	M/N/tClk	
ron	1k	
tClk	10u	
trf	1n	
vCm	vdd/2	
vdd	1.8	
N	256	
M	3	

图 74 Design Variables 设置

3. 勾选所有输出信号的 Plot 勾选框，如图 75 所示。

Name	Type	Details	Plot	Plot Target	Save	Spec
signal	/in		<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/>	
signal	/out		<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/>	
spectrum/_out	expr	db20dBtV("out") 3.5e-05 0.002595 256 "Rectangular"...	<input checked="" type="checkbox"/>		<input type="checkbox"/>	
spectrum_enob	expr	spectrumMeasurement("out") t 3.5e-05 0.002595 ...	<input checked="" type="checkbox"/>		<input type="checkbox"/>	
spectrum_sinad	expr	spectrumMeasurement("out") t 3.5e-05 0.002595 ...	<input checked="" type="checkbox"/>		<input type="checkbox"/>	
spectrum_snr	expr	spectrumMeasurement("out") t 3.5e-05 0.002595 ...	<input checked="" type="checkbox"/>		<input type="checkbox"/>	
spectrum_sfdr	expr	spectrumMeasurement("out") t 3.5e-05 0.002595 ...	<input checked="" type="checkbox"/>		<input type="checkbox"/>	
spectrum_thd	expr	spectrumMeasurement("out") t 3.5e-05 0.002595 ...	<input checked="" type="checkbox"/>		<input type="checkbox"/>	

图 75 ADE Explorer 输出设置

4. 鼠标左键单击图 44 绿框中的运行仿真按钮 .
5. 仿真完成后，仿真结果窗口将会弹出，包括如图 76 和图 77 所示的频谱和波形。ADE Explorer 的仿真结果区如图 78 所示。

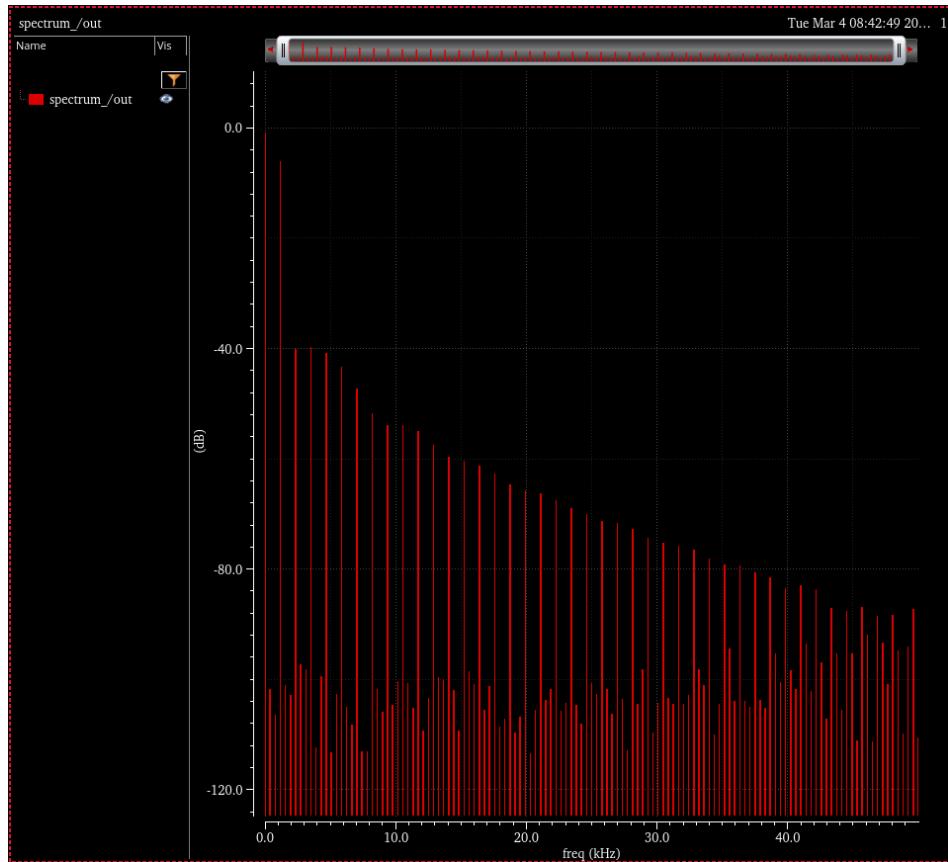


图 76 简易采样保持电路的输出频谱

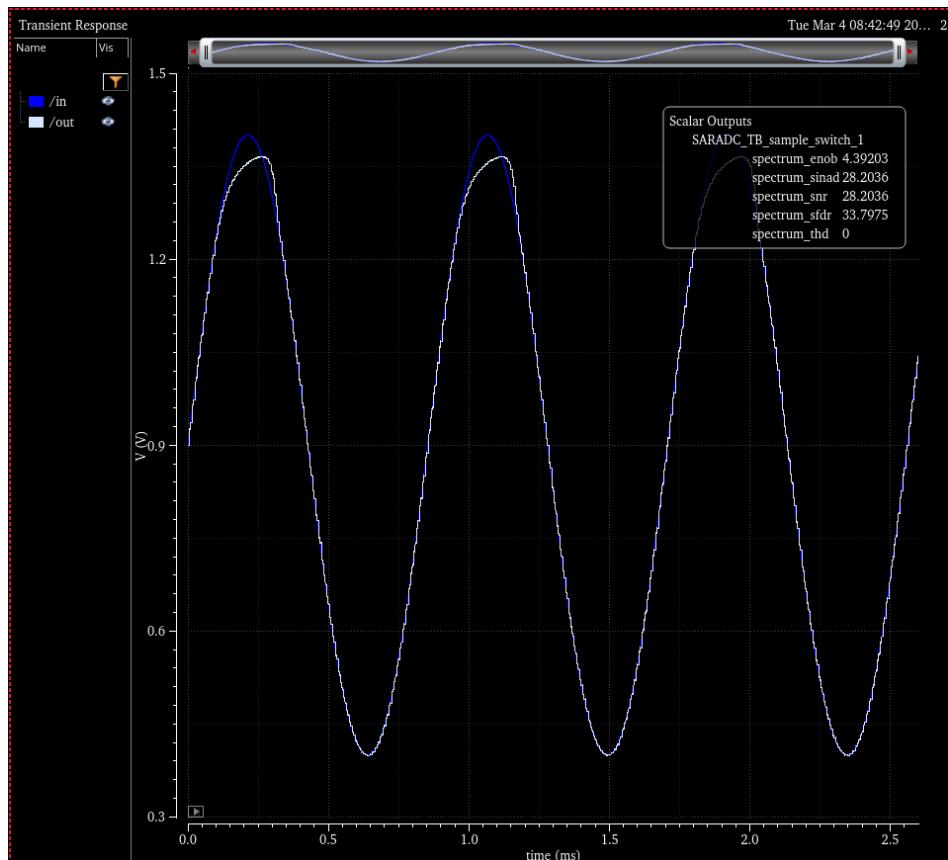


图 77 简易采样保持电路的输入输出波形

Outputs Setup		Run Preview						
Name	Type	Details	Value	Plot	Plot Target	Save	Spec	
signal	/in		✓	✓	✓	✓		
signal	/out		✓	✓	✓	✓		
spectrum_out	expr	db20(dft(Vt"/out") 3.5e-05 0.002595 256 "R..."	✓	✓	✓	✓		
spectrum_enob	expr	spectrumMeasurement(Vt"/out") t 3.5e-05 ...	4.392	✓	✓	✓		
spectrum_sinad	expr	spectrumMeasurement(Vt"/out") t 3.5e-05 ...	28.2	✓	✓	✓		
spectrum_snr	expr	spectrumMeasurement(Vt"/out") t 3.5e-05 ...	28.2	✓	✓	✓		
spectrum_sfdr	expr	spectrumMeasurement(Vt"/out") t 3.5e-05 ...	33.8	✓	✓	✓		
spectrum_thd	expr	spectrumMeasurement(Vt"/out") t 3.5e-05 ...	0	✓	✓	✓		

图 78 简易采样保持电路的仿真结果

6. 鼠标左键单击仿真结果窗口中右上角的 X 按钮，关闭波形图。
7. 鼠标左键单击图 44 黄框中的保存按钮 ，保存当前 ADE Explorer 的设置。

3.7. 使用 Result Browser 查看仿真波形

在上一小节中我们查看了 `out` 节点的波形。但是对于 **其他** 没有添加到 ADE Explorer 输出列表中的**节点**，例如 `clk`，`in`，我们可以通过 **Result Browser** 查看其波形。

甚至通过 Result Browser 的一些简易功能，我们可以查看刚才搭建的简易采样保持电路中 NMOS 的 V_{GS} ，从而进一步了解为什么简易采样保持电路具有如此糟糕的性能，以及如何改进。

1. 鼠标左键单击图 44 黄框中的菜单栏 `Tools -> Result Browser`，弹出如图 79 所示的 Result Browser 窗口。

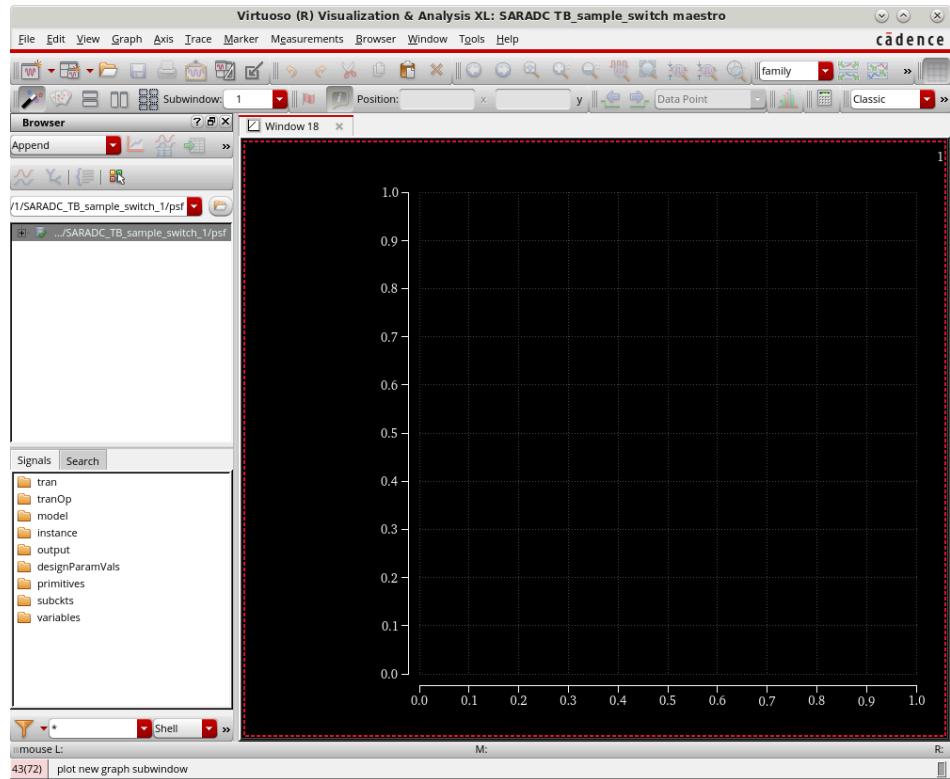


图 79 Result Browser 窗口

2. 展开图 79 中窗口左侧的 .SARADC_TB_sample_switch_1/psf 词条，鼠标左键单击其中的 tran 词条，如图 80 所示。可以查看电路中所有节点的瞬态波形。

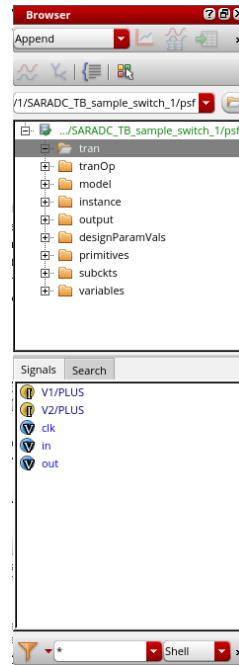


图 80 展开后的词条

3. 在图 80 中，鼠标左键单击 clk 节点，再双击图 80 上方的绘制波形按钮 ，右侧 result browser 的视图中出现如图 81 所示的波形图。

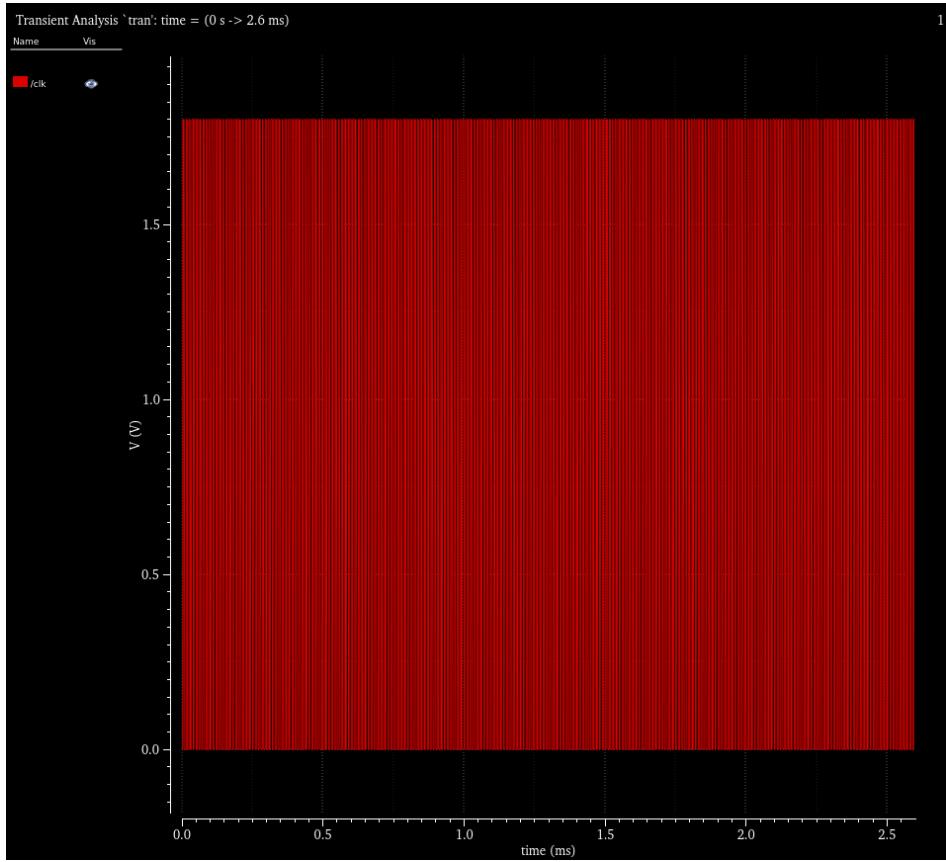


图 81 clk 节点的波形图

4. Result browser 还支持查看两个节点之间的差分电压，我们可以利用此功能查看 NMOS 的 V_{GS} 。根据图 72，不难发现 NMOS 的栅极为 clk 节点，而源极为 in 节点。因此，绘制 NMOS 的 V_{GS} 即可转换为绘制 clk 和 in 节点电压的差值。

在图 80 中，鼠标左键单击 clk 节点，长按键盘上的 `ctrl` 键，鼠标左键单击 in 节点，然后双击图 80 上方的绘制差分波形按钮 ，右侧 result browser 的视图中出现如图 82 所示的波形图。其中黄色的波形即为 NMOS 的 V_{GS} 。

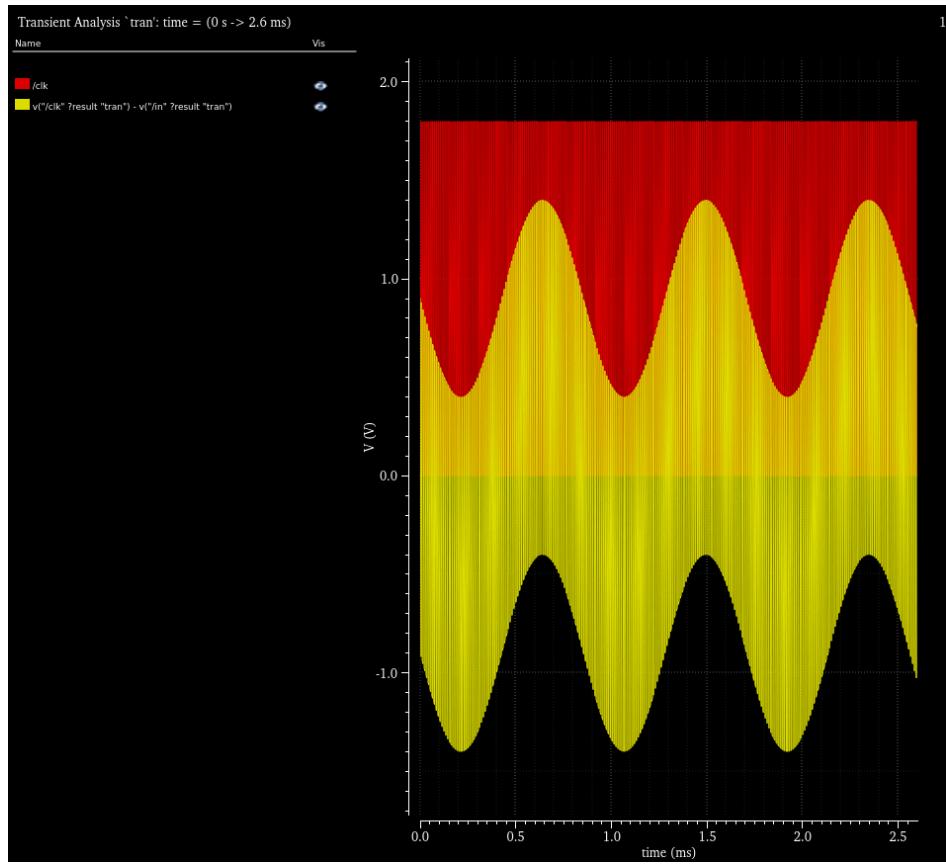


图 82 NMOS 的 V_{GS} 波形图

5. 鼠标左键单击 Result Browser 窗口右上角的 x 按钮，关闭 Result Browser 窗口。
6. 鼠标左键单击 ADE Explorer 界面右上角的 x 按钮，关闭 ADE Explorer。

课外拓展

根据图 82，结合 MOSFET 的 $I-V$ 特性解释为什么简易采样保持电路会产生极大的非线性。

3.8. 搭建栅压自举采样保持电路

1. 在库管理器 (Library Manager) 窗口中，找到 SARADC Library-> sample_switch Cell-> Schematic View，鼠标左键双击该 CellView，打开电路原理图。
2. 删除电路中当前的连线以及 vdd 节点上的 noConn，并重新排列端口和器件，如图 83 所示。

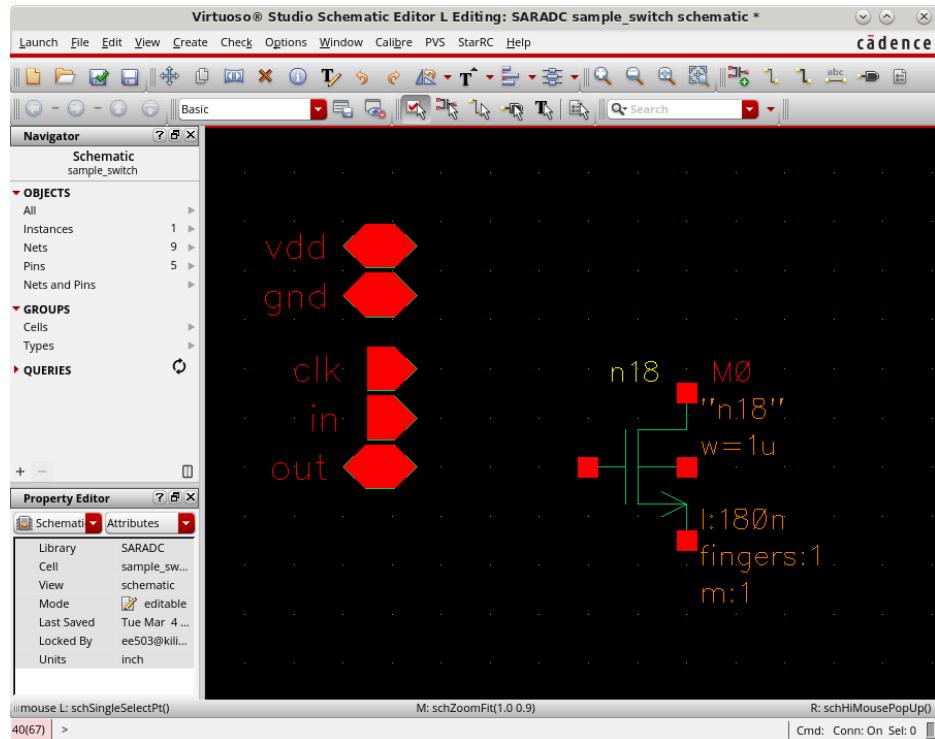


图 83 棚压自举采样保持电路

3. 在 Schematic 视图中，按键盘上的 **i** 键，打开 Add Instance 对话框。在弹出的如图 10 所示的对话框中，点击 Browse 按钮。在弹出的 Library Browser 对话框中，展开 Library 列中的 SMIC_LIB 并选择其中的 smic18mmrf，Cell 列中的 p18，View 列中的 symbol。点击键盘上的 Enter 键。
4. 点击 Schematic 视图中的空白处，将 PMOS 实例化。如图 84 所示。然后按键盘上的 **esc** 键关闭对话框。

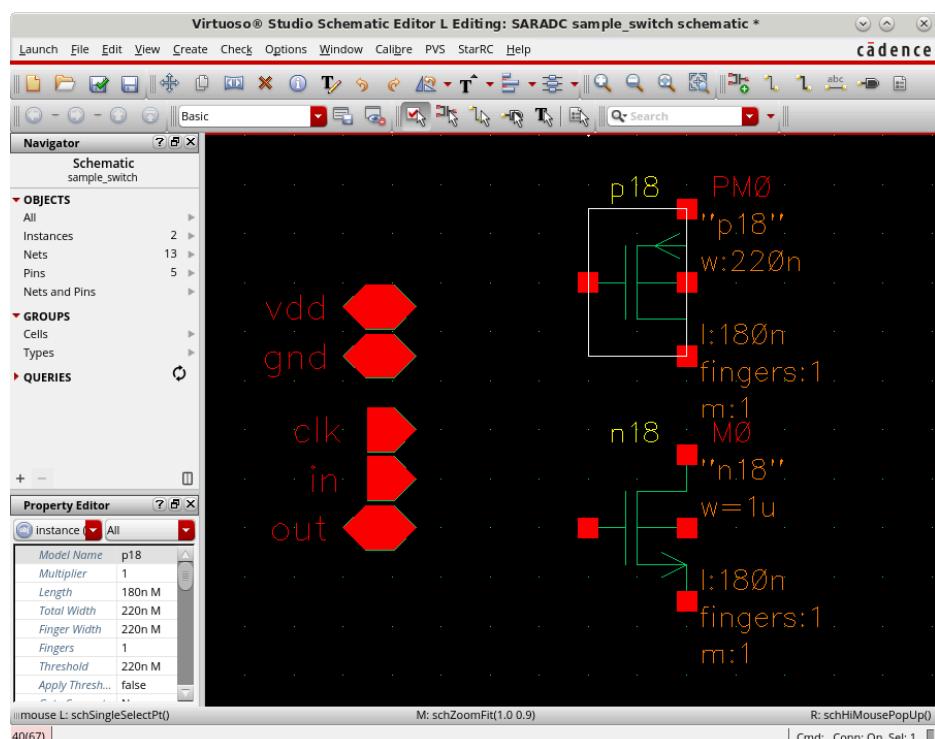


图 84 PMOS 实例化

5. 在 Schematic 视图中，鼠标左键单击 p18，按键盘上的 q 键，打开 Edit Properties 对话框。在 Finger Width 属性栏输入 1u，如图 85 所示。点击 OK 按钮。

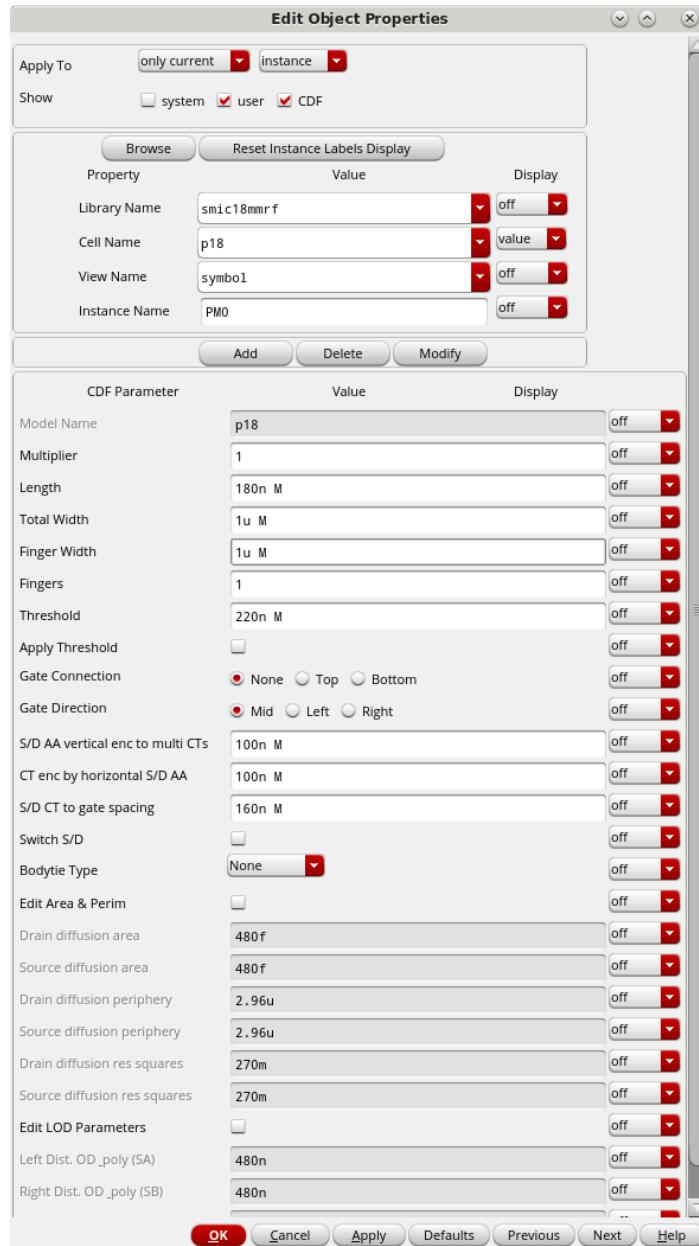


图 85 p18 的 Edit Properties 对话框

6. 在 Schematic 视图中，鼠标左键单击或长按鼠标左键拖动并框选 n18，按键盘上的 c 键，进入复制模式，此时注意到 Schematic 视图中已经出现了一个随鼠标拖动的黄色 n18 轮廓。鼠标左键单击 Schermatic 视图中的空白处，将 n18 复制一份。如图 86 所示。
此时 Schematic 视图中已经有两个 n18，之后将按其右上角的红色器件代号(如 NM0)进行指代。

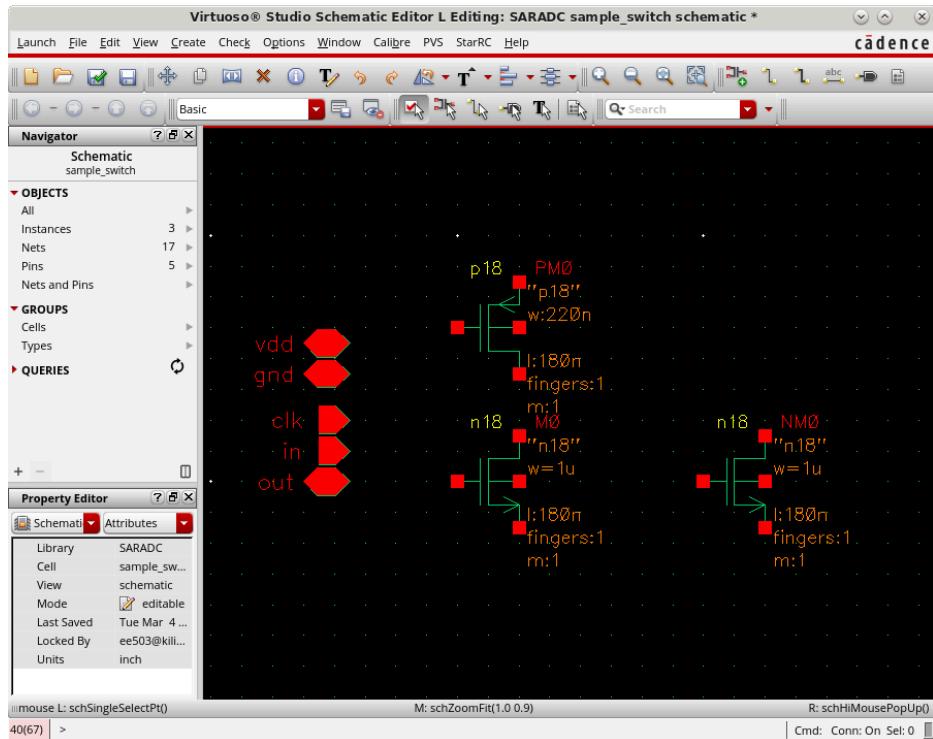


图 86 复制 n18

7. 在 Schematic 视图中，鼠标左键单击或长按鼠标左键拖动并框选 NM0，按键盘上的 **r** 键，进入旋转模式，此时注意到光标右下角出现了一个旋转箭头。

鼠标左键单击 Schematic 视图中的空白处，将 NM0 逆时针旋转 90°。如图 87 所示。

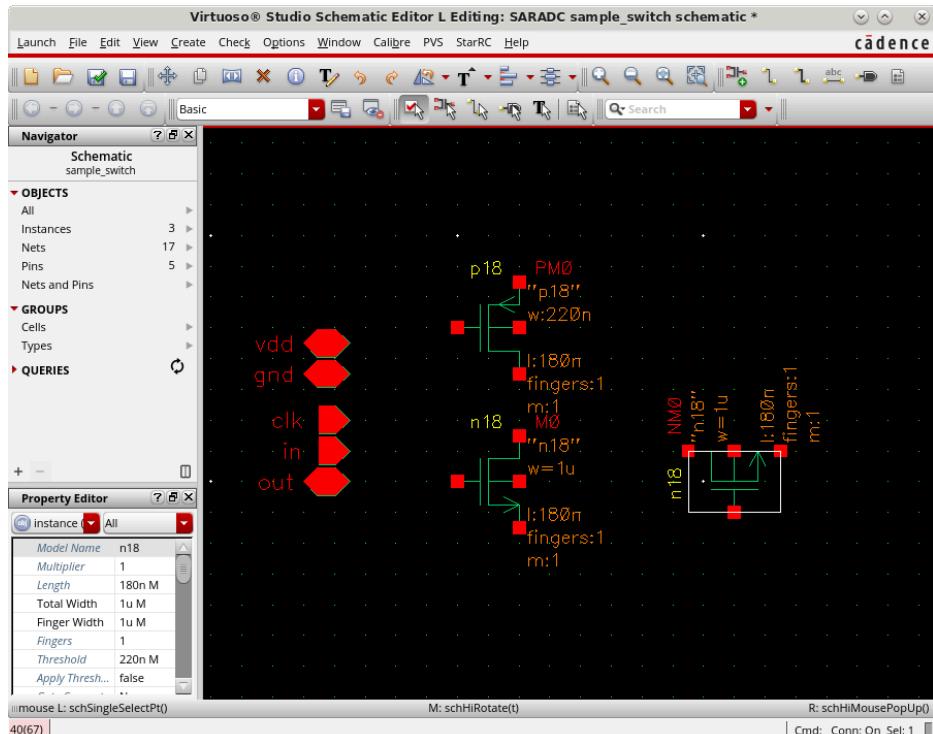


图 87 旋转 n18

8. 在 Schematic 视图中，按键盘上的 **i** 键，打开 Add Instance 对话框。

在弹出的如图 10 所示的对话框中，点击 Browse 按钮。

在弹出的 Library Browser 对话框中，展开 Library 列中的 SMIC_LIB 并选择其中的 smic18mmrf，Cell 列中的 mim2_ckt，View 列中的 symbol。点击键盘上的 Enter 键。

9. 点击 Schematic 视图中的空白处，将 MIM 电容实例化。如图 88 所示。然后按键盘上的 `esc` 键关闭对话框。

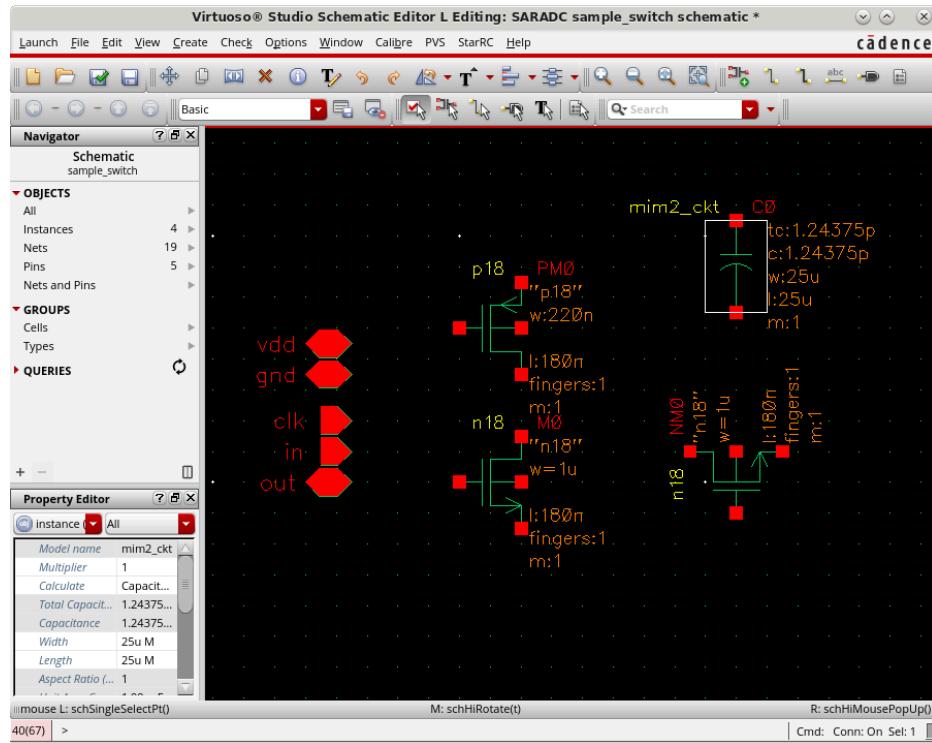


图 88 MIM 电容实例化

10. 在 Schematic 视图中，按键盘上的 `i` 键，打开 Add Instance 对话框。
在弹出的如图 10 所示的对话框中，点击 Browse 按钮。
在弹出的 Library Browser 对话框中，展开 Library 列中的 `SMIC_LIB` 并选择其中的 `scc018ug_uhd_rvt_oa`，Cell 列中的 `INUHDV1`，View 列中的 `symbol`。点击键盘上的 Enter 键。
11. 点击 Schematic 视图中的空白处，将 $1 \times$ 反相器实例化。同理，再添加 $4 \times$ 反相器 `INUHDV4`，如图 89 所示。然后按键盘上的 `esc` 键关闭对话框。

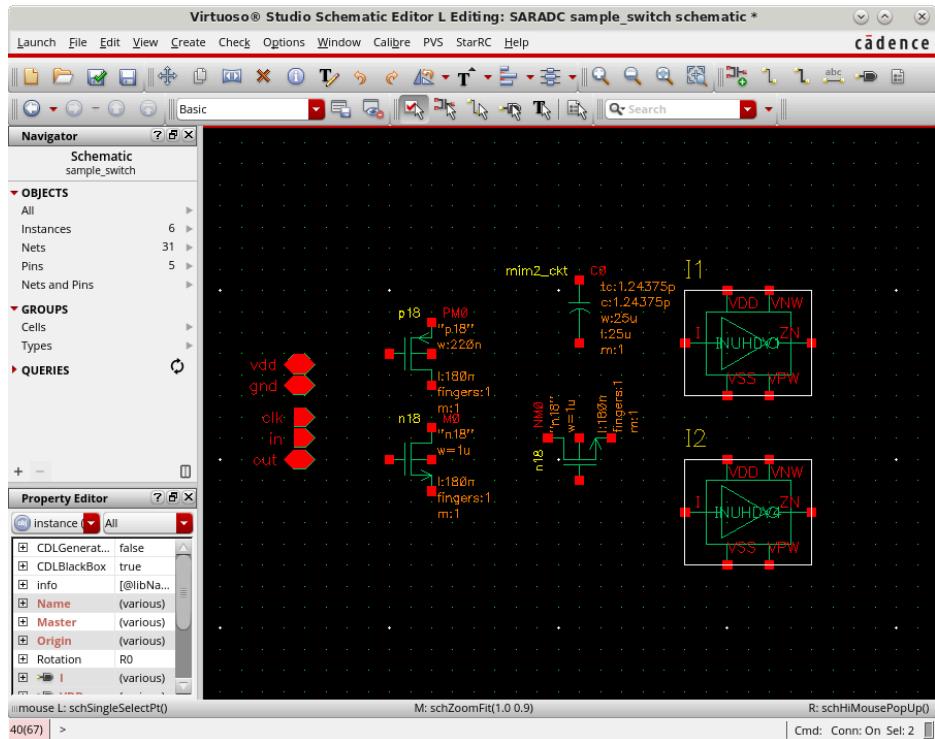


图 89 反相器实例化

12. 综合使用添加器件，复制，移动，旋转，连线和 label 功能，完成棚压自举采样保持电路的搭建。如图 90 所示。

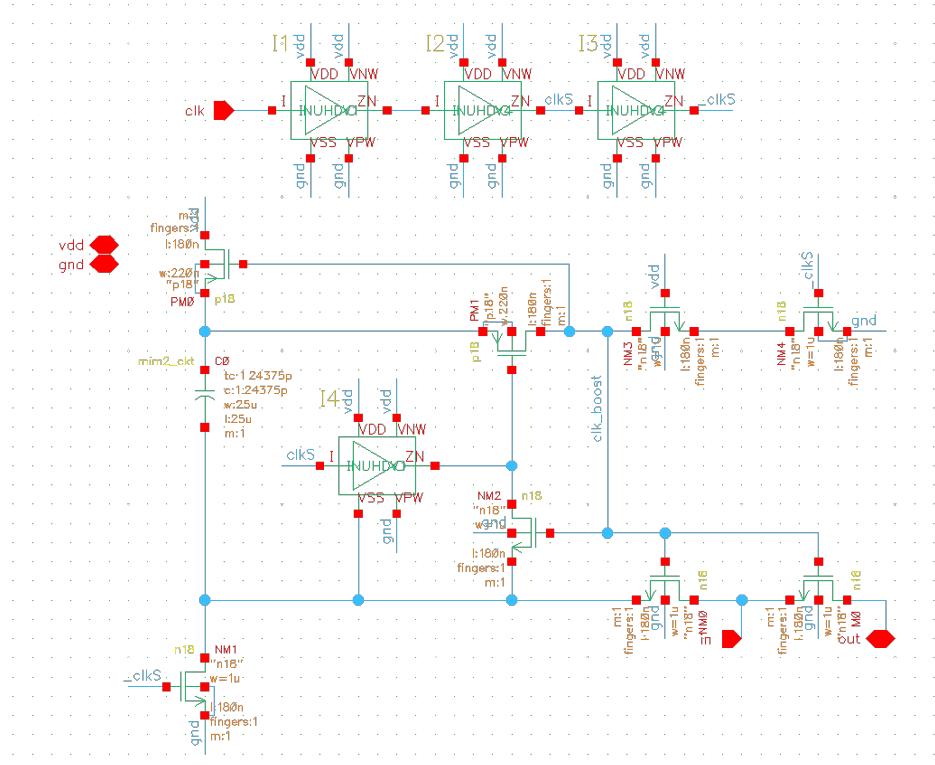


图 90 棚压自举采样保持电路

13. 点击 Check & Save 按钮 ，保存电路图。
 14. 按键盘上的 **ctrl + s** 键，在弹出的对话框中，将 View 属性栏中的 **schematic** 改为 **schematic_2**，保存电路图备份。点击 **OK** 按钮。

15. 点击 Schematic 视图右上角的 X 按钮，关闭 Schematic 视图。

3.9. 仿真栅压自举采样保持电路

1. 在库管理器 (Library Manager) 窗口中，找到 SARADC Library-> TB_sample_switch Cell-> maestro View，鼠标左键双击该 CellView，打开 ADE Explorer。
2. 鼠标左键单击图 44 绿框中的运行仿真按钮 ▶。
3. 仿真完成后，仿真结果窗口将会弹出，包括如图 91 和图 92 所示的频谱和波形。ADE Explorer 的仿真结果区如图 93 所示。

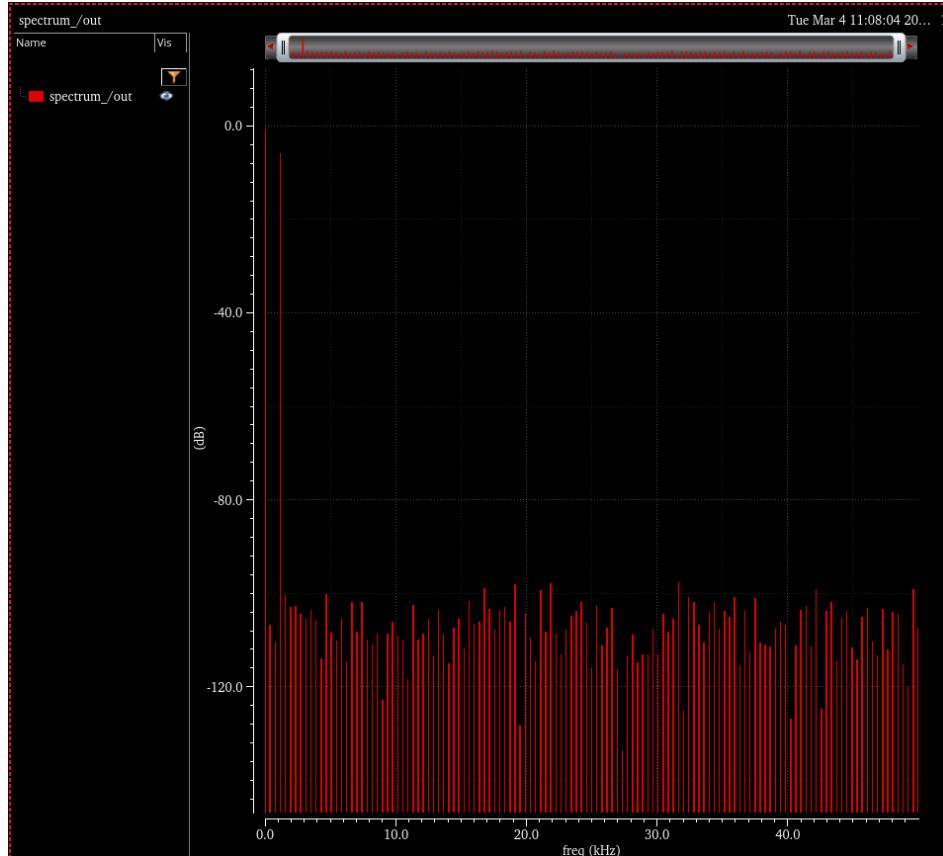


图 91 栅压自举采样保持电路的输出频谱

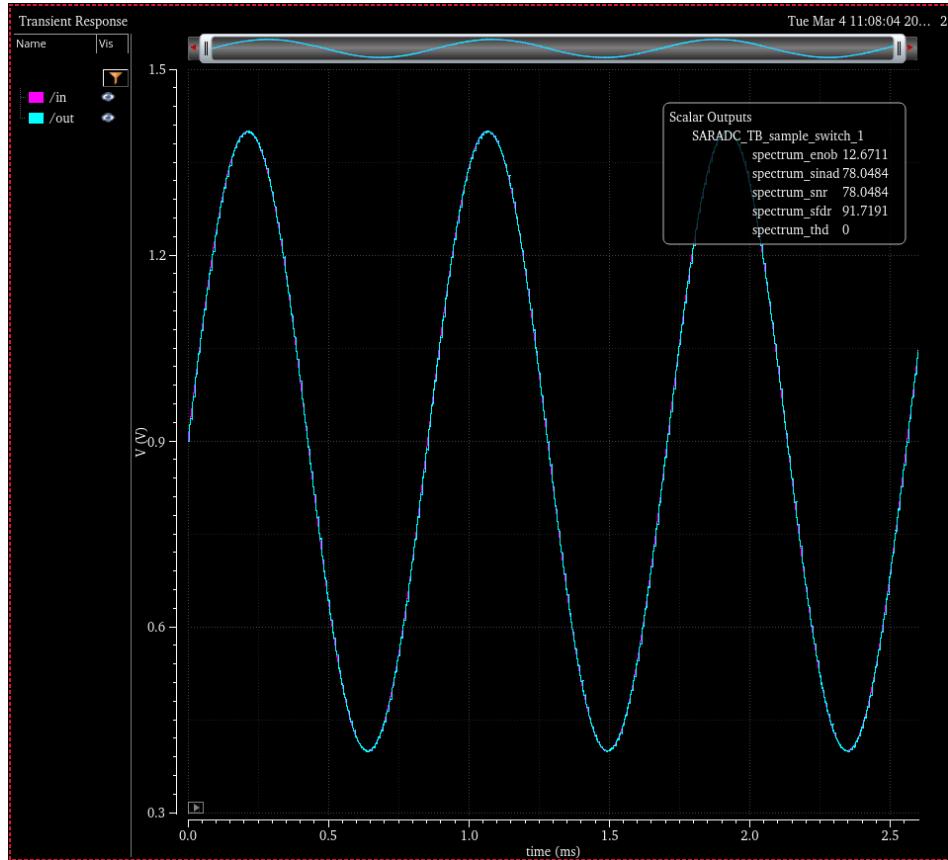


图 92 棚压自举采样保持电路的输入输出波形

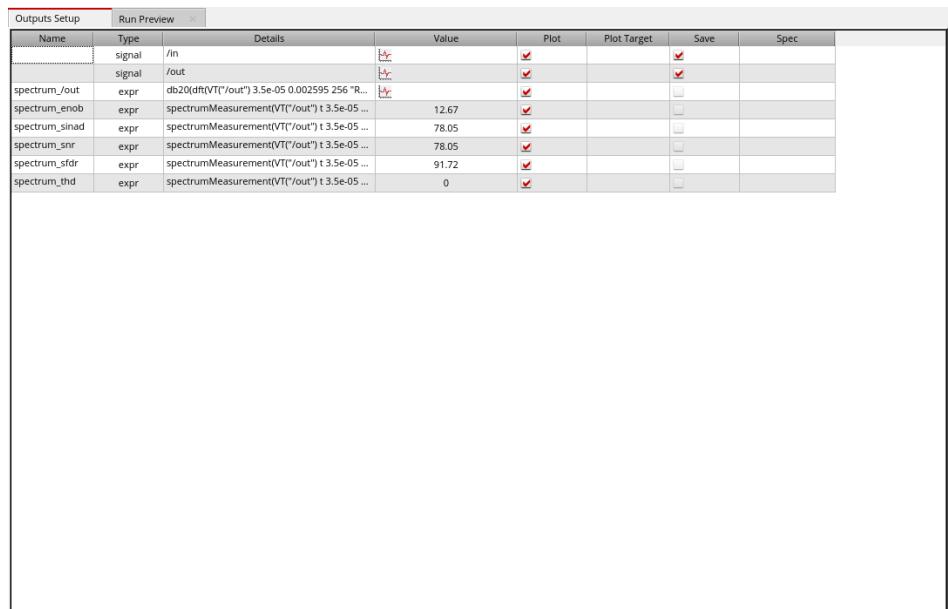


图 93 棚压自举采样保持电路的仿真结果

3.10. 使用 Calculator 查看仿真波形

与小节 3.7 不同，这一次根据图 90，可以发现 NMOS 的栅极为 `IO` 的内部节点 `IO/clk_boost`，而源极仍为 `in` 节点。因为两节点在不同的电路层次中，所以无法使用 `result browser` 中的绘制差分波形 功能。但这也引出了更加强大的 `Calculator` 功能。本小节将介绍 `Calculator` 的一些基本使用方法。

1. 鼠标左键单击图 44 黄框中的菜单栏 `Tools -> Result Browser`，弹出如图 79 所示的 `Result Browser` 窗口。

2. 展开图 79 中窗口左侧的 `.SARADC_TB_sample_switch_1/psf` 词条，并依次展开其中的 `tran`，`IO` 词条，如图 94 所示。可以查看电路中所有节点的瞬态波形。

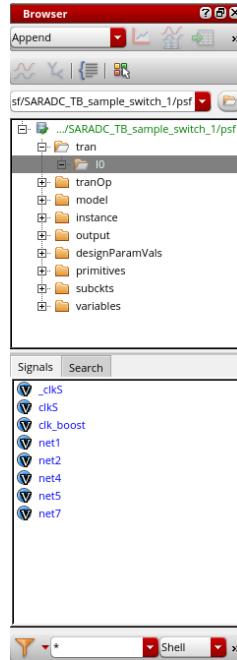


图 94 展开后的词条

3. 鼠标右键单击 `clk_boost` 节点，在右键菜单中选择 `Calculator`，如图 95 所示。

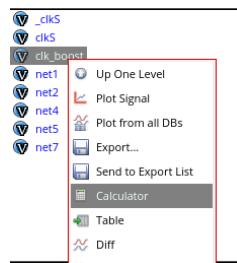


图 95 将 IO/clk_boost 添加到 Calculator

4. 弹出如图 96 的 Calculator 窗口。在中间的表达式区，可以看到 `IO/clk_boost` 已经添加到 Calculator 中。

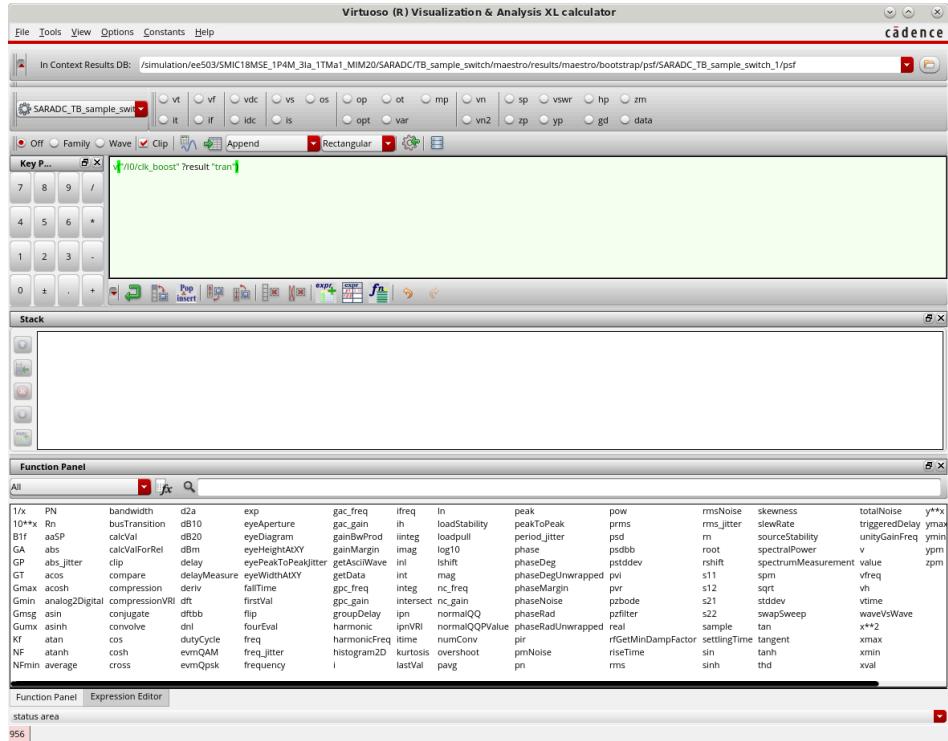


图 96 Calculator 窗口

5. 修改表达式区中的表达式，将

`v("/I0/clk_boost" ?result "tran")` 改为

`v("/I0/clk_boost" ?result "tran") - v("/in" ?result "tran")`。

6. 点击图 96 上方工具栏中的 Send to ADE 按钮 ，可将该表达式添加到 ADE Explorer 的输出列表中。

7. 点击图 96 上方工具栏中的 Evaluate 按钮 ，弹出如图 97 所示的 NMOS V_{GS} 波形图。

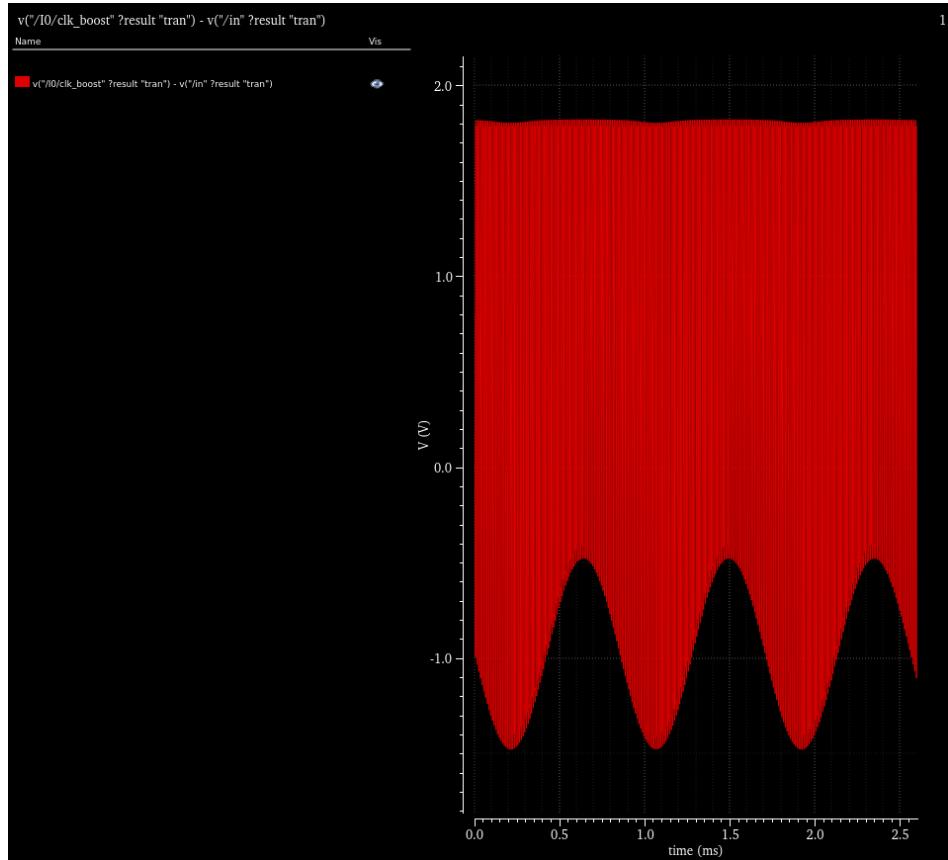


图 97 NMOS 的 V_{GS} 波形图

课外拓展

对比图 82 和图 97, 结合 MOSFET 的 $I-V$ 特性解释栅压自举电路是如何降低简易采样保持电路带来的非线性的。

附录

A. 使用 VerilogA 搭建理想采样开关

VerilogA 和鼎鼎大名的 Verilog 类似，都属于**硬件描述语言** (Hardware Description Language)。

在语言风格上两者有不少相似之处，但也仅限于此。两者编译器不互通，且语法无法一一对应。更重要的是，Verilog 是“**可综合的**”，这意味着其可以转化成实际的电路图。而 VerilogA 只能用于给器件建模。

这是由于 VerilogA 被设计用于描述模拟电路，而 Verilog 仅用于数字。也有人在两者基础上建立了一个**通用**的语言，即**Verilog-AMS**，但由于两者的应用场景不同，且受限于仿真性能，Verilog-AMS 并没有被广泛使用。

Cadence Virtuoso 支持以上**全部**三种语言进行器件建模。但其中 Verilog 和 Verilog-AMS 在仿真时都依赖一种叫做**AMS** 的专用仿真器，其仿真运行过程中需要不断将数字逻辑转化为各种电气特性，这**拖累了**仿真速度。相比之下，VerilogA 则是一种“原生”的模拟语言，可以直接使用**SPICE** 仿真器进行仿真，速度更快。

尽管如此，由于模拟工程师在数量上远远不如数字工程师，VerilogA 的使用范围相对较窄，社区也相对萎缩。以至于在简体中文互联网上很难找到关于 VerilogA 的系统性的教程⁵。

也正是由于 VerilogA 的冷门，使得我决定将这个教程放在最后的附录中。

了解这些后，我们将在本次教程中，使用 VerilogA 代码来实现一个采样开关。

1. 在库管理器 (Library Manager) 界面中，点击菜单栏的 File -> New -> Cell View，创建一个新的单元 (CellView)。
2. 在弹出的如图 98 所示的对话框中，将 Cell 命名为 sample_switch，选择 VerilogA 类型。点击 OK 按钮。

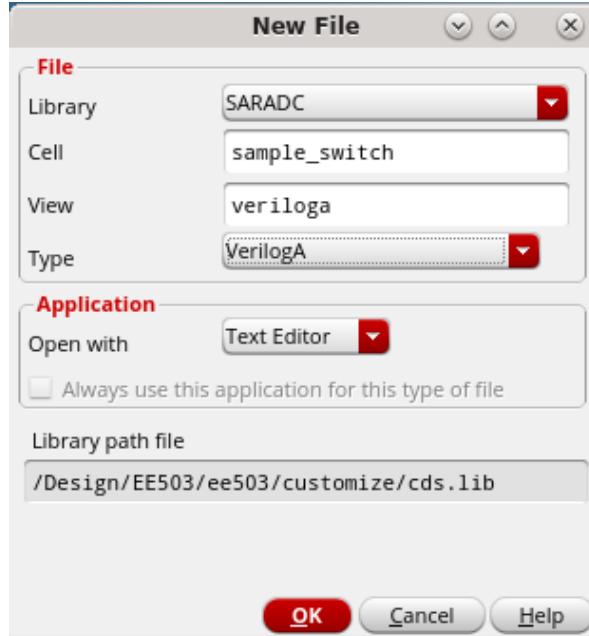


图 98 创建新的 VerilogA 电路视图

3. 在新创建的 Verilog-A 文本编辑器视图中，输入以下代码：

```
1 // VerilogA for SARADC, sample_switch, veriloga
2 `include "constants.vams"
```

⁵有条件的同学建议参考 <https://verilogams.com>

```

3 `include "disciplines.vams"
4
5 module sample_switch(clk, in, out, vdd, gnd);
6   input clk, in;
7   inout out, vdd, gnd;
8   electrical clk, in, out, vdd, gnd;
9   parameter real ron = 25; // on resistance
10  parameter real vtrans = 1.65;
11  real iout;
12  genvar i;
13
14 analog begin
15   @(initial_step) begin
16     iout=0;
17   end
18   @(cross(V(clk)-vtrans,-1)) begin // Hold
19     iout=0;
20   end
21   if (V(clk)>vtrans) begin // Track
22     iout=V(out,in)/ron;
23   end
24   I(out) <+ iout;
25   I(in) <+ -iout;
26 end
27 endmodule

```

4. 点击 Toolbar 中的 Check & Save 按钮 保存代码。
5. 在弹出的如图 99 所示的对话框中。点击 OK 按钮定制 Symbol，即采样开关在原理图中调用时的外观。



图 99 保存 VerilogA 代码后弹出的对话框

6. 如果你已经在小节 3.2 中创建了 Symbol，那么这里将会弹出一个如图 100 所示的对话框，询问是否覆盖之前创建的 Symbol，这里点击 Cancel 按钮，并直接点击右上角的 x 按钮关闭 Schematic 视图。反之则进入下一步骤。

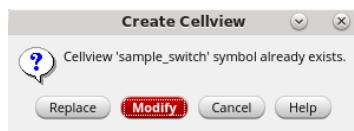


图 100 保存 Schematic 代码后弹出的对话框

7. 在弹出的对话框中，修改 Pin Specifications 中的端口位置使之如图 101 所示(也可以保持默认，但下一步的外观会有所不同，功能上没有影响)。点击 OK 按钮。

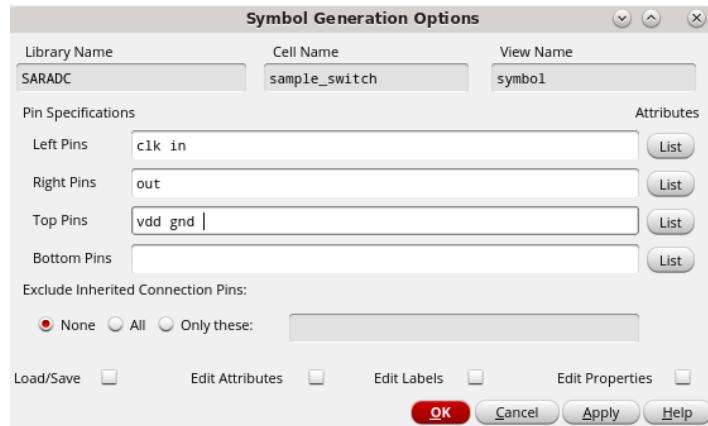


图 101 Symbol 生成设置

8. 如图 102 所示，新的 Symbol 视图将会弹出。点击 Check & Save 按钮 保存 Symbol。然后点击右上角的 x 按钮关闭 Symbol 视图和 VerilogA 编辑器。

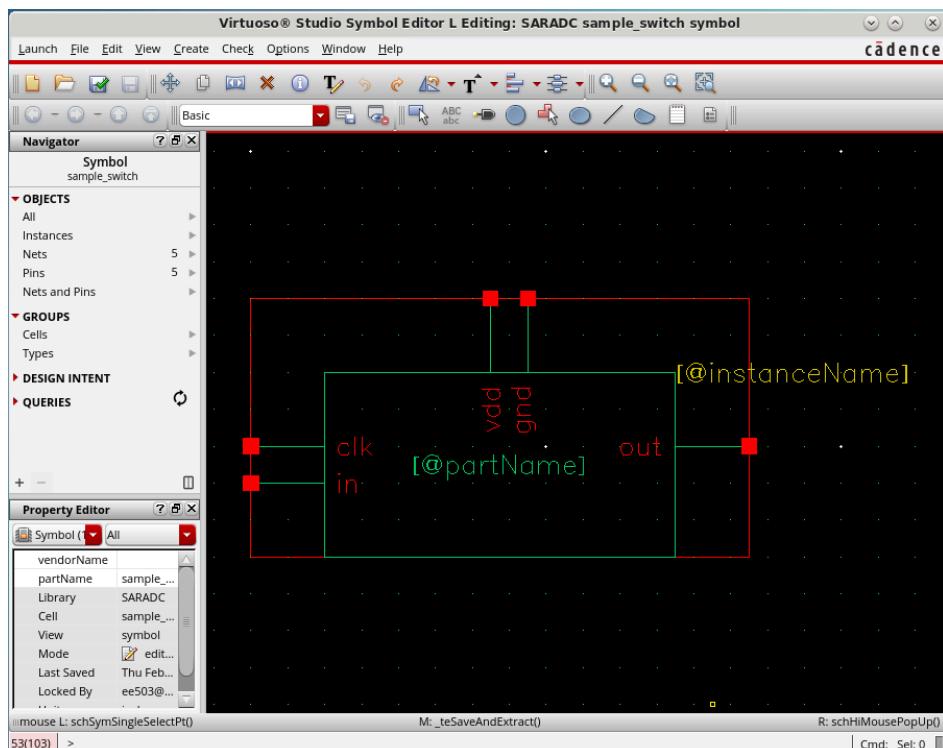


图 102 Symbol 视图

B. 加快仿真进度的方法

随着电路**复杂度**的增加，仿真时间也会相应增加。为了**加快**仿真进度，可以尝试以下方法，推荐程度不分先后：

- 最直觉的方法就是用**精度**换速度。可以在图 48 中 Analysis 栏下的 Accuracy Defaults (errppreset) 属性栏选择 moderate 甚至 liberal，这样仿真会更快完成。但会牺牲一定的仿真精度。
- 相对更稳妥的方法是改进仿真的**算法**。
 - 鼠标左键单击在图 44 中黄框部分的 Setup -> High-Performance Simulation，弹出如图 103 所示的对话框。

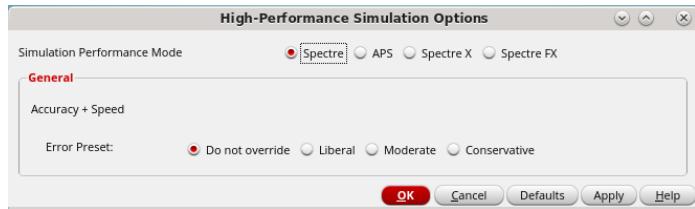


图 103 高性能仿真设置

2. 在 Simulation Performance Mode 属性栏选择 Spectre X，在 Preset 属性栏选择 CX，如图 104 所示。点击 OK 按钮即可。

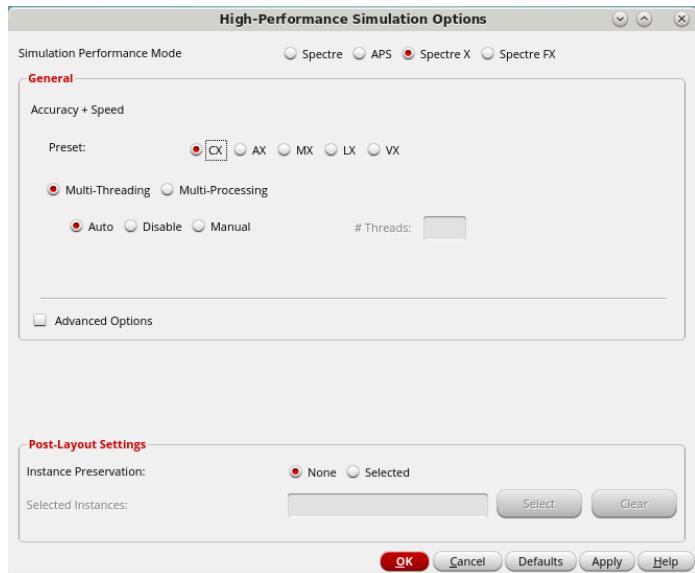


图 104 Spectre X 设置

3. 如果 Simulation Performance Mode 属性栏中没有 Spectre X 选项，可以转而使用 APS。在 Simulation Performance Mode 属性栏选择 APS，其余选项保持默认，如图 105 所示。点击 OK 按钮即可。

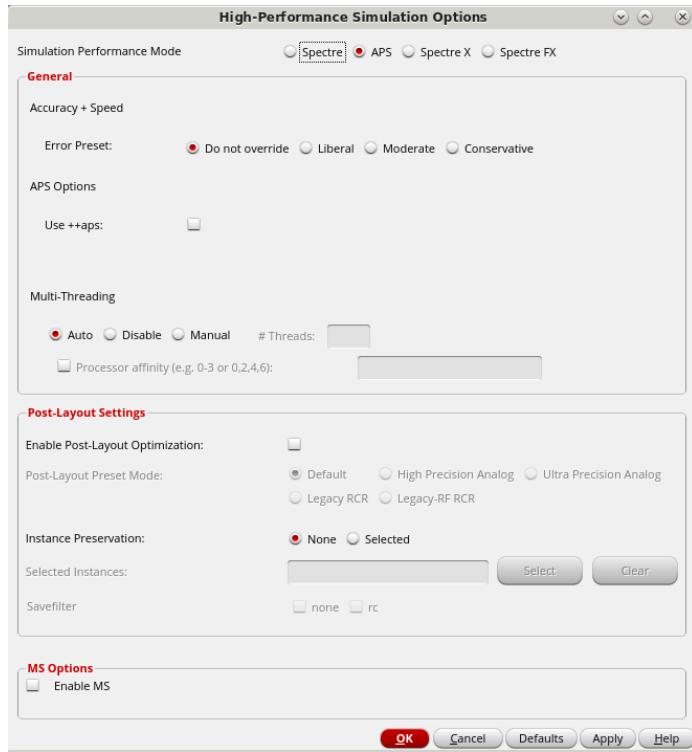


图 105 APS 设置

- 在 transient analysis 设置中勾选 Transient Noise 会对电路中的**噪声**进行仿真，这会**极大减慢**仿真进度。如果仅对电路进行**功能性验证**或**非线性**仿真，可以不勾选 Transient Noise。
- 使用**参数扫描**时，每个参数值都会进行一次仿真，因此参数值越多，仿真时间越长。如果同时开启**多个任务**，进行多个参数值的仿真，就能减少仿真排队时间。在图 44 中黄框部分的 Setup -> Job Setup，弹出如图 106 所示的对话框。在 Max. Jobs 属性栏输入你希望同时进行的仿真数，建议该值选取不要超过 5，以免给服务器造成太大压力。其余选项保持默认。点击 OK 按钮即可。

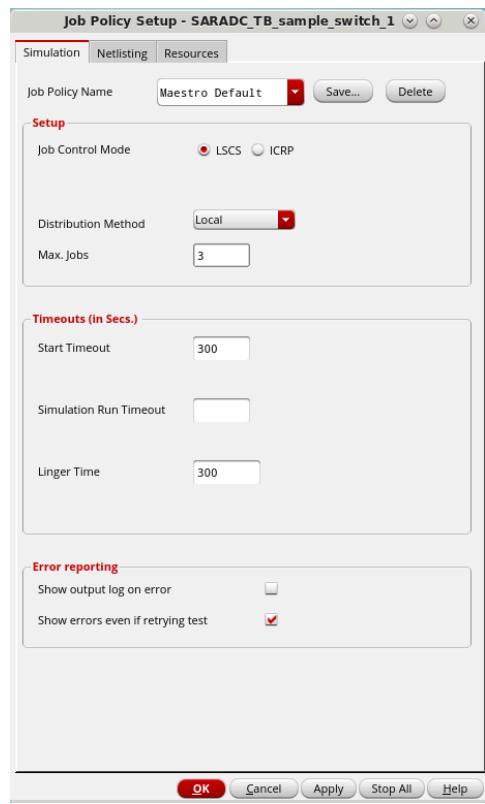


图 106 多任务设置