

本次 IC2 的题目为“AI 加速芯片雏形”。如果自拟题目，请报告并评估。

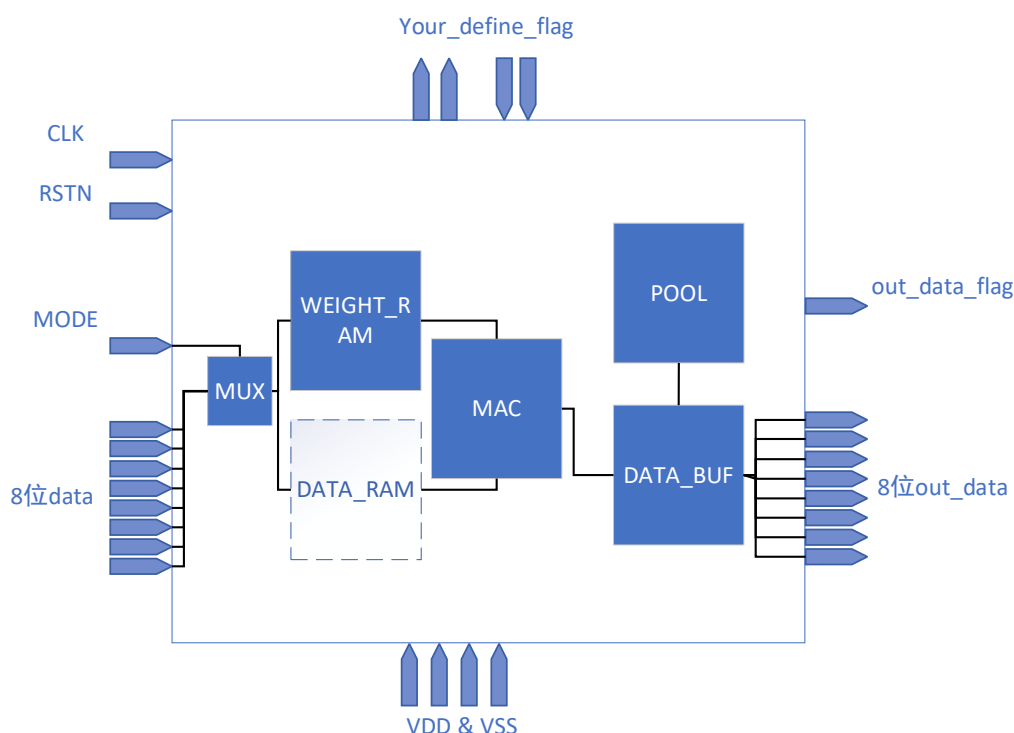
1. 选题依据

考虑到时代的发展，课程也要紧跟与潮流，因此不同于以往的完成 AES 加解密芯片和上一次的除法器，本次希望大家完成 AI 加速芯片雏形的实现。

AI 加速芯片雏形的构造思路，有利于大家理解算法并完成算法的实现。

2. 整体结构与要求

整体结构如下：



3. 设计基本要求：

- ① 输入数据为 11×11 的矩阵，数据位宽为 8bit，一共有一百个 11×11 的矩阵；
- ② 第一层为卷积层，需要加一圈 Padding，卷积核大小为 3×3 ，步长为 2，共有 3 个卷积核；
- ③ 第二层为池化层，池化核大小为 2×2 ，步长为 2，采用最大池化；
- ④ 第三层为全连接层，卷积核大小为 $3 \times 3 \times 3$ ，步长为 1；
- ⑤ 输出数据为 1×1 的矩阵，位宽依旧为 8bit；
- ⑥ 量化规则：data:8bit * weight:8bit, out_data:16bit，在保证符号正确的情况下拓展到 20 位来表示（如 16' b1000_0000_0000_0001 拓展到 20 位:20' b1111_1000_0000_0000_0001），9 个 20bit 相加后依旧为 20 位，然后将低 8 位抹除，剩余的 12 位若超过 int8 的表示范围，则压缩到 int8 表示范围（如 12' b0010_1111_1111-
->8' b0111_1111, 12' b1001_0111_0000->8' b1000_0000），全连接的量化拓展到 21 位，然后与前面所描述的一样，压缩 int8；
- ⑦ 数据和权重：2 进制补码有符号 8bit 数；

- ⑧ 权重矩阵：可以分成两个，两个均是 $3 \times 3 \times 3 \times 8\text{bit}$ 大小；
- ⑨ 数据和权重通过数据端口输入，由 mode 控制信号控制；

4. 芯片实现要求：

- ① 引脚要求：芯片顶层一共有 28 pin，其中 4 个 pin 用于 VSS 和 VDD，分别给芯片内核和 PAD 供电，时钟和复位信号分别使用一个 pin，8 个 pin 用于数据输入，8 个 pin 为数据输出，6 个 pin 用于控制信号。
- ② 面积要求：网表：最大的情况（不带 io）： 240000um^2 版图：($900\text{um} * 900\text{um}$)（暂定）
- ③ 时序要求：系统时钟在 50Mhz 频率下运行，即时钟 10ns 翻转一次。
- ④ 其他要求：尽可能对时序优化，提高性能。
- ⑤ 数据要求：会提供两个 txt 文档存放 data 和 weight，数据输入都从 txt 里读出。

5. 设计考核标准：

针对面积，时序，功耗综合评判，其中时序部分包括系统最高频率（critical path），完成一个 11×11 所需时长，完成 100 个 11×11 所需时长。面积越小，critical path 越短，功耗越低，完成一个和一百个的时长越短，评分越高。

希望大家都能够独立走完全部流程，并完成自己的流片，也更希望大家能够真正学到些什么。