

电子科技大学示范性微电子学院

物理验证报告

(2024.11 - 2025.01)

课程名称 IC 综合实验 2

实验名称 IC 综合实验 2

指导老师 王忆文

学生姓名 李卓霖，况明远，邓锦琪，徐子涵

学生学号 2022340101012、2022340104032、
2022020915006、2022340104032

组 号 11

电子科技大学 实验报告

实验地点：清水河校区国际创新中心 B523

实验时间：2024.11-2025.01

报告目录

一、实验室名称：清水河校区国际菁蓉创新中心 B523

二、实验项目名称：IC 综合实验 2

三、实验学时：100

四、实验原理：请附页

五、实验目的：请附页

六、实验内容：请附页

七、实验器材（设备、元器件）：请附页

八、实验步骤：请附页

九、实验数据及结果分析：请附页

十、实验结论：请附页

十一、总结及心得体会：请附页

十二、对本实验过程及方法、手段的改进建议：请附页

实验报告成绩：_____

附页：

四、实验原理：

4.1. 物理验证的分类

对于物理验证，大致上可以分成以下的三种类型：

1、设计规则检查（DRC，Design Rule Check）：

检查版图各掩膜层的几何参数是否符合代工厂给出的设计规则；

检查错误类型：几何尺寸与设计规则不符；

2、电气规则检查（ERC，Electronic Rule Check）：

检查版图中是否存在没有电路意义的连接错误，但不涉及电路的行为检查；

检查错误类型：元器件的开路或短路，浮空节点，无意义分支，无用器件等；

3、版图-原理图一致性检查（LVS，Layout Versus Schematic，也叫原理图验证 SV，Schematic Verification）：

从版图提取出网表结构，以确认其是否与原始网表结构一致

检查错误类型：元器件数目不一致（如版图有、原理图没有），元器件类型不一致，节点数不一致

4.2. DRC

1) 设计规则

设计规则是版图设计必须遵守的几何规则（最小特征尺寸），由半导体代工厂提供，体现了制造工艺的物理限制。

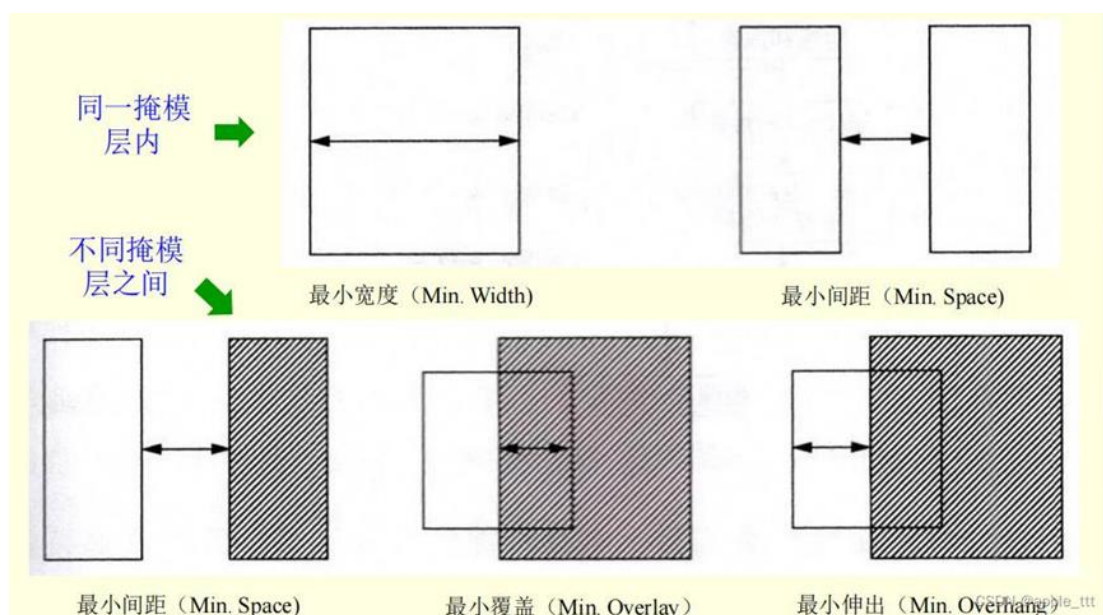


图 1 设计规则

2) 规则示例

最小线宽：规定了版图中导线的最小宽度，以确保导线在制造过程中不会断裂或出现其他缺陷。

最小间距：规定了版图中不同导线或元件之间的最小间距，以防止短路或寄生效应。

最小交叠：规定了不同层之间（如多晶硅层和有源区层）的最小交叠区域，以确保良好的电气连接。

最小接触面积：规定了接触孔的最小面积，以确保接触孔在制造过程中不会闭合或出现其他缺陷。

最小通孔尺寸：规定了通孔的最小尺寸，以确保通孔在制造过程中不会堵塞或出现其他缺陷。

3) 线宽违例

比如说：设计规则规定最小线宽为 0.18 微米，但版图中某段导线的宽度为 0.15 微米，这就是线宽违例。

4) 间距违例

举例，设计规则规定最小间距为 0.2 微米，但版图中两段导线之间的间距为 0.15 微米，这就是间距违例。

5) 交叠违例

交叠违例是指版图中不同层之间的交叠区域小于设计规则规定的最小交叠区域。

4.3. 金属覆盖图形密度检查

化学机械抛光 (CMP) 与片内均匀性要求每一层互连金属在单位区域内必须达到一定的覆盖密度, 一般为 50%~80%。如达不到, 可采用两种办法改变密度:

(1) 在空白区域填充金属, 以增加密度; (2) 将较宽的导线 (如电源线和地线) 切割分布, 以减少密度。有挖空 (slotting) 或分割 (splitting) 两种方法, 后者的电流分布均匀性更好, 两种方法还有利于改善导线的散热。

4.4. 天线比率检查

工艺天线效应 (Process Antenna Effect, PAE): 集成电路制造采用的等离子刻蚀、溅射或化学机械抛光 (CMP) 等工艺会在金属互连层中引入并积累静电荷。连接到多晶硅栅的互连线多道金属化工艺中有可能悬空不接地, 从而构成天线结构。电荷经此结构传导到 MOSFET 栅极, 会导致栅介质击穿并造成永久性失效。

通常用天线比率 (antenna ratio) 来表征工艺天线效应的强弱, 定义为受工艺影响的金属面积与所连接的多晶硅栅面积之比。通常要求天线比率不得大于某值 (如 100 或 1000), 在 LEF 文件中规定, 作为 DRC 规则之一。

4.5. LVS 检查

LVS(Layout Versus Schematics) 是物理验证中非常重要的一个步骤。它是用来检查设计的 Layout 是否和 Netlist 是否一致。其本质就是对比两个 Netlist 是否一致。工具将 design 的 layout 抽取出其对应的 spice netlist, 然后和 source 的 netlist 进行比对。因此, 对于同一个 GDS, 做 LVS 时只需要第一次抽取一次 netlist 即可 (无需每次都通过 GDS 抽取 netlist)。物理验证 LVS 的流程图如下图 2 所示。

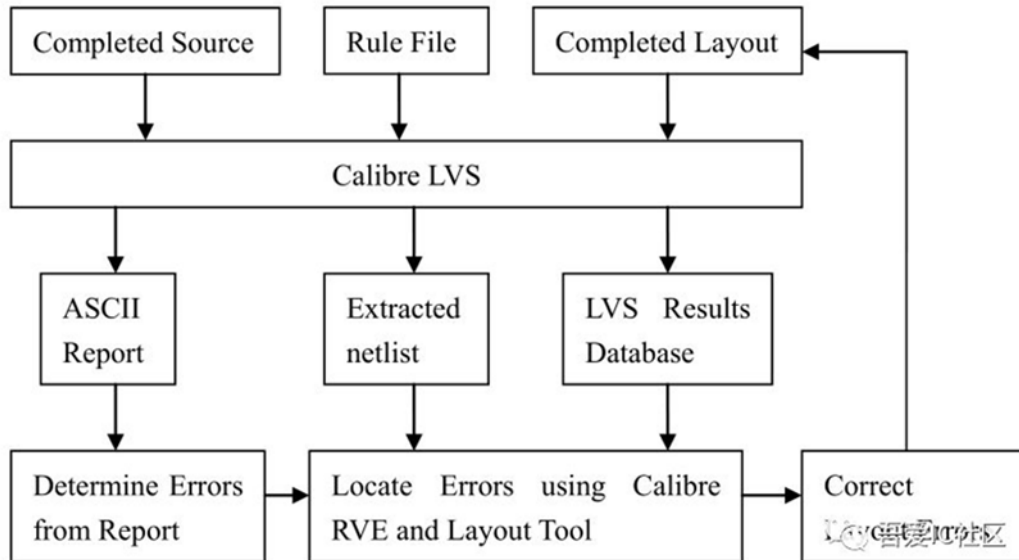


图 2 LVS 流程图

从流程图中可以得知，在做 LVS 前，我们需要以下数据：

1. Post-layout 的 GDSII design.gds
2. Post-layout 的 PG Netlist design_pg.v
3. LVS RUNSET

在应用 calibre 跑 LVS 之前，应该先在 ICC 中验证 LVS，主要检查 design 中的 short 和 open。同时也需要 check pg 是否有 floating (floating pin 需要 fix，而 floating shape 则可以不用管)。

五、实验目的：

1. 提高对设计软件的使用能力。熟练掌握 ASIC 设计过程中常用的设计工具，如 ICC (Innovus)、DC (Design Compiler)、VCS、DVE 等。这些工具在不同阶段的设计中起到关键作用，包括前端综合、布局布线、时序优化、功能仿真等。掌握这些工具的使用能够提升工作效率，并在实际设计中解决各种问题。

2. 理解完整的数字 IC 设计流程。通过实验，全面理解从 RTL 设计到后端物理验证的整个数字 IC 设计流程。包括设计规范、功能仿真、时序分析、布局布线、后仿等环节。这有助于在实际项目中，能够高效且有条理地处理各种设计任务，并与团队成员协同工作。

3. 深入理解时序分析与优化。在设计过程中，时序闭合是非常重要的环节。通过实验，理解如何使用工具进行时序分析（如 STA），并学习如何通过优化策略（如调整时钟树、优化长路径等）来确保时序闭合，进而提升芯片的性能。

4. 强化对硬件设计的综合能力。掌握从功能设计到物理验证的整个硬件设计流程，不仅仅是编写代码和配置工具，还包括如何调试、验证并确保设计在实际应用中的功能正确性和可靠性。通过实验，培养设计、优化和验证的综合能力，增强对芯片硬件设计的全局视野。

5. 培养解决实际问题的能力。在设计过程中，遇到各种各样的实际问题是不可避免的。实验过程中会遇到设计规则检查（DRC）、时序问题、功耗分析等各种挑战，帮助学生学会如何快速分析问题并采取有效的解决措施，培养解决复杂工程问题的能力。

6. 提高团队协作与沟通能力。ASIC 设计是一个高度协作的过程，涉及前端设计、后端设计、验证、测试等多个环节。通过实验，可以锻炼团队协作和沟通能力，学习如何与其他成员协调工作，确保设计任务的顺利完成。

六、实验内容：

本次 IC2 实验课程（数字方向）的设计内容为一个已知结构的 AI 加速器的 ASIC 全流程设计并通过评估和流片。已知结构的 AI 加速器具有 8bit 输入和 8bit 输出，可以工作在至少 50Mhz 的时钟下，能够完成给定卷积神经网络的运算。总体的面积要求为在不带 I/O 的情况下通过 DC 综合得到的网表面积为，版图的面积最大限制为 $900\mu\text{m} \times 900\mu\text{m}$ ，可以使用的最大的引脚数量为 28 个（含 4 到 6 个电源引脚）。

给定的卷积核的结构包含卷积层、池化层、全连接层各一层，共计 3 层。各层的详细介绍如下。

卷积层：在 11×11 的矩阵数据外添加 Padding 后，对对应的矩阵进行卷积操作，其中，卷积核大小为 3×3 ，步长为 2，共有 3 个卷积核；

池化层：对输出的数据进行最大池化，其中池化核大小为 2×2 ，步长为 2；

全连接层：全连接层对应的权重矩阵大小为 $3 \times 3 \times 3$ ，与池化输出一一对应，需要完成一次乘加操作。

芯片的输入数据为 1×1 的矩阵，是位宽为 8bit 的有符号数补码，按照卷积核、全连接权重、100 组 11×11 的矩阵的数据依次输入。

芯片的输出数据为 1×1 的矩阵，位宽为 8bit，输出的为全连接的结果通过量化所得到的内容。

由于在数据处理过程中得到的乘积数据为 16bit，加和后需要用 20bit（全连接 21bit）的数据记录才能保证数据不发生溢出，而后续进行池化、全连接和输出所需要的数据均为 8bit，因此需要一种量化规则来进行 20bit 或 21bit 的到 8bit

的量化处理。给定的卷积核的量化规则为：在保证符号正确的情况下拓展到 20 位来表示，然后将低 8 位抹除，剩余的 12 位若超过 int8 的表示范围，则取 int8 范围的最大值，反之，取这 12 位的低 8 位。由于数据均由补码表示，因此所得的结果只需要将最高位符号位向前扩展即可得到扩展数据。

七、实验器材（设备、元器件）：

实验器材（设备与软件）：

1. 计算机终端

2. 服务器终端

3. IC 设计工业软件：

VCS (Verilog Compiled Simulator): 用于仿真，支持 Verilog 代码的编译和仿真。

DVE (Debugging and Visualization Environment): 用于波形查看与电路调试。

DC (Design Compiler): 逻辑综合软件，用于将 RTL 代码转化为门级网表。

ICC (IC Compiler): 布局布线系统，用于优化并生成芯片的布局 and 布线。

Cadence Virtuoso: 后端版图设计软件，支持从网表到版图的设计和优化。

Calibre: 专业的设计规则检查（DRC）和布局与原理图对比（LVS）工具。

八、实验步骤：

8.1. 导入数据

实验前的准备工作，首先是小组内同学的文件交接，在进行物理验证主要需要 icc 的 output 的网表等文件。该网表包含了芯片中所有的**电路连接信息**。网表是物理验证的基础，后续的所有物理验证都依赖于网表的准确性。具体版图如下所示。

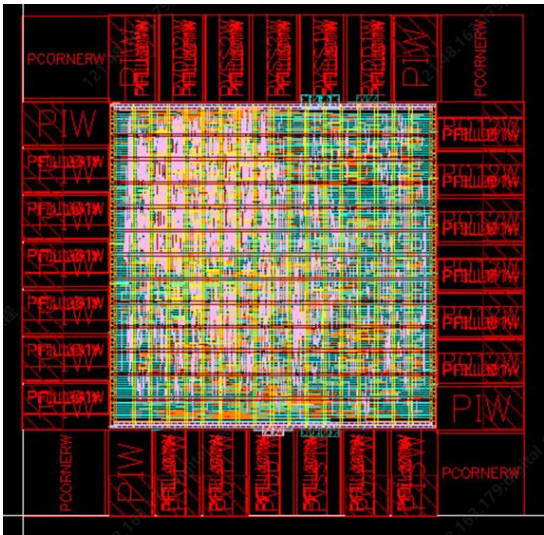


图 3 布局布线后版图

其次，设置好本次实验的工作目录,如下图 4 所示：

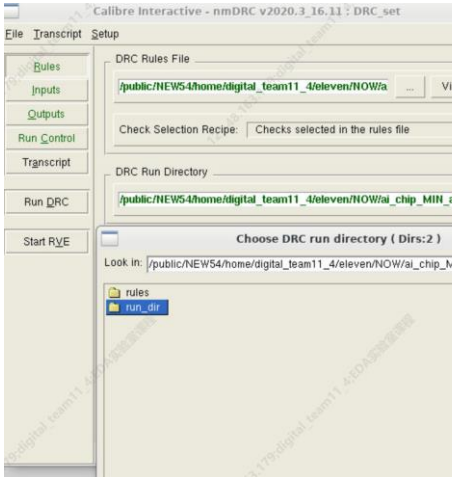


图 4 工作目录设置

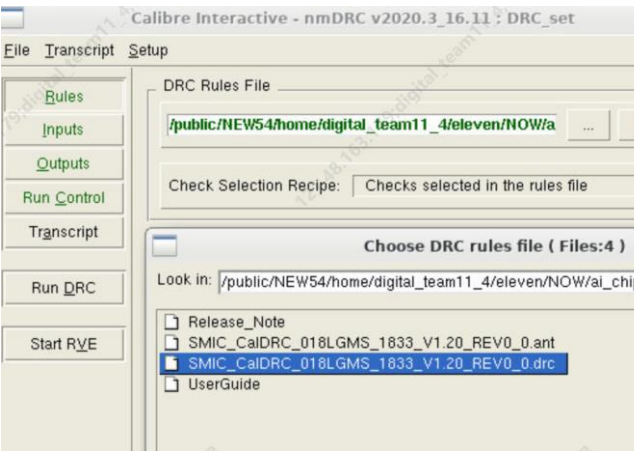


图 5 DRC rules 文件设置

根据目标工艺的规则配置 DRC 检查，通常需要设置工艺节点和规则集，即导入工艺库的.drc 文件，见图 5。

8.2. 添加标签

在物理验证过程中，LABEL 主要用于以下几个方面：

- 1.标识特定的版图元素：LABEL 可以用来标识版图上的特定元素，如晶体管、电阻、电容等，便于在版图和原理图之间进行对比和验证。
- 2.提供额外的电路信息：LABEL 可以包含额外的电路信息，如元件的名称、类型、连接关系等，有助于在 LVS（Layout Versus Schematic）检查中更准

确地匹配版图和原理图。

3.辅助自动化工具：**LABEL** 可以被自动化工具识别和处理，帮助工具更高效地进行物理验证，减少人工干预和错误。

具体我们在 Layout 中添加的 LABEL 如下图 6 和图 7 所示。



图 6 LABEL 1

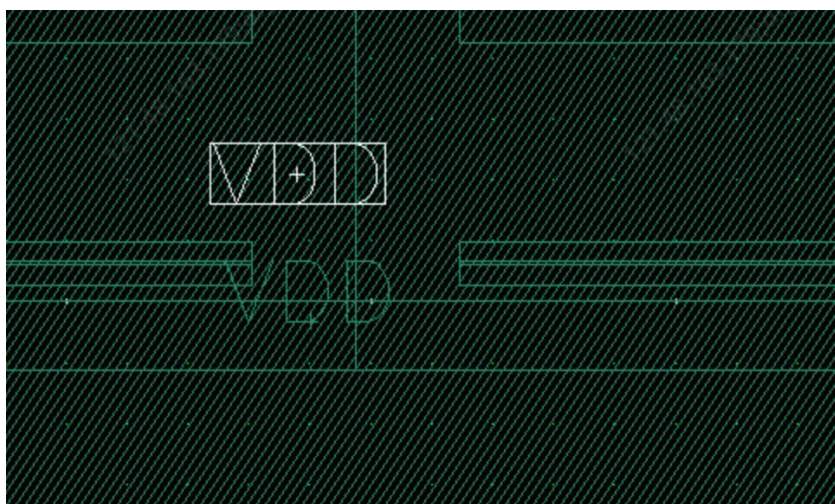


图 7 LABEL 2

由于我们在后来考究过金属共有 6 层，**LABEL** 打在高层金属有许多好处。首先是有**高层金属**通常宽度较大，能够承载更高的电流，有助于减少 IR 压降。其次，将 **VDD** 和 **VSS** 放在高层金属，有助于避免与敏感信号线的耦合干扰。标签放在错误的层可能导致 **LVS** 检查失败，因为实际的供电网络层和设计网表中的定义层不一致。因此，我们又一次修改 **LABEL** 的存在位置。如下所示图 8 和图 9 所示。

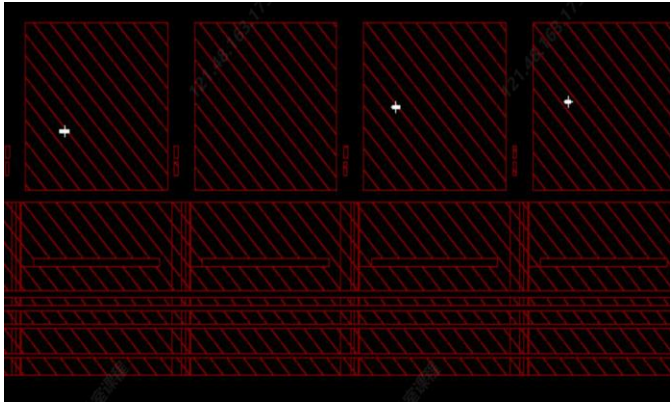


图 8 第六层金属 LABEL1

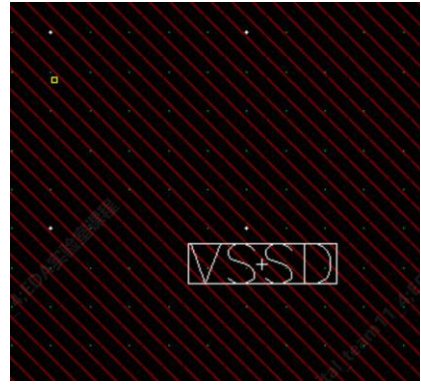


图 9 第六层金属 LABEL2

8.3. DRC 验证

最后我们通过 RUN DRC 可以得到最后的结果，运行 DRC 检查，工具会自动检测版图与设计规则的符合度。具体见 9.1 节 DRC 的结果分析。

8.4. LVS 验证

和 DRC 验证的步骤基本相同，首先是设置工作目录以及 .lvs 的文件。需要注意的是，在进行 LVS 验证时，我们需要运行 gen_lvs_spi.run 文件用于将网表、标准单元库等信息整合，生成用于 LVS 的网表（.src.net 文件），如下图 10 所示。

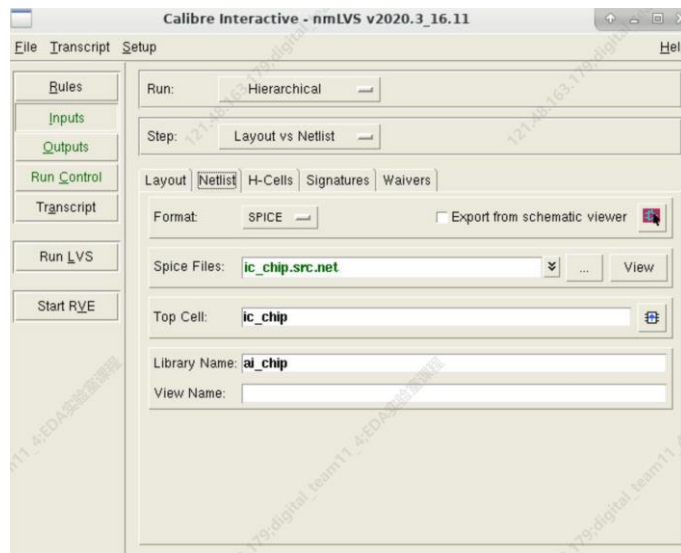


图 10 导入 ic_chip.src.net 网表

运行 LVS 检查，工具会对比版图中的电气连接与原理图中的连接是否一

致。LVS 工具生成报告，列出网表和版图之间的任何不一致之处，如遗漏的连接、错误的元件连接等。最后的结果请见 9.2 节 LVS 的结果分析。

九、实验数据及结果分析：

9.1. DRC 检查结果

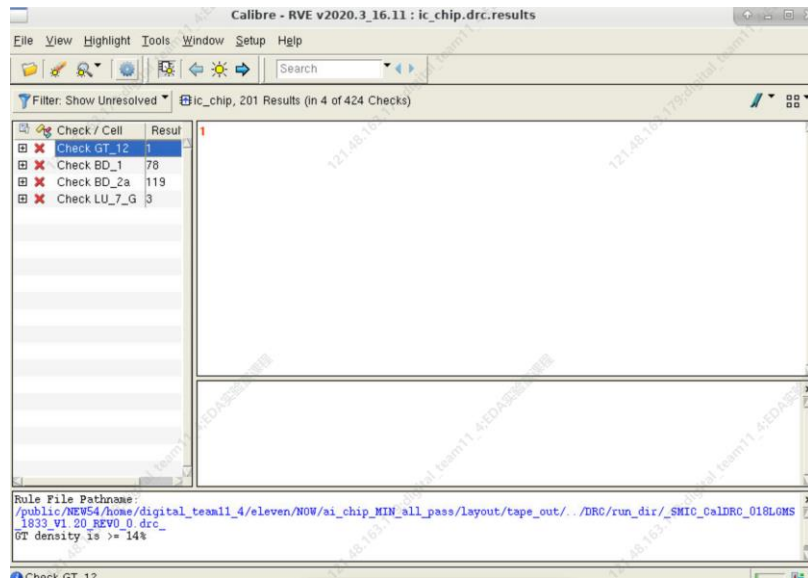


图 11 DRC 结果 1

在本次实验中，我们也是非常顺利的通过 DRC 的验证。

现在分析图中“不那么完美的”部分，本质上说这些问题不会影响我们的最终结果，现在我们逐一分析这些问题。

1. Check GT_12 : GT density is $\geq 14\%$ 这表明与“GT（Gate Track）密度”的设计规则相关。规则要求在某一区域内的门轨密度（Gate Density）不能超过 14%，但当前设计违反了此规则。高门密度会导致热点区域，增加功耗和散热压力，并可能导致制造过程中的性能波动或可靠性问题。

2. Check BD_1 : 与“Boundary Design”相关，表明与设计边界约束有关的规则被违反。Check BD_2a 与之类似。

3. Check LU_7_G: 与“Latch-Up”相关，表示存在防止寄生效应（如 Latch-Up）的设计问题。可以通过改善电源网络（如增加护环或保护层）来避免寄生效应。

9.2. LVS 验证结果分析

LVS 工具生成报告，列出网表和版图之间的任何不一致之处，结果可在图 12 和图 13 看到。

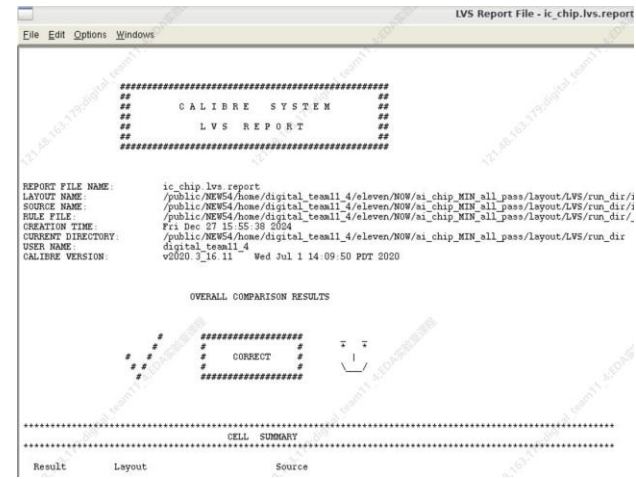


图 12 LVS 结果 1

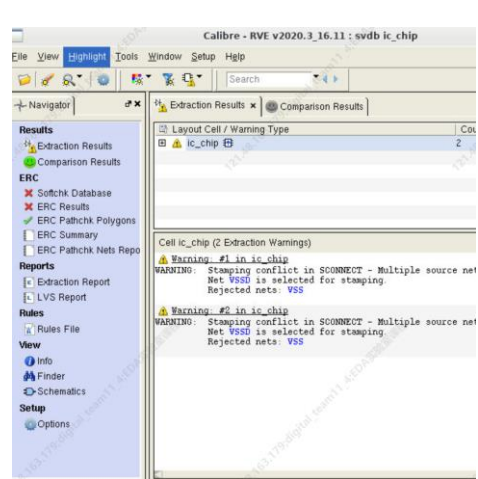


图 13 LVS 结果 2

从图中我们可以看到本次的 LVS 均成功通过验证。

十、实验结论：

在本次实验中，我们完成了数字 IC 设计流程中的物理验证部分，包括设计规则检查（DRC）和布局与原理图对比（LVS）的检查与分析。通过实际操作与问题排查，获得以下结论。

首先是设计规则检查（DRC），在检查过程中发现了若干违规问题，例如金属间距不足等，这些问题直接影响了设计是否符合制造工艺的要求。在修复后也是成功完成了这次实验。

其次，在 LVS 检查过程中发现接地网络（VSS 和 VSSD）之间存在“Stamping Conflict”冲突，主要问题是多源网络盖章到同一目标网络，导致信号的归属不明确。我们通过检查原理图与布局网表定义，确认实际需要独立的接地网络后，发现，在布局中，VSS 和 VSSD 由于标注不清晰或多处定义冲突导致问题。两个信号网络都被打上了重复的 LABEL，Calibre 在提取时无法准确识别这些网络的归属，从而引发冲突。

对我们来说，最重要的是提高对物理验证问题的分析与解决能力，强化了设计与工艺规则之间的联系理解，为后续实际项目设计积累了经验。

十一、总结及心得体会：

在这次实验过程中我接触到数字 IC 设计流程中**物理验证部分的实践**，包括 DRC 和 LVS 的**操作与问题分析**。

在 DRC 验证中，我遇到了一些典型的设计规则违规问题，例如金属间距不足和通孔对齐错误等。这些问题直接关系到芯片的可制造性，如果不及时修复，会导致芯片无法正常流片。在解决错误的过程中，我通过 **ICC 调整布局**，重新布线，并多次迭代验证，最终解决了违规问题。这让我深刻了解到，设计阶段考虑清楚工艺规则的重要性，尤其是在布局布线时应**提前规避**可能的 DRC 问题。

LVS 验证中，我发现了电源网络（VSS 与 VSSD）之间的“Stamping Conflict”冲突问题。。通过对原理图网表和布局提取文件的检查，我成功解决了这一问题，同时也积累了对 Calibre 工具中规则配置的经验。

物理验证是数字 IC 设计中不可或缺的一环，DRC 确保设计满足制造工艺要求，LVS 则保证设计的逻辑功能正确性。在芯片设计中，这两者是流片的“最后一道防线”。这次实验后，我深刻体会到，即使是前期的逻辑设计再完善，若物理验证不过关，流片失败的风险依然极高。

最后想感谢 Even 老师，老师一直不论早晚都陪伴我们一起奋斗着。如果有什么奇思妙想，王老师也会鼓励我们继续思考还会和我们一起分析可实施性。当然的当然还有天舒姐、雪淞哥和俊凯哥，以及经常也到来的“后端高手”，助教老师们一直不厌其烦的帮助我们，甚至会亲自动手帮我们修复 BUG。甚至在下班了，也会用自己的休息时间分析我们的问题。没有你们的帮助，我们也不可能“闭门造车”成功。非常感谢帮助过我们的你们！

十二、对本实验过程及方法、手段的改进建议：

1. 希望能够有纸质版的物理验证的教程，上课的内容对于初学者可能不够直

观，如果有纸质版教程我们也可以课前预习、课后复习。

2. 在实验开始时，可通过增加一小节教学，强调 LABEL 的重要性及规范性，尤其在电源/接地网络的设计中，明确如何避免多源冲突及冲突排查方法。