

# 电子科技大学示范性微电子学院

## 实验课程及实验室安全预习报告

(实验) 课程名称 IC 综合实验 2

学号: 2022340102004

姓名: 况明远

实验地点: 清水河校区国际创新中心 B523

实验日期: 2024.11-2025.01

## 一、实验目的与要求

**实验目的：**本实验以 AI 芯片设计为主题，涵盖从前端到后端、物理验证的完整流程，包括仿真与验证、逻辑综合、布局布线、物理验证以及一致性检查等环节。通过实践，学生能够全面掌握数字芯片设计的核心技术，深刻体会数字 IC 设计流程

**实验要求：**完成一个已知结构的 AI 加速器的 ASIC 全流程设计，并对其进行评估与流片。该 AI 加速器包括卷积、池化、全链接、缓存等结构，支持 8bit 输入和 8bit 输出，能够在不低于 50MHz 的时钟频率下运行，满足指定卷积神经网络的运算需求。设计规范要求在不含 I/O Pad 的情况下，版图面积不得超过  $900\mu\text{m} \times 900\mu\text{m}$ ，并且最大引脚数量限制为 28 个。

## 二、实验相关原理预习

### 1. 芯片设计与前仿真

在芯片设计初期，需要规划好顶层模块下的子模块，定义顶层模块的输入输出接口，以及子模块之间的连接情况

在芯片设计与前仿真阶段，VCS 和 DVE 是两个核心工具，它们协同工作以实现高效的仿真和调试。VCS 是高性能 Verilog 仿真工具，DVE 是波形查看工具，提供交互式的波形查看和调试功能。用户可以通过 DVE 查看仿真波形、添加断点、单步执行代码，以及实时监控和分析信号。

芯片设计与前仿真的步骤：

1. 编译：通过 VCS 对 Verilog 代码进行编译，生成仿真所需的可执行文件。
2. 仿真：运行生成的仿真可执行文件（simv），执行实际仿真操作。
3. 调试：仿真后使用 DVE 打开波形文件（.vpd），直观查看仿真波形并分析问题。
4. 迭代：修改 Verilog 代码，重新完成 1-3 步骤，直到设计理想。

### 2. 芯片综合

芯片综合利用 DC 软件和脚本，将 RTL 代码转换为门级网表，并在满足时序和面积约束的前提下进行优化。

综合流程：DC 通过读取设计文件和工艺库文件，配置综合环境，并执行以下关

键步骤：

1. 顶层设置：定义设计的顶层模块并设置时序约束。
2. 综合优化：执行面积优化和时序优化，生成满足设计需求的门级网表。
3. 结果分析：综合后生成时序、面积和功耗的报告，设计者可根据结果调整设计。

综合后得到的门级网表为后续后端设计提供了基础

### 芯片的后端设计

后端设计从前端提供的门级网表和时序约束文件开始，通过布局布线等物理设计步骤完成版图的生成。

**自动布局布线：**使用 ICC 软件完成设计的布局、时钟树综合和布线优化。在 ICC 中，通过 TCL 脚本自动化数据准备和设计执行，将网表、约束文件、工艺库、物理库和寄生参数模型导入 ICC 进行设计。

**版图物理验证：**完成布局布线后，生成的 GDSII 格式版图文件导入 Virtuoso 进行分析和验证。通过 Library Manager 合并标准单元库、IO 库的版图文件，形成完整的版图。使用 Calibre 工具执行设计规则检查和版图与原理图对比检查。在 Virtuoso 中调用 Calibre 的规则文件进行 DRC 检查，输出 DRC 报告列出违规项。利用 Calibre 的 RVE，在版图中标注验证错误，便于快速修正。

后端设计流程通过物理实现将前端逻辑功能转化为可流片制造的版图，同时通过物理验证确保设计规则和功能一致性，为芯片流片成功奠定基础。

## 三、实验内容与步骤预习纲要

### 1. 系统架构设计

系统架构设计的目标是确定 ASIC 的整体结构与功能模块划分。我们需要根据需求定义顶层架构，包括数据路径、控制逻辑、接口位宽等，以确保芯片实现预定功能，并满足性能、功耗、成本等约束。

### 2. RTL 设计

RTL 设计通过 Verilog 实现架构设计的具体逻辑。此阶段编写的代码详细描述了各模块的功能，直接影响芯片的性能和实现。因此，RTL 设计需严格遵循架构要求，并兼顾时序、资源利用和功耗优化。还需要考虑组合逻辑的复用，时序逻辑的时序猴脸问题

### 3. 逻辑综合

综合将 RTL 代码转换为门级网表。通过优化逻辑结构，综合工具生成符合性能、面积和功耗要求的实现结果。我们需关注逻辑优化和时序约束，确保最终网表达到要求。

### 4. 后端设计

布局与布线将门级网表转化为芯片的物理版图。我们需要操作软件使标准单元形成互联，需考虑性能、功耗、时序收敛和设计规则，以实现高可靠性和可制造性。设计完成后，需要通过带时序反标的后仿真以验证设计能正常工作。

### 5. 物理验证

完成版图设计后，通过一系列验证步骤确保物理实现与逻辑设计一致。包括设计规则检查（DRC）、版图与原理图对比（LVS），确保版图满足制造要求并保持功能和时序正确。

## 四、 使用的实验仪器（设备、元器件）

设备：服务器、

软件：VCS、DVE、DC、ICC、Virtuoso、Calibre

脚本语言：tcl

## 五、 实验室安全操作事项

- 1) 禁止拷出服务器中的文件
- 2) 服务器中的文件存放要规范
- 3) 不能开太多结点，占用服务器资源

## 六、 思考题（至少 3 道）

### 1) 进行数字 IC 设计之前，需要做好哪些必要准备？

**答：明确设计目标与规范：**确定设计的功能需求、性能指标（如时钟频率、功耗、面积）、工艺节点（如 28nm、14nm）以及芯片的 I/O 数量和封装要求。准备清晰的设计规格书，以指导后续开发流程。

**流程规划：**了解数字芯片设计的完整流程，包括 RTL 设计、综合、形式验证、布局布线、DRC/LVS 等步骤，并制定详细的时间表和任务分工。

### 2) 卷积神经网络的原理？

**答：输入层：**接受多维数据，并将其传递给后续网络。

**卷积层：**通过卷积核（过滤器）与输入特征进行点积操作，提取局部特征。提取特征（如边缘、纹理等），通过堆叠多个卷积层逐步提取高阶特征。

**池化层：**对局部区域进行下采样操作，常用方法包括最大池化和平均池化。减少特征图的分辨率和参数数量，增强特征的平移不变性。

**全连接层：**将二维特征图展平为一维向量，与传统神经网络相连，用于特征整合和分类。结合所有提取的特征，输出最终分类结果或回归预测值。

### 3) 为什么本次设计不考虑可测性设计？

**答：芯片规模小：**本次设计的芯片功能相对简单，电路规模较小，寄存器和逻辑门数量有限，因此不需要专门的 DFT 来提升可测试性。

**验证方式直接：**对小型设计的功能验证可以通过仿真和基本的信号测试手段完成，无需引入额外的硬件测试逻辑。

## 七、 预习遇到的问题：

1. 不太明白卷积神经网络的计算方式与实现架构
2. 没弄懂该如何实现组合逻辑复用
3. Verilog 语法没有完全弄明白