

Цифровая схемотехника.

Кафедра ВТ, Университет ИТМО 2010-16
к.т.н., доц. Кустарев Павел Валерьевич

Занятия по курсу

- «Цифровая схемотехника»

4 семестр: 34 ч. лекций, 34 ч. лаб. работ.
— 4 лаб. работы, 4 контр. работы, 2 рубежные работы, экзамен

- «Схемотехника ЭВМ»

5 семестр: 17 ч. лекций, 34 ч. лаб. работ
— 4 лаб. работы, 4 контр. работы, 2 рубежные работы, экзамен

Информация

- <http://embedded.ifmo.ru/forum>

\Схемотехника\Цифровая схемотехника.
2курс. Весна 2016 г.

- Электронный журнал:

<https://docs.google.com/>... (ссылка на форуме
embedded.ifmo.ru)

- Файлы и сообщения в ИСУ

(<http://isu.ifmo.ru> \Личный кабинет\У.М.Д.)

Темы

4 семестр.

- 1. Введение в цифровую схемотехнику. - 4 ч.
- 2. Соединение элементов цифровых схем. – 4 ч.
- 3. Логические элементы – 4 ч.
- 4. Триггеры - 6 ч.
- 5. Базовые операционные элементы комбинационного типа. – 6 ч.
- 6. Базовые операционные элементы
- последовательностного типа – 6 ч.
- 7. Элементы и блоки памяти – 4 ч.

5 семестр.

- 8. Структурная схема ЭВМ - 2 ч.
- 9. Подсистема памяти ЭВМ. – 2 ч.
- 10. Схемотехника подсистем ЭВМ. – 5 ч.
- 11. Методы языкового проектирования цифровых схем. - 4ч.
- 12. Проектирование цифровых схем на ПЛИС. – 4 ч.

Лабораторные работы.

4 часа (2 пары) раз в 2 недели.

4 семестр.

- 1) Введение в проектирование цифровых интегральных схем.
- 2) Схемотехника комбинационных логических схем.
- 3) Схемотехника триггеров и последовательностных схем.
- 4) Схемотехника элементов полупроводниковой памяти.

5 семестр.

- 1) Исследование подсистемы памяти ЭВМ.
- 2) Исследование подсистемы последовательных интерфейсов.
- 3) Разработка языкового описания цифровой схемы на языке VerilogHDL.
- 4) Реализация цифровой схемы на ПЛИС.

Литература.

1. Угрюмов Е.П. Цифровая схемотехника. Уч пособие для ВУЗов. 2-е изд. – СПб.: БХВ-Петербург, 2007.-800с.
2. Harris D., Harris S. Digital Design and Computer Architecture. Russian Edition. - <https://community.imgtec.com/downloads/digital-design-and-computer-architecture-russian-edition/>.
3. Азов А.К., Джалиашвили З.О. Интегральные логические схемы в устройствах цифровой вычислительной техники. Учебное пособие. – СПб.: СПбГУИТМО, 2005.
4. Азов А.К. Интегральные логические элементы на биполярных транзисторах. Учебное пособие. – СПб.: СПбГУИТМО, 2005.
5. Wakerly, John F. Digital Design: principles and practices, third edition. – Prentice Hall, 2000.
6. Jan M. Rabaey Digital Integrated Circuit - Prentice Hall, 2002 (издан русский перевод)
7. Титце У., Шенк К. Полупроводниковая схемотехника /Пер. с нем. - М.:Мир, 1983.-512с.
8. Хоровиц П., Хилл У. Искусство схемотехники /Пер. с англ. 6-е изд. – М.: Мир, 2003.-704с.

Цифровая схемотехника

- **Схемотехника** – раздел электроники посвященный принципам функционирования и технологиям проектирования схем электронных устройств.
- **Смежные разделы:** полупроводниковая электроника (базовые элементы, каскады), микроэлектроника (микросхемы), технология производства электронных компонентов и устройств.
- **Цифровая схемотехника** рассматривает дискретные электронные схемы, в которых электрические сигналы могут иметь только определенные (два) устойчивые (дискретных) значения (напряжения или тока). Каждое дискретное значение представляет (кодирует) определенную цифру (например 0 и 1). Переключение между этими значениями сигнала происходит скачкообразно. В цифровых схемах электронные каскады работают в режиме ключа - «открыт-закрыт», то есть находятся в одном из двух состояний: пропускания или отсечки тока.
- **Применение:** на базе цифровых схем построено большинство современной вычислительной техники и большая часть иной электронной техники (бытовой, промышленной).

Тема 1.1.

«Введение в цифровую схемотехнику»

Цель: Сформировать систему базовых понятий в области цифровой электроники и схемотехники.

Содержание: Основные понятия цифровой схемотехники: цифровые сигналы, цепи, способы кодирования цифровых данных, функциональные элементы и блоки, компоненты цифровых схем. Позитивная и негативная логика. Основные параметры цифровых сигналов. Типы цифровых ИМС (ТТЛ, КМОП), их схемотехника и параметры. Синхронные и асинхронные схемы. Комбинационные и последовательностные схемы.

Оценивание: контрольная работа.

Аналоговые электрические сигналы

Аналоговые электрические сигналы –способны принимать любое значение в некотором диапазоне напряжений, тока, частоты или иных характеристик (метрик). Соответствуют естественным физическим процессам и сигналам.

Проблемы использования:

- чувствительность к помехам, приводящая к искажению значений;
- высокие погрешности обработки каскадами электронных схем (усиления, интегрирования и т.п.),
- схемотехническая и конструкционно-технологическая сложность аналоговых электронных устройств.

Применение аналоговой электроники: первичная/оконечная обработка физических сигналов, системы передачи сигналов, несложные системы автоматики и т.п.

Дискретные и цифровые сигналы

Дискретные электрические сигналы – сигналы, для которых допускаются лишь значения из заранее определенного ограниченного множества.

Цифровые электрические сигналы – кодируют цифры или числа. Наиболее часто применяются двоичные цифровые сигналы:

- одноразрядный (двоичный дискретный) – электрический сигнал, допускающий только два значения, которые *кодируют значения одной двоичной цифры (бита)*, например, «0» - 0 вольт, «1» - 5 (1.8, 3.3) вольт.
- многоразрядный - последовательность значений, закодированных в двоичном цифровом коде, передаваемом с помощью двоичных дискретных сигналов.

Достоинства цифровых сигналов: схемотехническая и конструкционно-технологическая простота ключевых электрических каскадов, помехоустойчивость, низкие требования к качеству электропитания, простота реализации в виде интегральных микросхем, простота схем памяти, простое кодирование двоичных цифр (битов).

Применение: все виды вычислительной техники (ЭВМ, цифровые сети передачи данных, системы обработки сигналов (сегодня - почти любые)).

Значения (состояния) цифровых сигналов

- Для кодирования двоичных битов обычно используется **напряжение**. Другие характеристики (ток, частота, фаза и т.д.) применяются в специальных случаях, напр., при передаче битов по цифровой сети. Допустимые уровни напряжения дискретного (цифрового) двоичного сигнала называют **ВЫСОКИМ (HIGH)** и **НИЗКИМ (LOW)**, в зависимости от соотношения значений напряжения. Например: 0 Вольт – НИЗКИЙ, 5 Вольт – ВЫСОКИЙ; или 0 Вольт – НИЗКИЙ, 3.3 Вольт – ВЫСОКИЙ;
- Если ВЫСОКИЙ уровень соответствует логической «1» (TRUE, ИСТИНА), а НИЗКИЙ уровень - логическому «0» (FALSE, ЛОЖЬ), то такой способ кодирования называют ПОЗИТИВНОЙ (POSITIVE, ПОЛОЖИТЕЛЬНОЙ) логикой, если наоборот - НЕГАТИВНОЙ (NEGATIVE, ОТРИЦАТЕЛЬНОЙ).
- От типа логики (способа кодирования данных) зависят схемотехника электрических каскадов(и наоборот), функции цифровых блоков обработки сигналов, способы обозначения и интерпретации цифровых сигналов на схемах.
- Наиболее часто применяемый тип логики – ПОЗИТИВНАЯ (схемотехника КМОП (CMOS), nМОП/pМОП, ТТЛ(TTL))

Цифровые микросхемы.

Интегральная микросхема (ИС, ИМС, СМР) – электронная схема, реализованная в виде конструктивно законченного компонента электронной схемы.

Типы микросхем: пленочные, полупроводниковые, гибридные.

Семейства полупроводниковых цифровых ИМС.

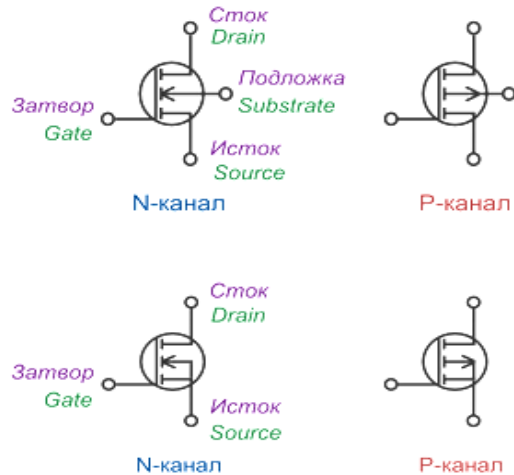
Семейство ЦИМС – множество микросхем с различными функциями, но с одинаковыми базовыми элементами схемы, принципами построения схемы, входными, выходными и внутренними характеристиками.

- *С транзисторно-транзисторной логикой ТТЛ (TTL): 1960-1990-е годы.;*
- *На базе комплементарных полевых (МОП) транзисторов КМОП (CMOS): выпуск с 1960-х годов, основной тип – с середины 1980-х по настоящее время;*
- *С эмиттерно-связанной логикой ЭСЛ (ECL): специальные применения с 1960-х годов по настоящее время;*
- *Устаревшие семейства ИМС: ДЛ, ДТЛ, РТЛ (с 1960-х по 1970-е года).*

МОП-транзистор

(<http://hightolow.ru/transistor4.php>)

Полевой транзистор с изолированным затвором по принципу Металл-Окисел-Полупроводник (МОП, МДП, MOS, MOSFET) – *сопротивление управляемое напряжением*.



Обозначение на схеме MOSFET с индуцированным каналом

Типы МОП-транзисторов:

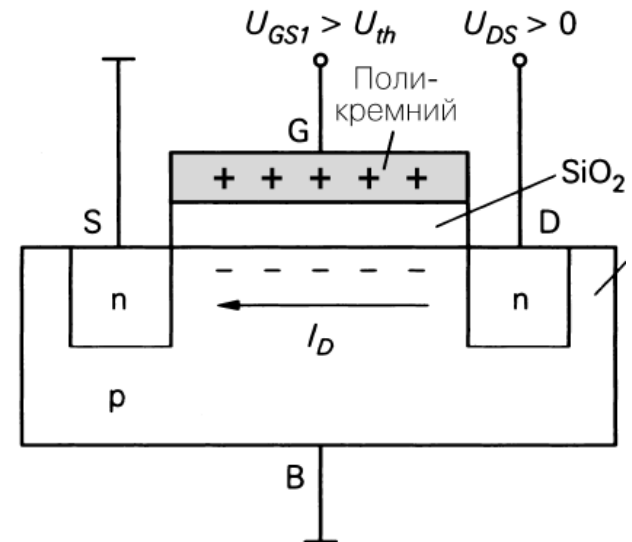
- ❑ с каналом n-типа (nМОП) и с каналом p-типа (pМОП);
- ❑ с индуцированным (обедненным) каналом – нормально разомкнутые (**основной тип в цифровой схемотехнике**), и со встроенным (обогащенным) каналом – нормально замкнутые.

Электроды:

Затвор (Gate) – подается управляющее напряжение.

Исток (Source) – 1-й вывод управляемого сопротивления. Относительно Истока устанавливается напряжение на Затворе. В цифровых схемах обычно подключен к шине питания.

Сток (Drain) - 2-й вывод управляемого сопротивления. В цифровых схемах обычно подключен к нагрузке каскада.



МОП-транзистор с p-подложкой и индуцированным n-каналом

Характеристики МОП-транзисторов

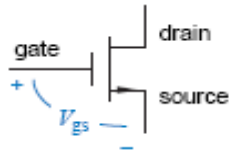
- ✓ **Большое входное сопротивление** (неск. МОм) – низкое потребление, большой коэффициент разветвления по выходу.
 - ✓ **Малое выходное сопротивление** И-С открытого транзистора – большая выходная мощность, большой коэффициент разветвления (см. раздел параметры ИМС).
 - ✓ **Высокое напряжение переключения**, дающее большой запас помехоустойчивости.
 - ✓ **Малая площадь каскадов/схем** на кристалле микросхемы
-
- ✓ **Большая входная емкость З-И** – большой импульсный ток при переключении: эл-маг. помехи, большое потребление
 - ✓ **Большая входная емкость С-И** - большая длительность переключения выхода и задержка распространения сигнала.

Функционирование МОП-транзистора

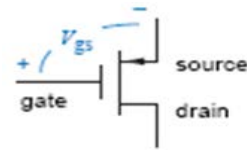
В цифровых схемах МОП-транзисторы работают в ключевом режиме (открыт-закрит).

Если на ЗАТВОР относительно ИСТОКА подано напряжение $U_{gs} > |U_{th}|$, то сопротивление между ИСТОКОМ и СТОКОМ становится низким и между ними может протекать ток .

Если на ЗАТВОР относительно ИСТОКА подано напряжение $U_{gs} < |U_{th}|$, то сопротивление между ИСТОКОМ и СТОКОМ становится высоким и ток между ними не протекает.

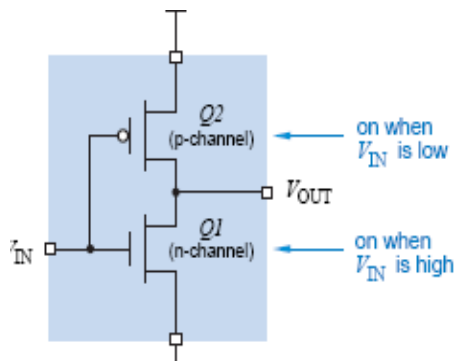


Управление nМОП-транзистором



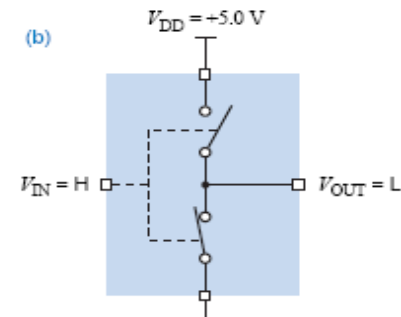
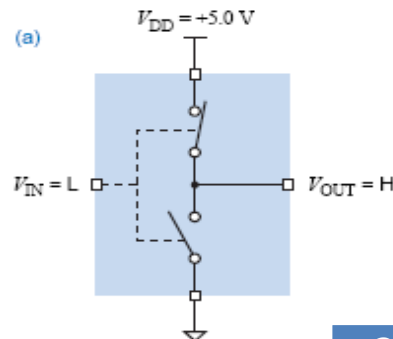
Управление pМОП-транзистором

U_{th} (threshold voltage) – пороговое напряжение «открывания» транзистора, для цифровых микросхем равно примерно половине напряжения питания..



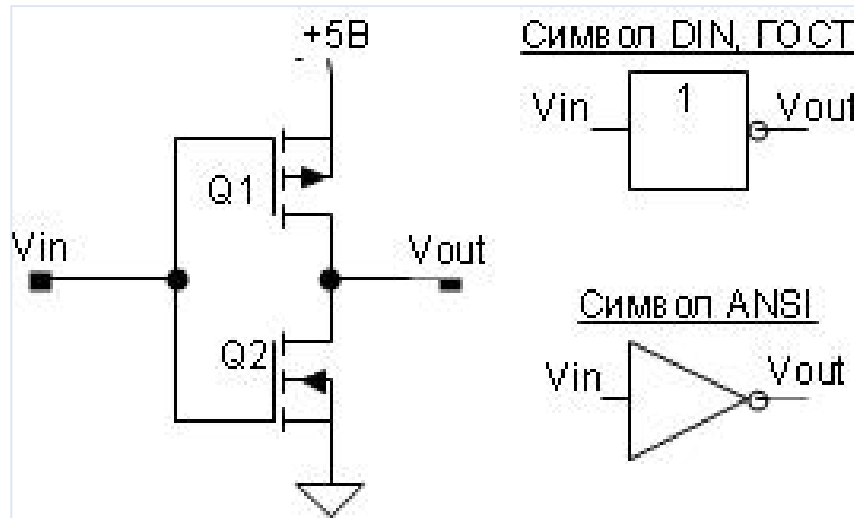
Управление двухтактным каскадом на комплементарных pМОП, nМОП транзисторах

Полярность управляющего (З-И) и питающего (С-И) напряжений:
nМОП – положительное напряжение.
pМОП – отрицательное напряжение



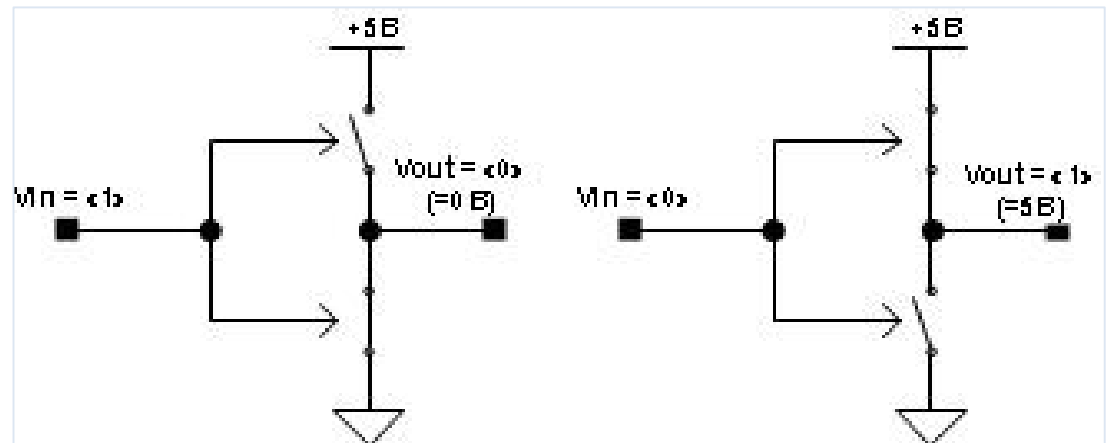
Эквивалентная схема двухтактного каскада

КМОП-инвертер

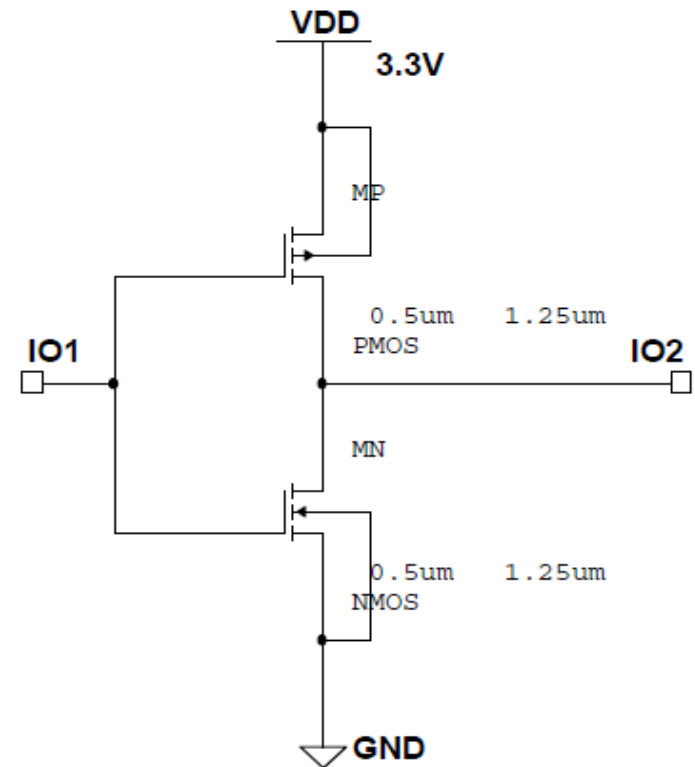
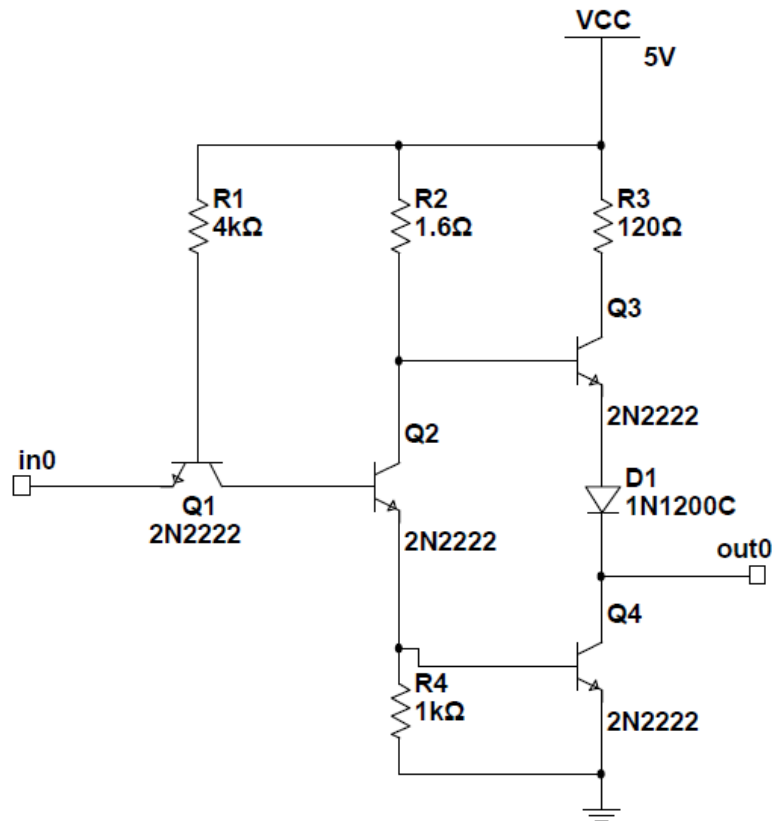


Принципиальная электрическая схема и условное обозначение

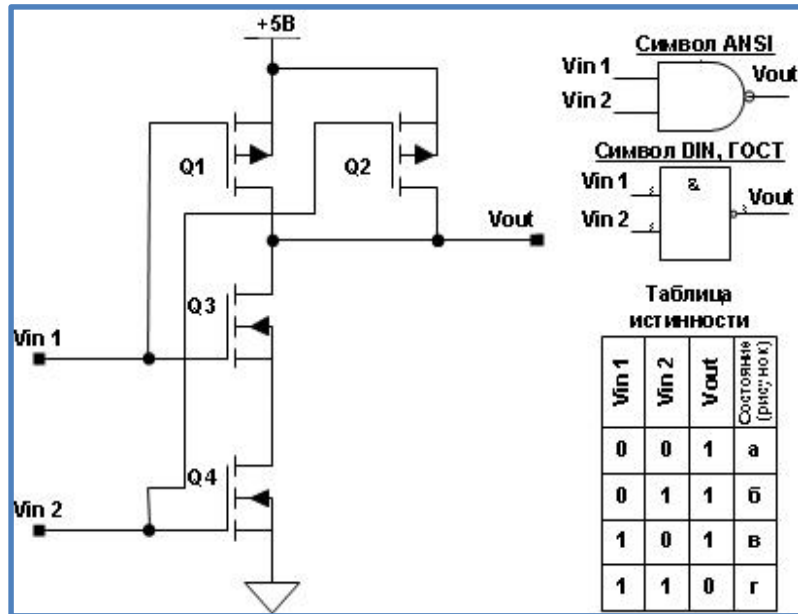
Эквивалентная функциональная схема



Пример аналогичных схем ТТЛ и КМОП: инвертор

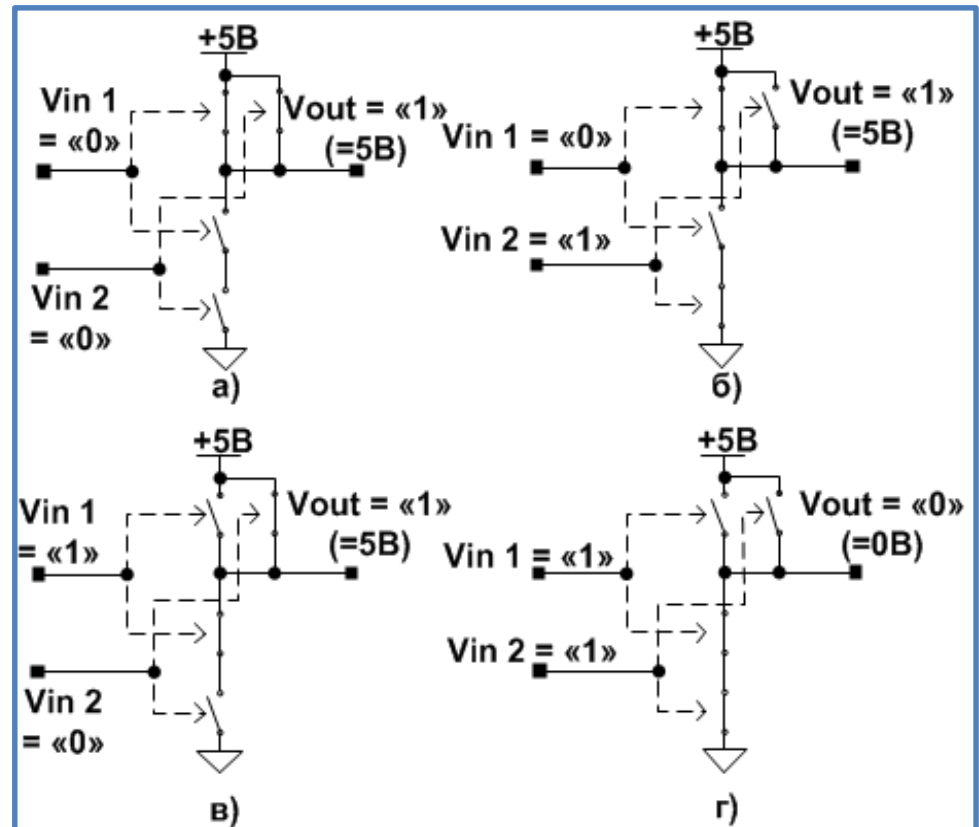


КМОП-элемент И-НЕ (NAND)

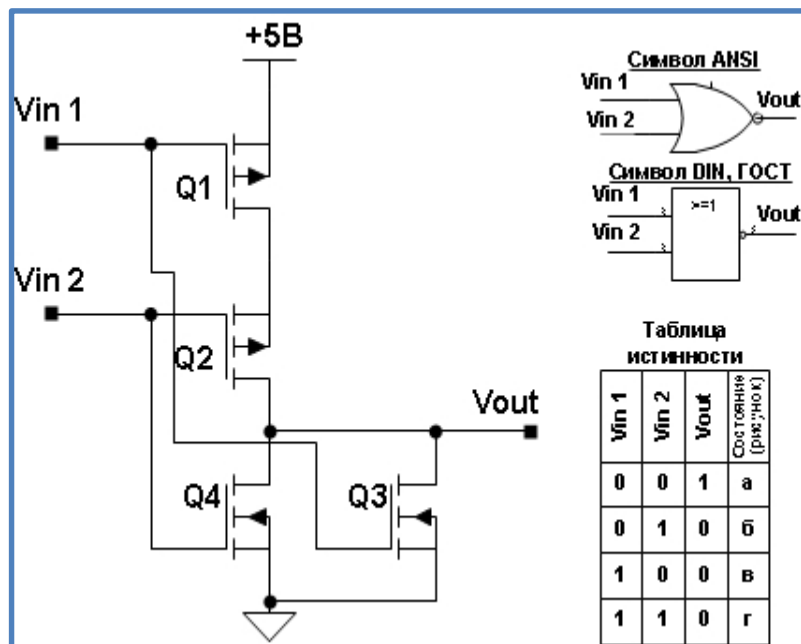


Эквивалентная функциональная схема

Принципиальная электрическая схема и условное обозначение

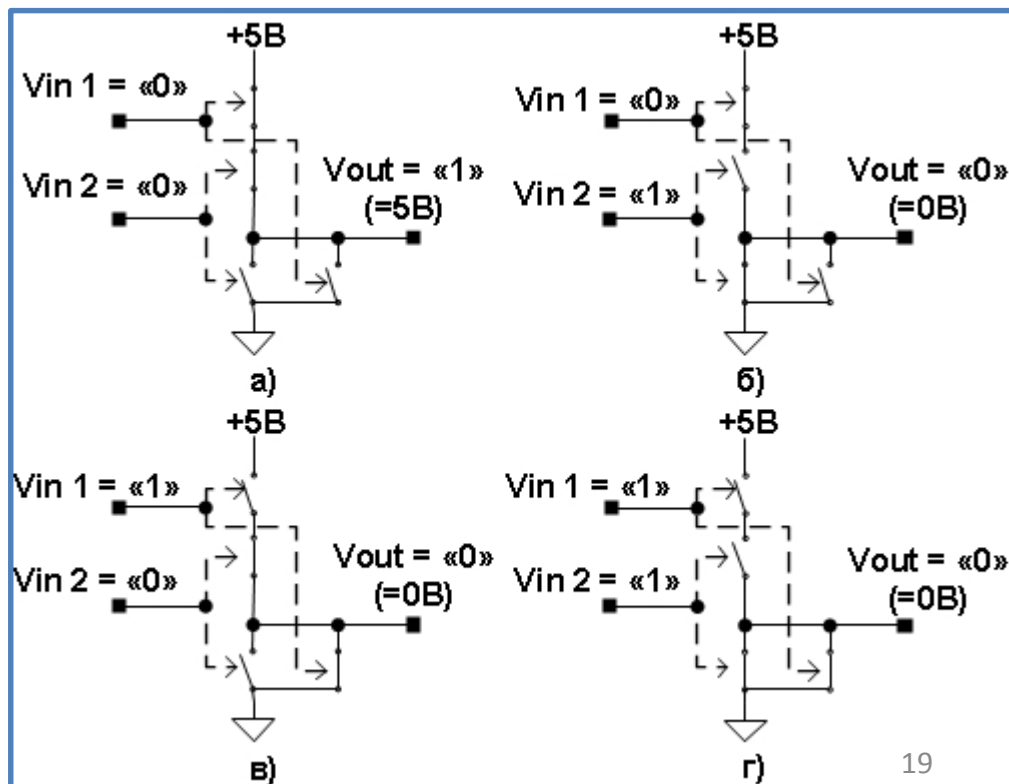


КМОП-элемент ИЛИ-НЕ (NOR)

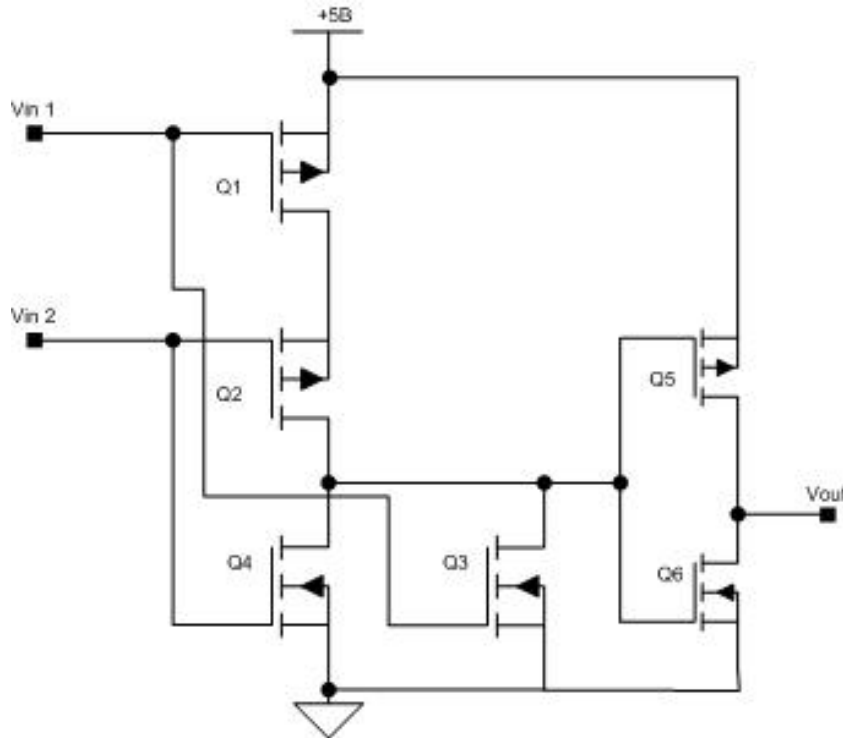


Эквивалентная функциональная схема

Принципиальная электрическая схема и условное обозначение



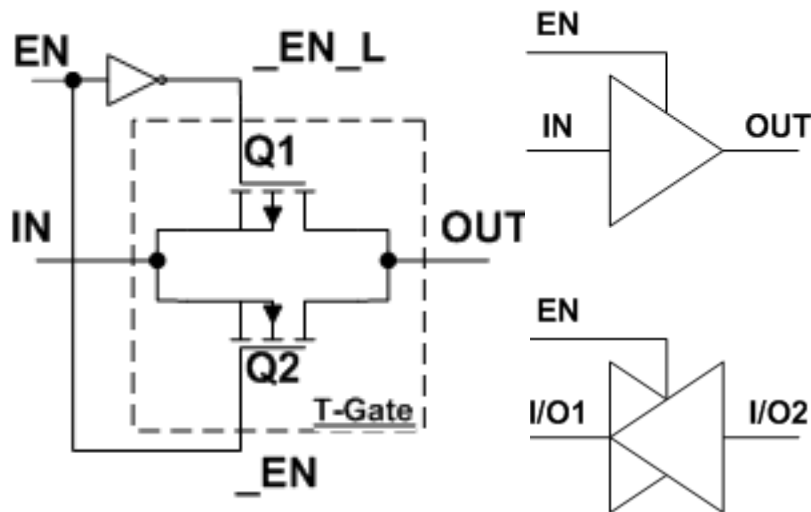
Реализация логических элементов КМОП без инверсии



Схемотехника КМОП наиболее удобна для реализации схем в базисе И-НЕ, ИЛИ-НЕ. Элементы без инверсии (И, ИЛИ, повторители и другие) реализуются путем подключения инвертирующего каскада на выходе элемента.

С увеличением числа переключающихся элементов увеличивается задержка распространения сигнала, энергопотребление, уровень помех.

Передаточный вентиль (Transmission gate)



- ✓ в замкнутом состоянии ($EN = \text{«В»}$) сопротивление между выводами низкое (несколько Ом) и сигнал проходит через вентиль;
- ✓ в разомкнутом состоянии ($EN = \text{«Н»}$) сопротивление между выводами высокое (несколько МОм) и сигнал не проходит через вентиль – выходы переводятся в высокоомное состояние (Z-состояние), эквивалентное разрыву электрической цепи.

ПВ может быть **однонаправленным** (рис. выше) или **двунаправленным** (рис. ниже).

У двунаправленного порты I/O1 и I/O2 – равнозначные, сигнал передается в обоих направлениях как по обычному проводу.

Передаточные вентили **могут использоваться** при организации подключения к общей шине нескольких источников сигнала, для коммутации аналоговых сигналов.

Параметры цифровых сигналов и схем

Параметрами цифровых сигналов и цифровых схем, наиболее важными для схемотехнического проектирования, являются:

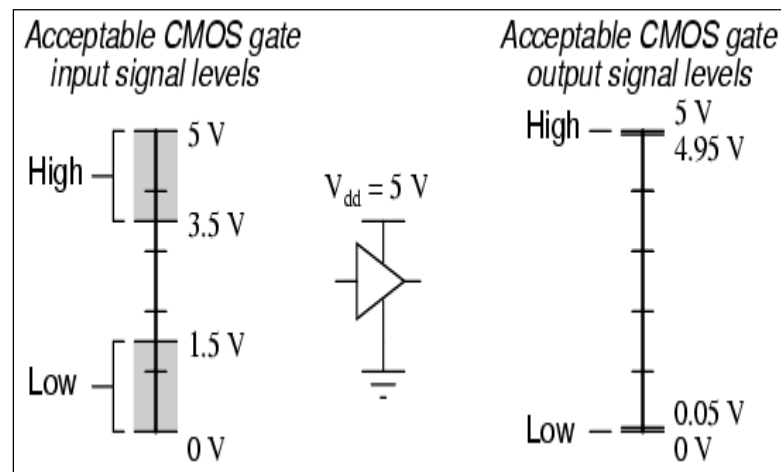
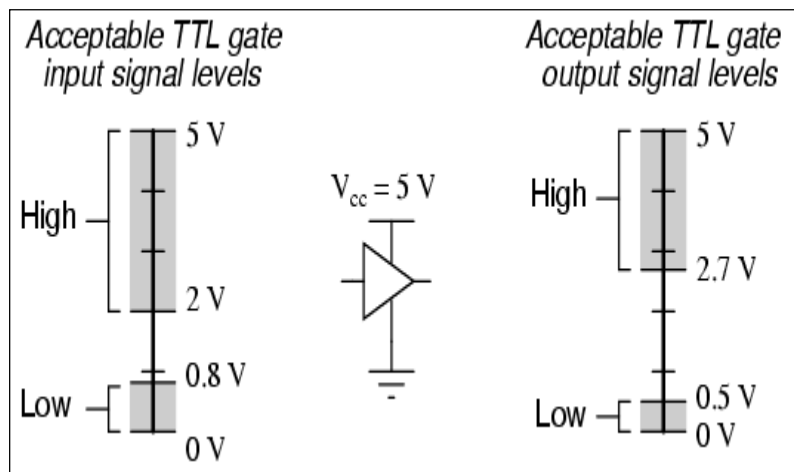
- Диапазон напряжений для логических «0» и «1», для выходов логических элементов/схем и для входов цифровых элементов/схем;
- Запас помехоустойчивости цифровых схем.
- Нагрузочная способность (коэффициент разветвления по выходу) выходов цифровой схемы - **fanout**;
- Длительность переключения выхода цифровой схемы – время перехода состояния сигнала с НИЗКОГО уровня на ВЫСОКИЙ или наоборот (перехода из логического «0» в «1» или наоборот) – **transition time**;
- Временная задержка цифрового сигнала при «прохождении» через цифровой элемент/схему – **propagation delay**.

Значения напряжений «0» и «1»

Идеальный цифровой сигнал имеет четкие дискретные уровни напряжений, напр., 0В, 5В). Реальные цифровые схемы не могут устанавливать на выходе точные уровни напряжений и реальные цифровые сигналы могут принимать дискретные значения *с отклонениями от номинального значения* (см. на рисунке «output signal level» для ТТЛ и КМОП-микросхем).

Диапазоны значений ВЫСОКОГО и НИЗКОГО уровней для входов цифровых схем должны быть шире, чем для выходов, чтобы обеспечить однозначное восприятие уровня на границах диапазонов (см. на рисунке «input signal level» для ТТЛ и КМОП-микросхем).

Промежуток между диапазонами ВЫСОКОГО и НИЗКОГО сигналов для входа называется *мертвой зоной* или зоной неопределенного значения.



Что дает кодирование уровней диапазонами напряжений

- Позволяет использовать цифровые элементы/схемы с достаточно значительными допусками параметров входных и выходных каскадов, что сильно удешевляет их производство.
- Допускает колебание параметров элементов/схем и соответствующих цифровых сигналов за счет изменения температур, электрической нагрузки и напряжения питания схем и т.п.
- Позволяет игнорировать влияние помех – паразитных напряжений, которые добавляются/вычитаются из рабочего напряжения при «прохождении» его через схему. Шумы возникают за счет емкостных и индуктивных связей между сигналами в схеме, помех приходящих по подключенным внешним цепям и цепям питания, за счет электромагнитных наводок.

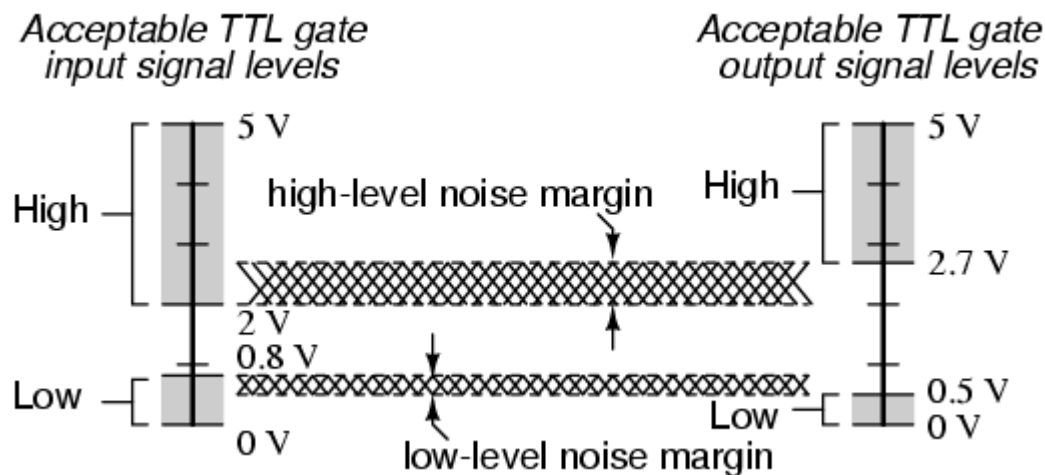
Помехоустойчивость

Для цифровых схем диапазоны ВЫСОКОГО и НИЗКОГО уровней выходного сигнала уже, чем аналогичные диапазоны входных сигналов, что необходимо, чтобы уровень цифрового сигнала, поступающий с выхода одного элемента/схемы на вход другого элемента/схемы, всегда был воспринят правильно, даже если его уровень вышел за допустимый для выхода диапазон из-за помех.

Разница допустимых отклонений от номинального значения между входным и выходным сигналами называется **запасом схемы по помехоустойчивости**. Запас помехоустойчивости есть наибольшее количество паразитного или шумового напряжения, которое может быть наложено на сигнал напряжения на выходе логической схемы, прежде чем принимающая схема может неверно его проинтерпретировать.

Различают запас помехоустойчивости для ВЫСОКОГО (high-level noise margin = 0.7В) и НИЗКОГО уровней (low-level noise margin = 0.3В).

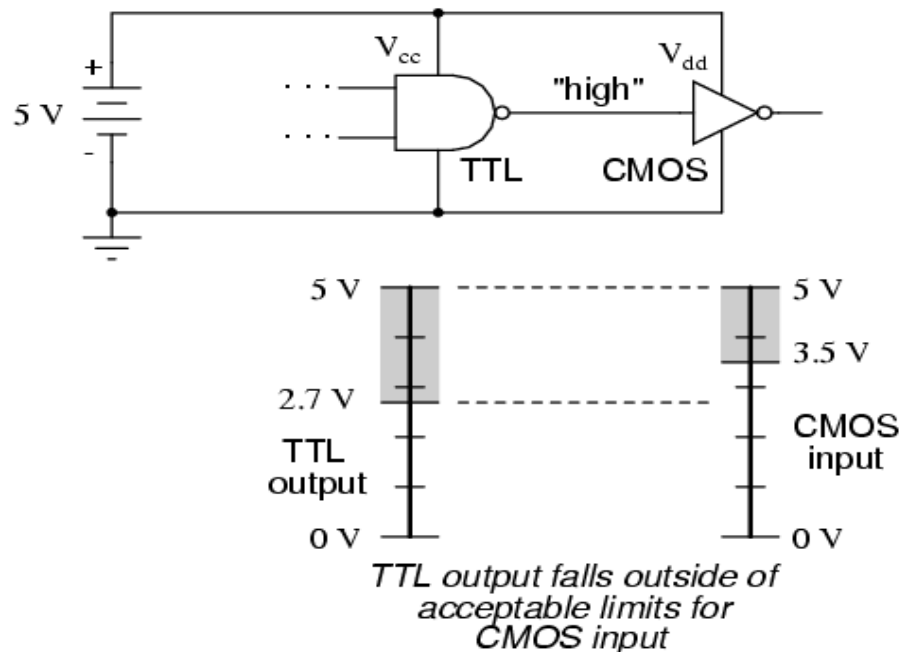
Запас по помехоустойчивости схемы в целом – минимальное значение запасов для НИЗКОГО и ВЫСОКОГО уровней.



Совместимость схем по уровням

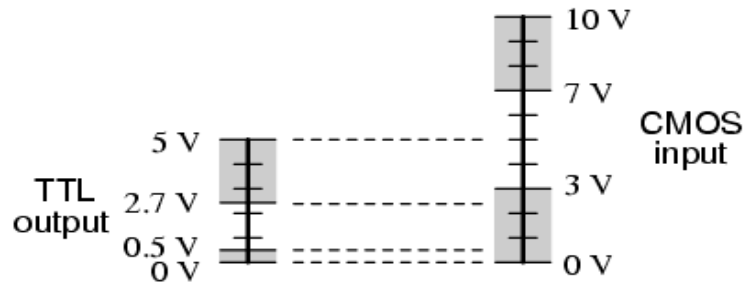
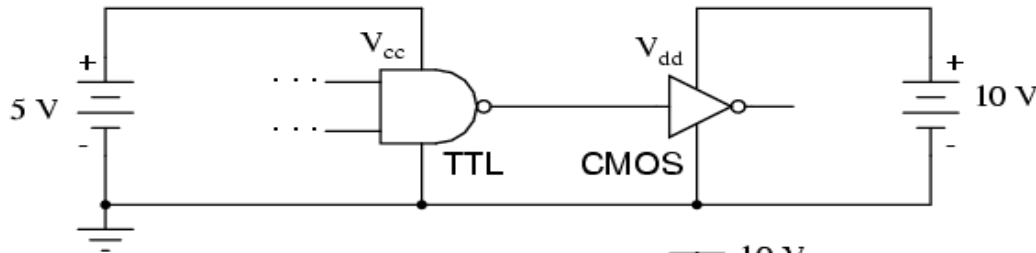
- Если диапазон *выходного* сигнала ВЫСОКОГО(НИЗКОГО) уровня одной схемы/элемента не перекрывается аналогичным диапазоном *входного* сигнала схемы/элемента, подключенного к первому, то такие схемы/элементы будут несовместимы по уровню и не могут работать вместе в данном включении.
- Если выход схемы типа 1 несовместим по уровню со входом схемы типа 2, то выход схемы типа 2 *может быть (но не обязательно) совместим* по уровню со входом схемы типа 1.

Несовместимость микросхем, выполненных по различной технологии.



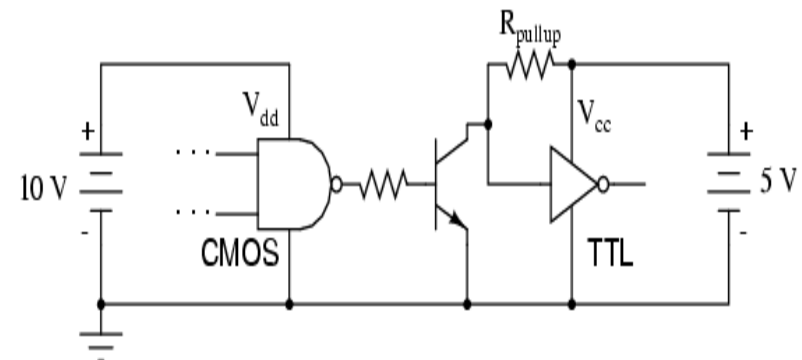
Несовместимость схем с различным напряжением питания

- Возникает из-за смещения и/или изменения ширины диапазонов ВЫСОКОГО и НИЗКОГО уровней сигнала при изменении напряжения питания.
- Может быть у микросхем, выполненных по одинаковой или различным технологиям



The TTL "high" signal will definitely not fall within the CMOS gate's acceptable limits

Способ сопряжения уровней



Параметры уровней напряжения для цифровых схем

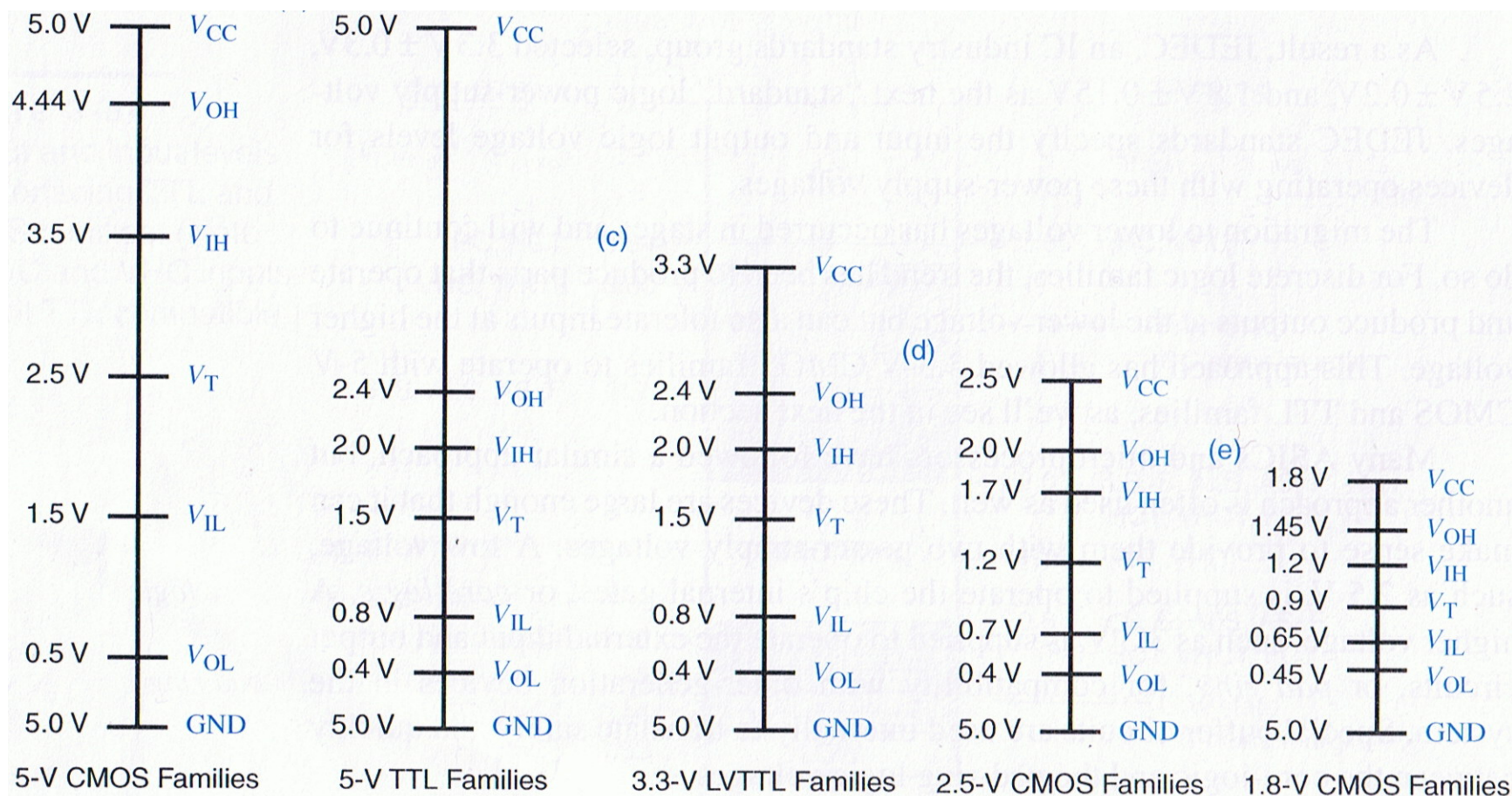
Для цифровых входов:

- $U_{вх.0.мин.} (V_{IL.min})$ – минимальное напряжение, воспринимаемое как «0»;
- $U_{вх.0.макс.} (V_{IL.max})$ – максимальное напряжение, воспринимаемое как «0»;
- $U_{вх.1.мин.} (V_{IH.min})$ – минимальное напряжение, воспринимаемое как «1»;
- $U_{вх.1.макс.} (V_{IH.max})$ – максимальное напряжение, воспринимаемое как «1»;
- $U_{вх.п} (V_{IT})$ – напряжение переключения (threshold voltage), значения выше которого воспринимаются как «1», а ниже – как «0».

Для цифровых выходов:

- $U_{вых.0} (V_{OL.typ})$ – типовое напряжение, которое устанавливается при выводе «0»;
- $U_{вых.0.мин.} (V_{OL.min})$ – минимальное напряжение, которое может быть установлено при выводе «0»;
- $U_{вых.0.макс.} (V_{OL.max})$ – максимальное напряжение, которое может быть установлено при выводе «0»;
- $U_{вых.1} (V_{OH.typ})$ – типовое напряжение, которое устанавливается при выводе «1»;
- $U_{вых.1.мин.} (V_{OH.min})$ – минимальное напряжение, которое может быть установлено при выводе «1»;
- $U_{вых.1.макс.} (V_{OH.max})$ – максимальное напряжение, которое может быть установлено при выводе «1».

Уровни напряжений сигналов для цифровых ИМС различных типов с различным напряжением питания (пример)



Нагрузочная способность

Нагрузочная способность P выхода цифровой схемы (коэффициент разветвления по выходу, fanout) показывает, какое максимальное количество входов схем того же типа, что и выход (ТТЛ, КМОП и т.д.), может быть подключено к данному выходу без перегрузки его выходных каскадов и без искажения уровней цифрового сигнала.

Нагрузочная способность определяется мощностью выхода схемы и потребляемым током входа, а также емкостью входов и выходов.

Типовое значение нагрузочной способности

$P = 10..25$

Можно говорить о перекрестной нагрузочной способности схем различных типов (например, при подключении к выходу КМОП входов ТТЛ). Т.к. входы ТТЛ потребляют значительно больше входов КМОП, то нагрузочная способность в таком случае уменьшается в 2-3 раза

$P_{\text{кмоп-тл}} = 5-10$

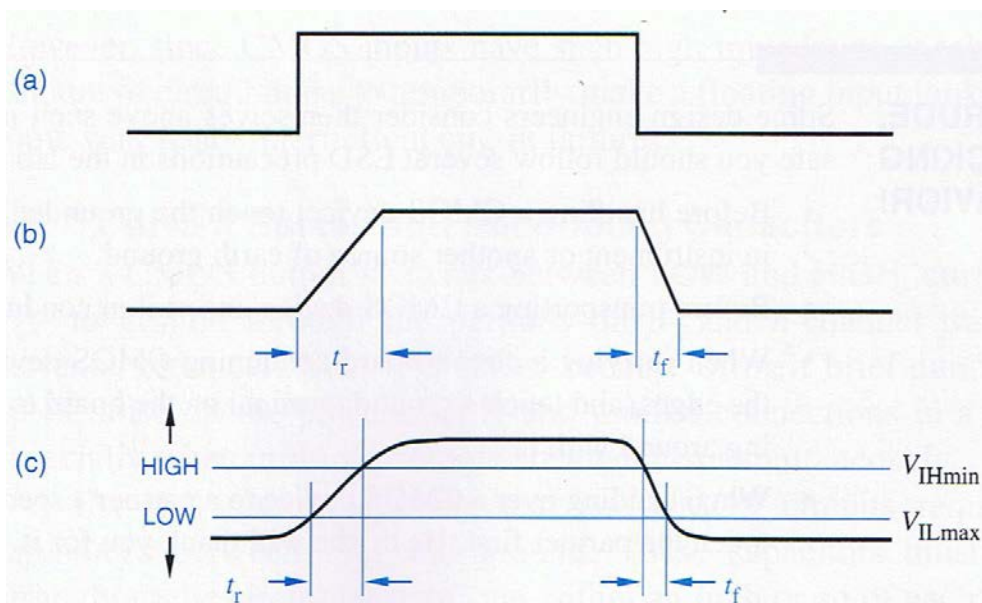
Последствия перегрузки выходов

- Выходное напряжение НИЗКОГО уровня может превысить $U_{вх.0.макс.}$ и НИЗКИЙ уровень будет определен как ВЫСОКИЙ;
- Выходное напряжение ВЫСОКОГО уровня может быть ниже $U_{вх.1.мин.}$ и ВЫСОКИЙ уровень будет определен как НИЗКИЙ;
- Время изменения уровня с НИЗКОГО на ВЫСОКИЙ и обратно превышает значение, допустимое спецификацией данной схемы;
- Задержка распространения сигнала через схему превышает значение, допустимое спецификацией данной схемы;
- Перегрев элементов схемы из-за повышенного тепловыделения, возникающего из-за перегрузки. В результате может возникнуть изменение параметров схемы (уровней напряжения, нагрузочных способностей, параметров быстродействия) или физическая порча перегретых элементов.

Длительность переключения выхода

Переключение выхода между НИЗКИМ и ВЫСОКИМ состояниями происходит *не мгновенно* - за определенное время, необходимое на перезарядку паразитных емкостей у элементов (транзисторов) и проводников (на плате, на кристалле микросхемы) цифровой схемы.

Вредные эффекты: нахождение выхода в неопределенном состоянии – неверное определение уровня сигнала; рассинхронизация в работе цифровых схем; повышенное потребление.



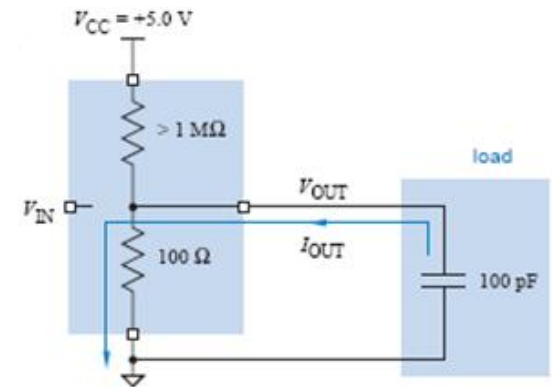
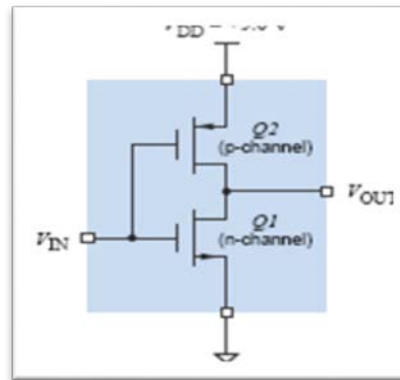
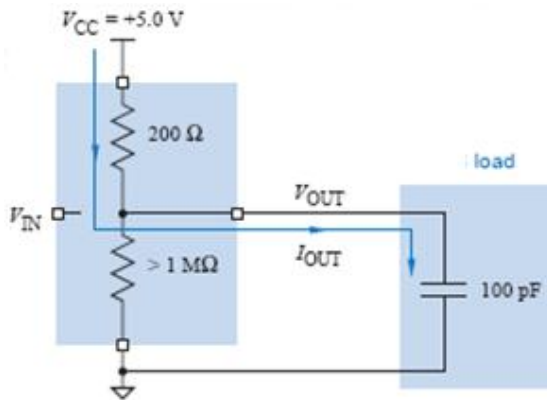
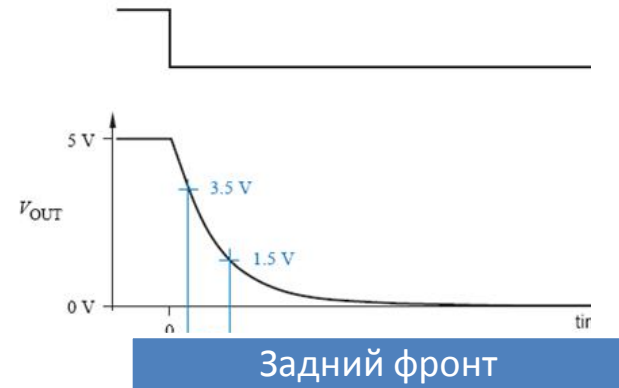
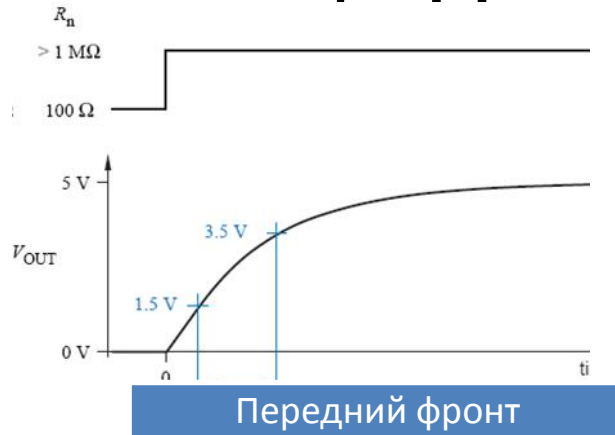
T_r – время переключения из НИЗКОГО в ВЫСОКИЙ уровень (rise time, длительность фронта)

T_f – время переключения из ВЫСОКОГО в НИЗКИЙ уровень (fall time, длительность спада)

T_r , T_f у современных микросхем бывает от десятков наносекунд до десятков пикосекунд.

Формы идеального без учета времени переключения (a), с учетом времени переключения (b) и реального (c) сигналов.

Передний и задние фронты цифрового сигнала

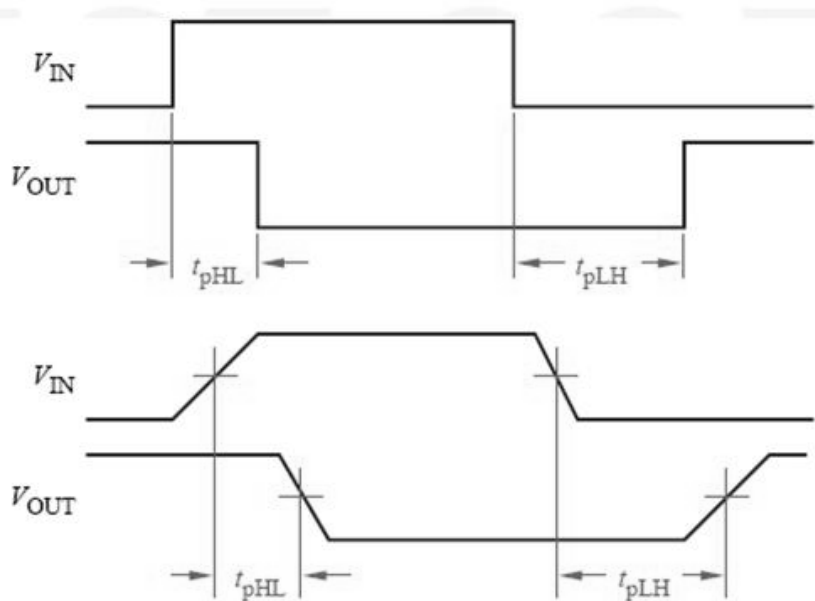


Длительность переднего фронта определяется временем заряда емкости цифрового входа от положительной шины питания через выходное сопротивление цифрового выхода

Длительность заднего фронта определяется временем разряда емкости цифрового входа на отрицательную шину питания через выходное сопротивление цифрового выхода

Задержка распространения сигнала

Задержкой распространения сигнала через элемент/схему (propagation delay, t_p) называют время между перепадом цифрового сигнала на входе элемента/схемы и вызванным им перепадом сигнала на выходе. Задержка распространения вызвана конечным временем срабатывания транзисторных ключей внутри элемента. Она будет больше, чем больше количество таких ключей по пути распространения сигнала внутри элемента.



Задержка распространения может быть разной для перепада на выходе с НИЗКОГО на ВЫСОКИЙ уровень (t_{pLH}) и для перепада с ВЫСОКОГО в НИЗКИЙ уровень (t_{pHL}).

Задержки распространения для современных интегральных микросхем находятся в диапазоне от десятков наносекунд до десятков пикосекунд.

Энергопотребление

- **Статическое рассеяние/потребление P_s** (static/ quiescent power dissipation/consumption) – количество энергии, которое потребляет схема, когда на ее входах и выходах постоянные уровни.

Возникает из-за теплового рассеивания энергии в результате:

- Рабочих токов схемы;
- Паразитных токов утечки элементов схемы.

- **Динамическое рассеяние/потребление P_d** (dynamic power dissipation/consumption) - потребление в момент переключения внутренних и выходных каскадов цифровых схем:
 - из-за мощных импульсов тока короткого замыкания в момент переключения двухтактных транзисторных каскадов.
 - рассеяние мощности при протекании паразитных токов перезаряда внутренних емкостей транзисторов при их переключении.

Чем выше частота переключения цифровых каскадов, тем больше рассеиваемая мощность.

Проблема энергопотребления и теплоотвода – одна из основных при проектировании современных цифровых микросхем.

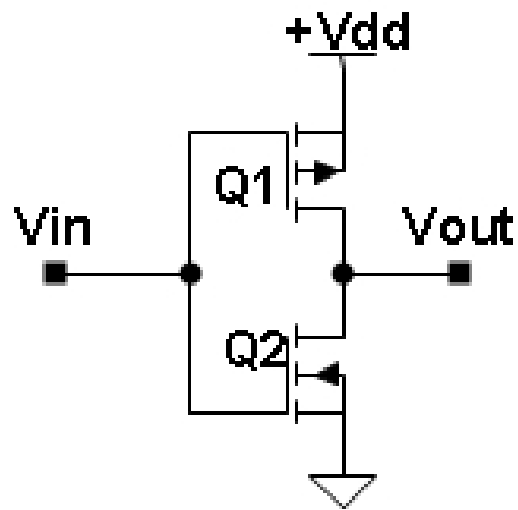
ПОРТЫ ВВОДА И ВЫВОДА ЦИФРОВЫХ СХЕМ

- Порт – точка подключения к системе.
- Цифровой порт ввода и(или) вывода - точка подключения внешних цифровых сигналов к цифровой схеме.
- В схемотехнике порты реализуются как специального типа каскады электрической схемы, имеющие повышенные мощность, помехоустойчивость, дополнительные функции.

Порты вывода (выходы) цифровых схем

- Двухтактный на комплементарных транзисторах (с активной нагрузкой)
- Однотактный с пассивной нагрузкой
- Открытый или (однотактный - без нагрузки)
- Двухтактный с тремя состояниями (с высокоомным состоянием)
- Двухнаправленный (вход-выход)

Двухтактный порт вывода



ОСНОВНОЙ ТИП ЦИФРОВЫХ ВЫХОДОВ :

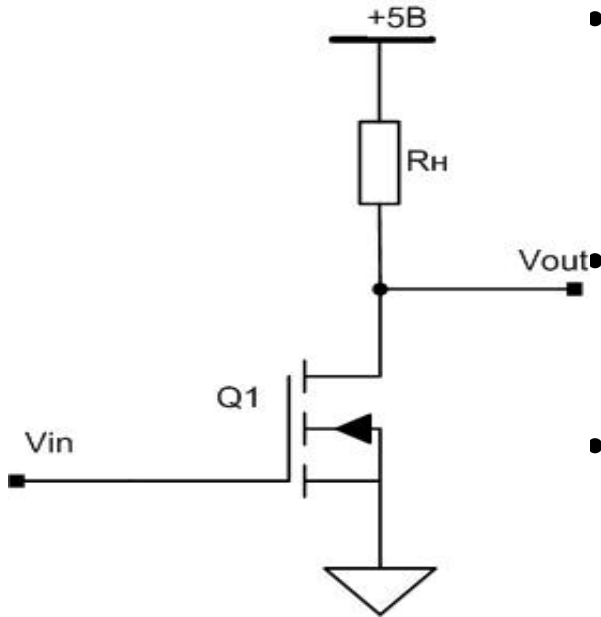
Низкое выходное сопротивление ($<10 \text{ Ом}$) и большой максимальный ток ($>10 \text{ mA}$) как для НИЗКОГО, так и для ВЫСОКОГО уровней обеспечивают высокую скорость переключения и большой коэффициент разветвления.

Большие сквозные пикосекундные импульсы тока в момент переключения уровня, возникают из-за неодновременного закрытия-открытия транзисторов.

Недопустимо подключение нескольких выходов к общей шине (например, к шине данных в ЭВМ), т.к. в случае установки ВЫСОКОГО уровня на одном выходе и НИЗКОГО уровня на другом шина питания будет «закорочена» через открытые транзистор Q1 первого выхода и Q2 второго выхода. Тогда общее сопротивление будет

$2 * 10 \text{ Ом} = 20 \text{ Ом}$, при напряжении питания $+5 \text{ В}$ будет протекать ток 250 mA , более чем в 20 раз больше допустимого.

Однотактный порт вывода с пассивной нагрузкой



- Однотактный выход построен на одном транзисторе, включенным по схеме с общим истоком/эмиттером и имеющем резистивную нагрузку в цепи стока/коллектора.
- При НИЗКОМ уровне мощность и нагрузочная способность близки к значениям для двухтактного выхода.
- При ВЫСОКОМ уровне выходной ток ограничен резистором R_H до 0.1...1mA, из-за чего уменьшается нагрузочная способность, увеличивается время перезарядки емкостей (выхода и подключенных входов) и снижается быстродействие.
- Несколько однотактных выходов можно подключить к одной шине: при этом НИЗКИЙ уровень будет доминантным (будет подавлять высокий), а максимальные токи будут ограничены R_H .

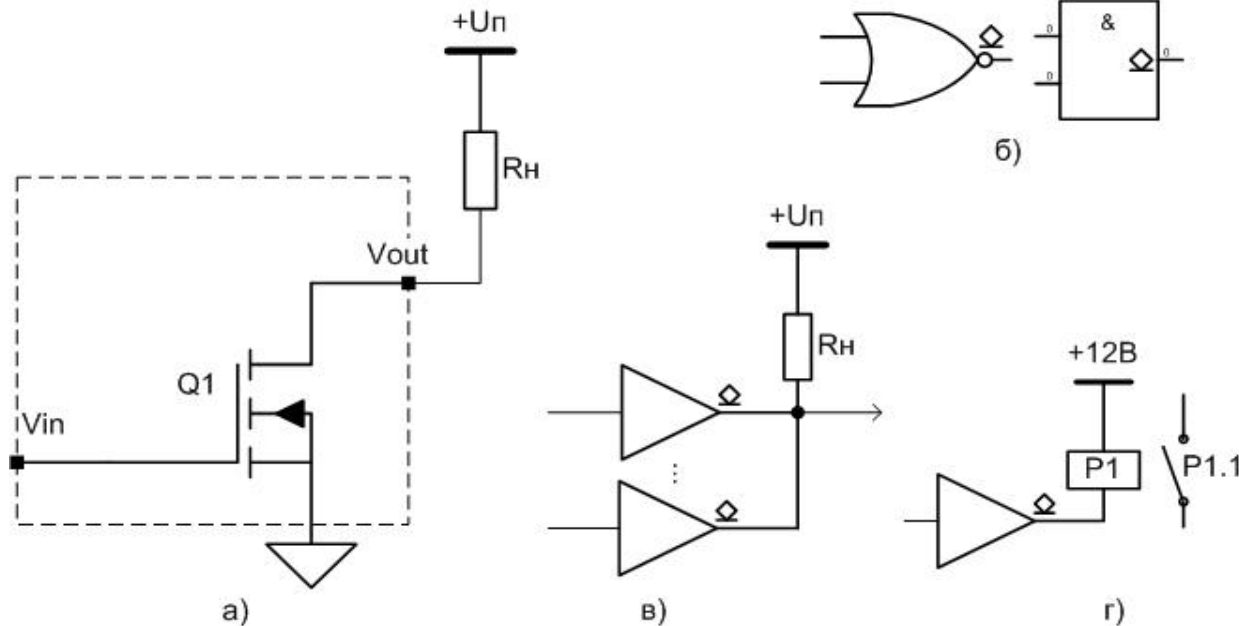
Открытый порт вывода

Это однотактовый выход без встроенной нагрузки. Нагрузочный элемент подключается к выходу извне. На рисунке – выход с открытым стоком (КМОП) / выход с открытым коллектором (ТТЛ).

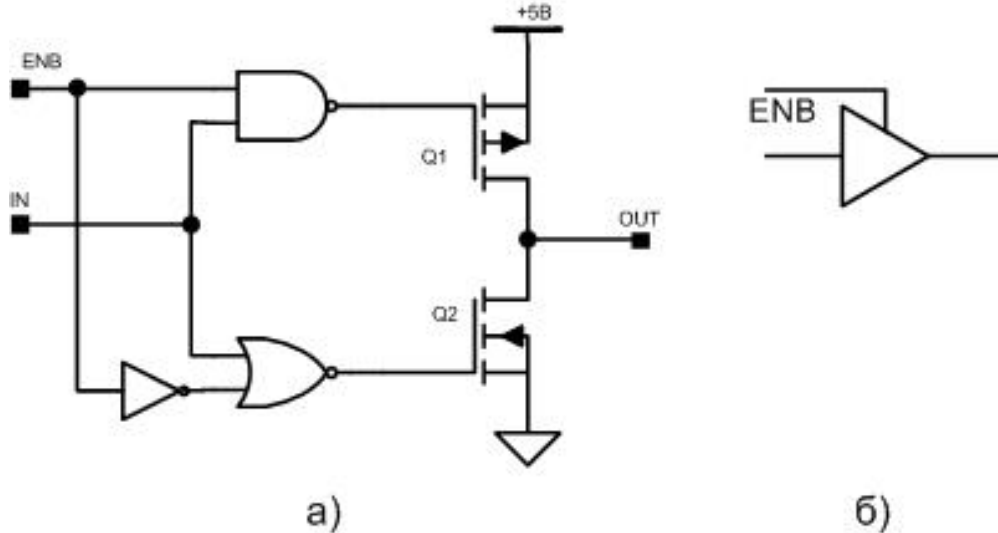
- **Достоинства**

- ✓ Возможность подключения к общей шине (рис. в)
- ✓ Возможность подключения нагрузки к напряжению, отличному от напряжения питания схемы выхода.

- **Недостатки** – аналогичны однотактовому выходу.

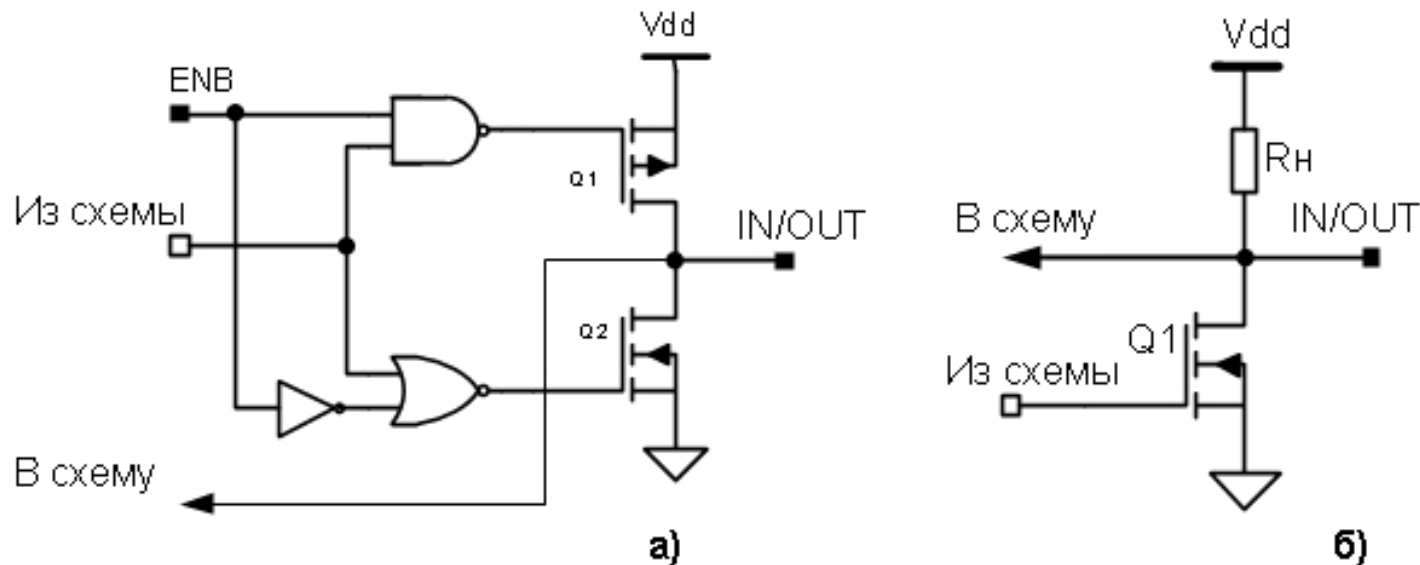


Порт вывода с высокоомным состоянием (с тремя состояниями)



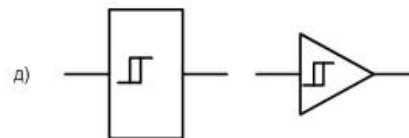
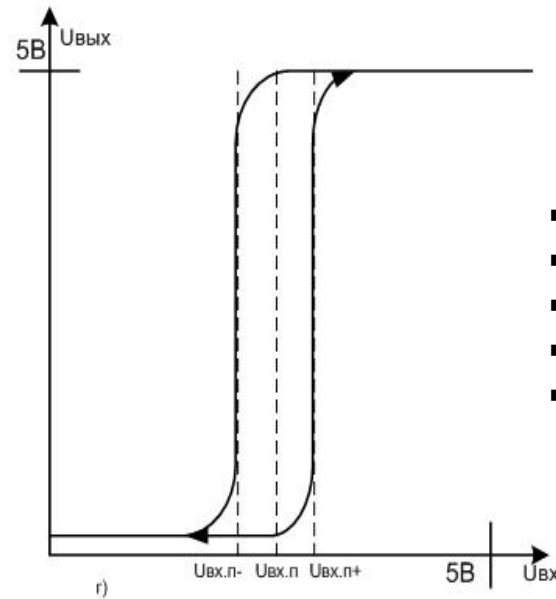
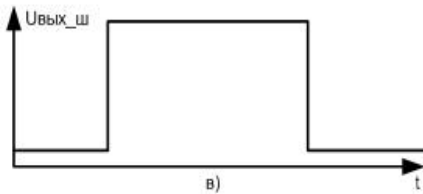
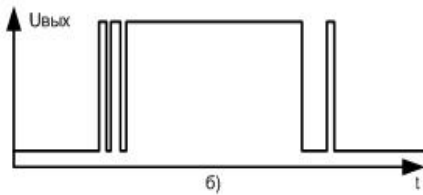
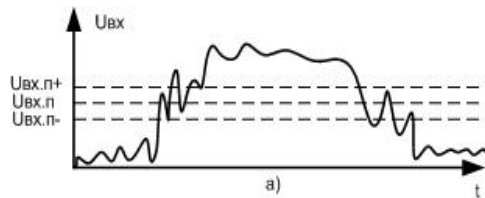
- Это двухтактный каскад с возможностью «размыкания» двух выходных транзисторов одновременно. В таком режиме выходной сигнал оказывается отключен от линий питания - выходное сопротивление несколько МОм.
- Переключение в высокоомное состояние выхода («третье» или Z-состояние) выполняется при подаче неактивного (по схеме - НИЗКОГО) уровня сигнала управления ENB (Output Enable).
- Выход с тремя состояниями – основной тип выхода для подключения к шинам с несколькими источниками, например, выход шины данных микропроцессоров.

Двунаправленные порты



- Двунаправленные порты используются для подключения к двунаправленным шинам (например, к шинам данных ЭВМ) или в качестве универсальных дискретных портов ввода-вывода ЭВМ.
- Считывание данных с двунаправленных портов осуществляется:
 - ✓ Для схемы на базе выхода с тремя состояниями - при установке ENB = «0» (рис. а);
 - ✓ Для схемы на базе одноканального выхода – при установке ВЫСОКОГО уровня на выход.

Порт ввода с триггером Шмитта



- Входной сигнал с помехами (а),
- Выходной сигнал повторителя (б),
- Выходной сигнал триггера Шмитта (в),
- Передаточная характеристика т.Шмитта (г),
- Условное обозначение триггера Шмитта (д)

Триггер Шмитта – повторитель сигнала, с неодинаковыми (смещенными) диапазонами ВЫСОКОГО и НИЗКОГО уровней входного сигнала для состояний с ВЫСОКИМ и НИЗКИМ уровнями сигнала на выходе.

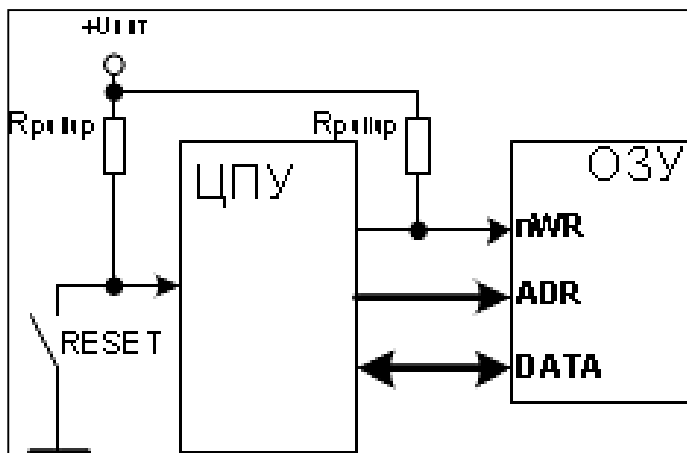
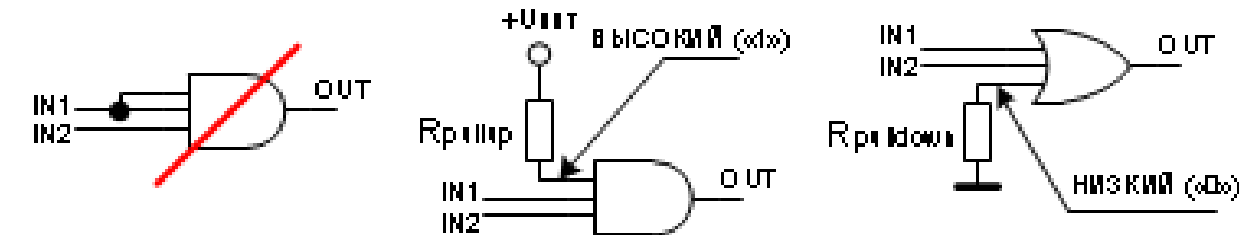
Триггер Шмитта имеет увеличенный уровень помехоустойчивости и используется как промежуточный помехозащищающий каскад **портов ввода** цифровой схемы.

Подтягивающие и понижающие резисторы

Подтягивающий (pull up) - резистор между сигналом и линией питания $+U_{пит}$ (V_{ss} , V_{ee}).

Понижающий (pull down) - резистор между сигналом и линией питания $-U_{пит}$ (V_{dd} , V_{cc}).

Сопротивление определяется макс. током выхода, сопротивлением(током) входов, суммарной емкостью входов и выходов и требуемым быстродействием, допустимой рассеиваемой мощностью.



Для установки ВЫСОКОГО/НИЗКОГО уровней на неиспользуемых логических входах:

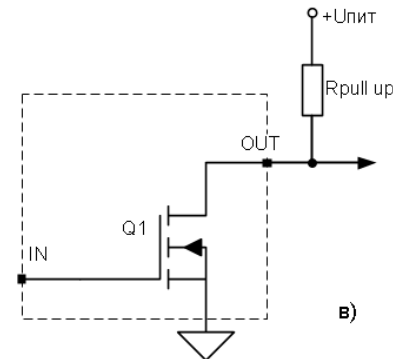
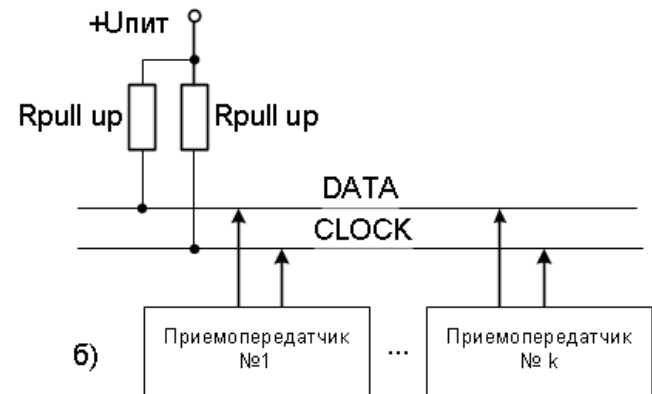
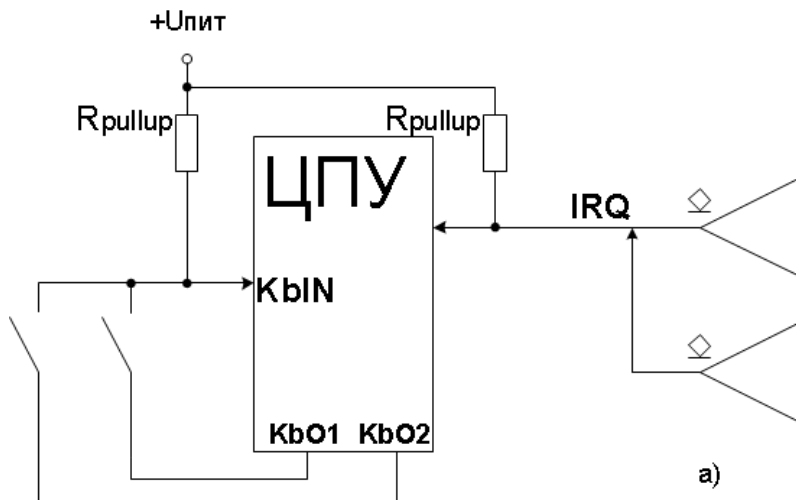
- Установка заданных уровней на неиспользуемых входах логических элементах (например, при использовании 3-х входных логических элементов для операций с двумя переменными);
- На конфигурационных входах цифровых (микро)схем (например, на входах управления записью в микросхемы памяти, для предотвращения записи пока процессор в состоянии «СБРОС/RESET»);
- Защита от помех по неиспользуемым входам.

Подтягивающие и понижающие резисторы. Применение (2).

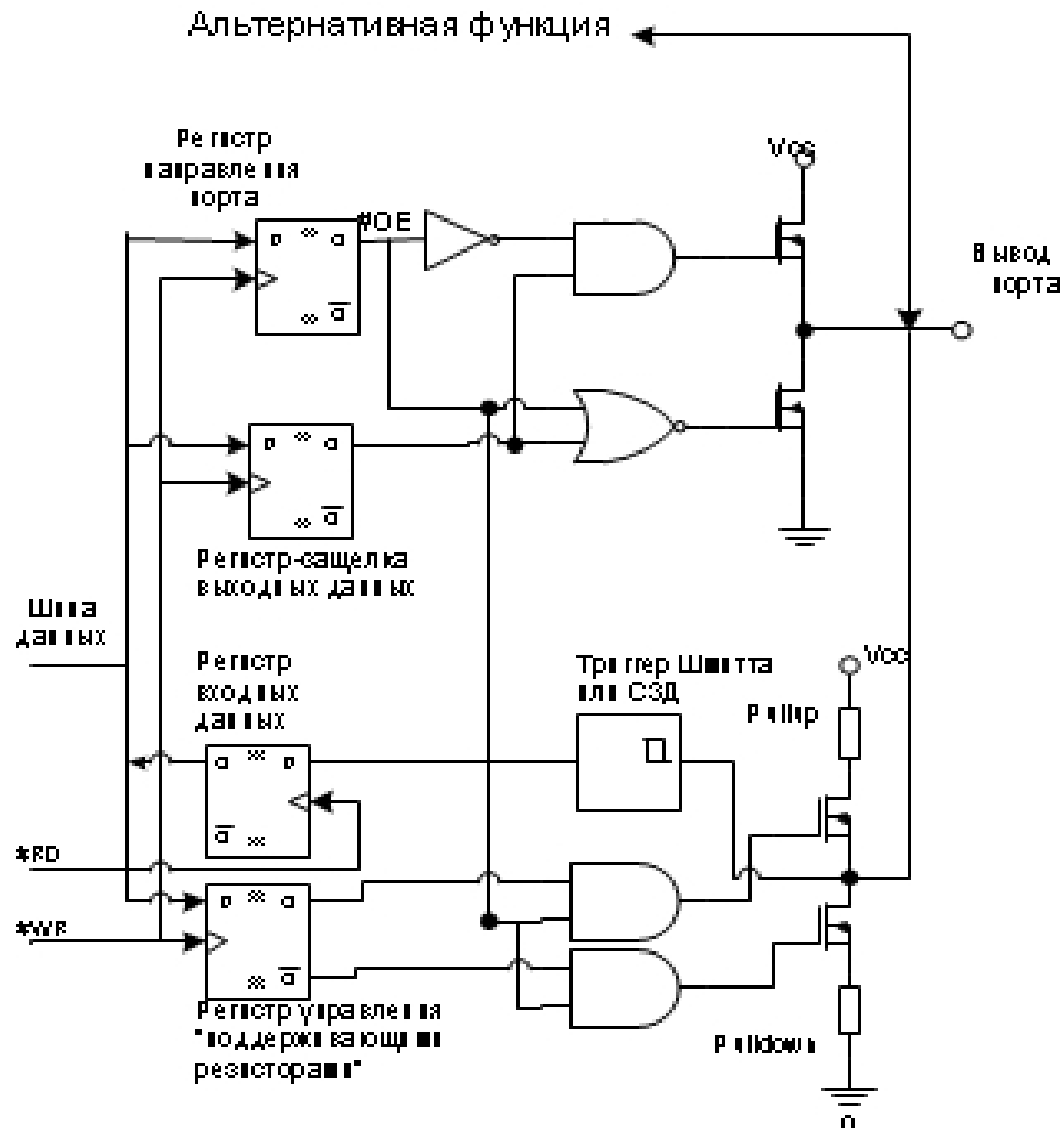
а) Для установки уровня «по умолчанию» для цифровых сигналов: установка уровня, который будет считан на входе при неактивных источниках сигнала. Например, на входе запросов прерываний, когда нет активных запросов прерываний; на входах данных с клавиатуры, когда не нажата ни одна кнопка.

б) Для установки пассивного (рецессивного) уровня на шинах с множественным доступом (например, I²C) или в схемах монтажной логики.

в) В качестве нагрузки для портов с открытым выходом.



Пример полнофункционального дискретного порта ввода-вывода



Специальные варианты использования портов

- Монтажная (проводная) логика
- Организация шин:
 - На базе открытых выходов;
 - На базе выходов с тремя состояниями.
- Увеличенные мощность и напряжение выхода:
 - Управление светодиодами
 - Управление индуктивными нагрузками (реле, электродвигатели)
- Использование подтягивающих резисторов:
 - Защита от «плавающих» входов;
 - Организация опроса кнопок.

Электропитание цифровых схем

- **Условное обозначение:**

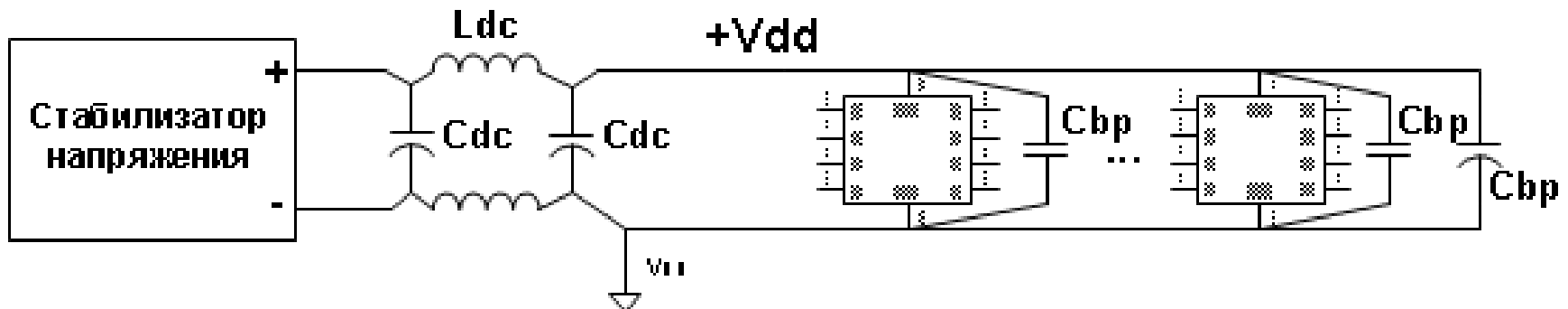
Vee или Vss – общая или нулевая шина питания: к ней подключаются эмиттеры-emitter (для ТТЛ) или истоки-drain (для КМОП) транзисторов – отсюда появились индексы **ee** и **ss**.

Vcc или Vdd – шина питания: индексы **cc** и **dd** показывают, что питание попадает на коллекторы-collector (ТТЛ) или стоки-drain (КМОП) транзисторов, подключенных к общей шине (Vee или Vss).

- **Требования к стабильности напряжения питания:** $U_{пит} = U_{пит.ном.} \pm 10\%$.

- **Требования к фильтрации для защиты от импульсных помех по линиям питания:**

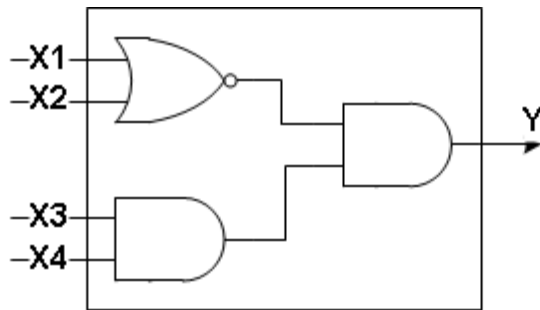
- установить блокировочные (фильтрующие) конденсаторы (bypass capacitor) между линиями питания (Vcc/dd и Vee/ss) в непосредственной близости от микросхем:
 - Не менее чем один **высокочастотный** керамический конденсатор на 3-4 микросхемы стандартной логики при их близком расположении и один электролитический (лучше танталовый) конденсатор на 5-10 микросхем;
 - Один конденсатор один **высокочастотный** керамический конденсатор непосредственно около каждого вывода Vcc/dd и и один-два электролитических (лучше танталовых) конденсатора на всю микросхему;
- Развязывающие (decoupling) фильтры по линиям питания: конденсаторы на выход стабилизатора и индуктивности в разрыв линий питания и нуля с выхода стабилизатора питания, лучше отдельные по линиям питания каждого блока (блоков процессора и памяти, коммуникационных интерфейсов, ввода вывода)



Комбинационные и последовательностные схемы

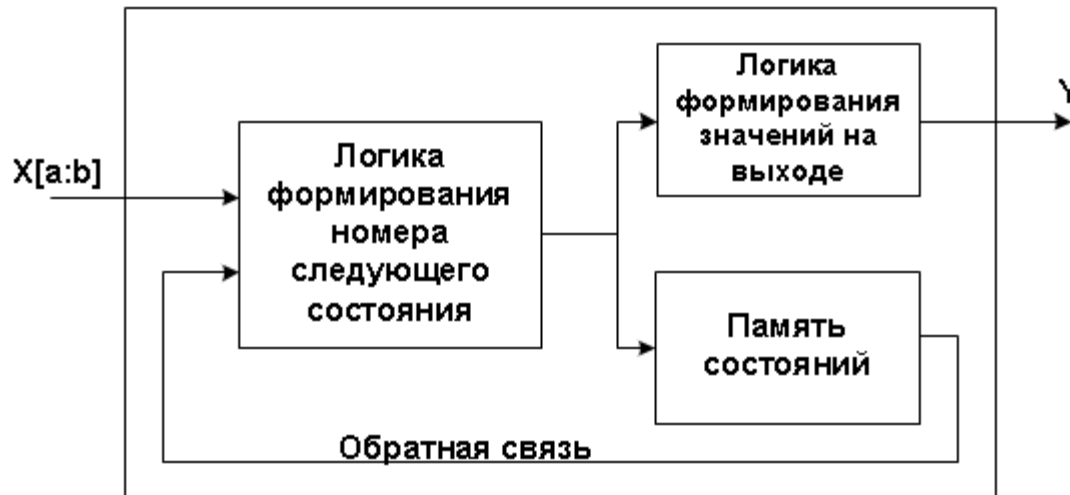
- **Комбинационные цифровые схемы** - состояние выходов является функцией состояния входов, то есть текущее значение на выходах схемы зависит только от текущих значений на входах и не зависит от предыстории их изменения. Комбинационные цифровые схемы не имеют в составе обратных связей и элементов памяти. Функция, комбинационной схемы записывается в виде логического (булева) выражения или таблицы истинности.
- **Последовательностные схемы (автоматы с памятью)** - состояние выходов является функцией текущего состояния входов и от предыстории их изменения (от предыдущих состояний схемы). Для запоминания и учета предыстории схема должна иметь запоминающие элементы (память) и обратную связь от этих элементов ко входам схемы. Функция последовательностной схемы описывается совокупностью описаний функции комбинационной логики формирования номера следующего состояния (логика переходов) и функции комбинационной логики формирования значений на выходе (логика выходов).

Комбинационные и последовательные схемы



Пример комбинационной схемы и ее описания

$$Y = (\text{not } (X1 \text{ or } X2)) \text{ and } (X3 \text{ and } X4)$$



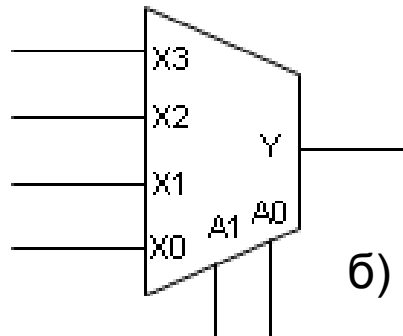
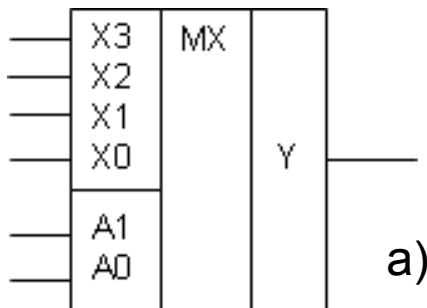
Структура последовательной схемы – автомата с памятью

Функциональные узлы

Функциональные узлы цифровых схем – это схемы, выполняющие типовые операции в составе более крупных цифровых схем.

Функциональный (цифровой) элемент – это функциональный узел, являющийся функционально и конструктивно неделимым и имеющим свое обозначение в языке некоторого уровня описания схемы.

- Уровни описания схемы: вентильный (логические элементы), регистровых пересылок (регистры, мультиплексоры, АЛУ), модульный (процессоры, микросхемы памяти), блочный (блоки (платы) памяти, процессорные и другие электронные блоки).
- Языки описания схем:
 - Графические (блочно-функциональные (а) и принципиальные (б) схемы);
 - Текстовые (hardware description language - HDL) описания (в).



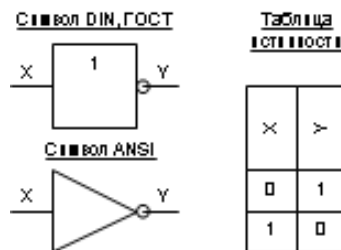
Module MUX_4_1 (A, X0, X1, X2, X3, Y);
Input (1:0) A;
Input X0, X1, X2, X3;
Output Y;

в)

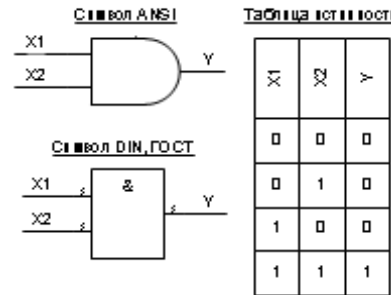
Функциональные элементы: логические элементы/вентили.

Логические элементы или вентили - реализуют *комбинационные* функции булевой алгебры: НЕ/NOT (отрицание), ИЛИ/OR (дизъюнкция), И/AND (конъюнкция), ИЛИ-НЕ/NOR (дизъюнкция с отрицанием), И-НЕ/NAND (конъюнкция с отрицанием), ИСКЛЮЧАЮЩЕЕ ИЛИ/XOR, ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ/XNOR. Вентили имеют два или большее число входов (вентиль НЕ имеет один вход) и один выход.

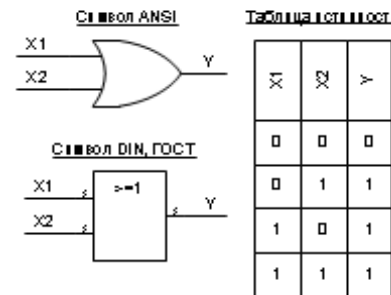
Элемент НЕ (NOT)



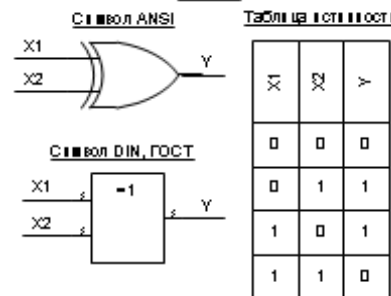
Элемент И (AND)



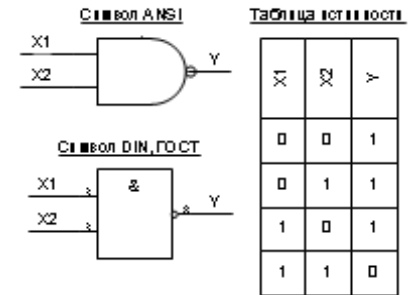
Элемент ИЛИ (OR)



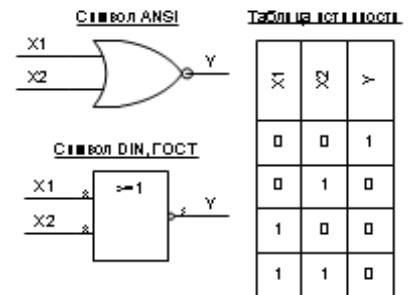
Элемент ИСКЛЮЧАЮЩЕЕ ИЛИ (XOR)



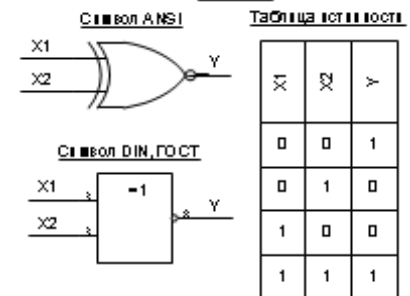
Элемент И-НЕ (NAND)



Элемент ИЛИ-НЕ (NOR)



Элемент ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ (XNOR)



Функциональные элементы: цифровые триггеры.

Цифровые **триггеры** – простейшие последовательностные цифровые элементы с несколькими (обычно в два) устойчивыми состояниями, переключение .

Триггер – основной тип **элемента памяти** при построении произвольных последовательностных схем, а также используется как базовая ячейка запоминающих элементов (регистров, блоков быстрой памяти) в вычислительных системах.

Триггер может быть построен как на базе логических элементов, так и на дискретных компонентах.

Основные типы триггеров: RS, D, T, JK.

Функциональные элементы: базовые операционные элементы

- Базовые операционные элементы (БОЭ) - структурные блоки сложных схем, реализующие некоторые типовые операции обработки цифровых сигналов. БОЭ характеризуются структурной (выпускаются в качестве микросхем или являются ячейками ПЛИС/БМК) и функциональной завершенностью.
- Как цифровые схемы БОЭ разделяют на:
 - БОЭ комбинаторного типа: мультиплексоры, шифраторы, дешифраторы, сумматоры, компараторы, сдвигатели, схемы свертки, сумматоры-вычитатели, умножители и АЛУ.
 - БОЭ типа с элементами памяти: счетчики/делители, регистры, последовательностные умножители/делители и другие математические вычислители.

Мультиплексоры

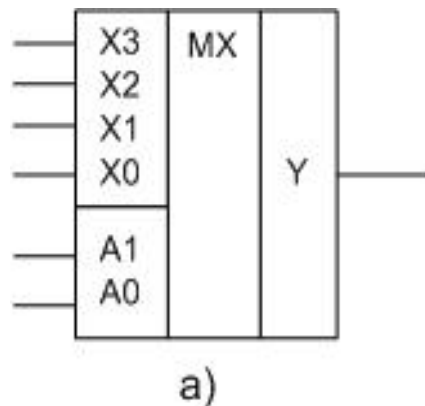
Мультиплексор (multiplexer) – комбинационный БОЭ который осуществляет коммутацию одного из нескольких цифровых входов на один выход (говорят: «мультиплексор n в 1»). Номер подключенного входа задается двоичным кодом на специальном k -разрядном адресном входе $n_{\max} = 2^k$.

Для коммутации многоразрядного кода используют несколько одnorазрядных мультиплексоров с параллельно соединенными адресными входами – многоразрядный мультиплексор (говорят: « m -разрядный мультиплексор n в 1»).

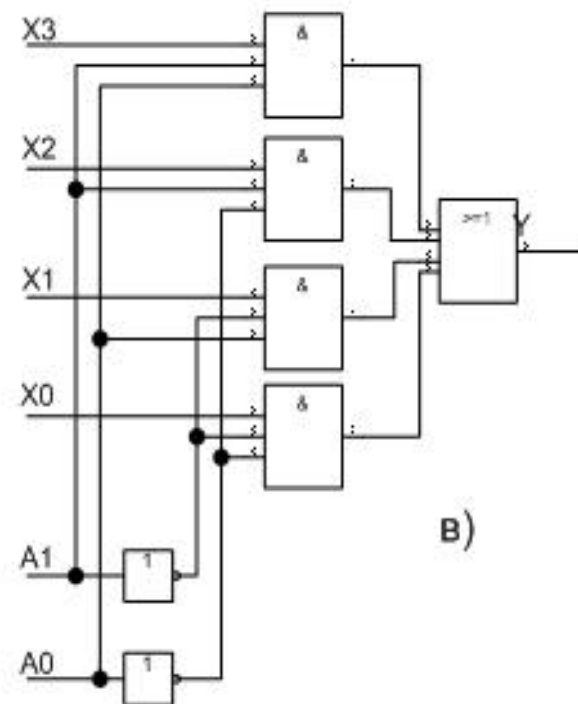
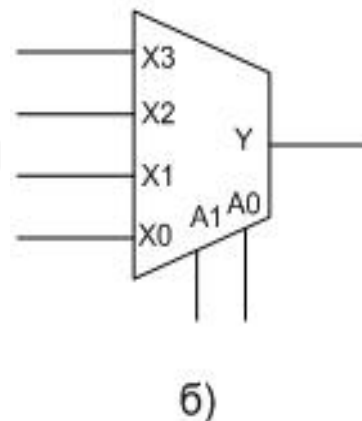
МУЛЬТИПЛЕКСОР – ОДИН ИЗ КЛЮЧЕВЫХ ЭЛЕМЕНТОВ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ

Применение:

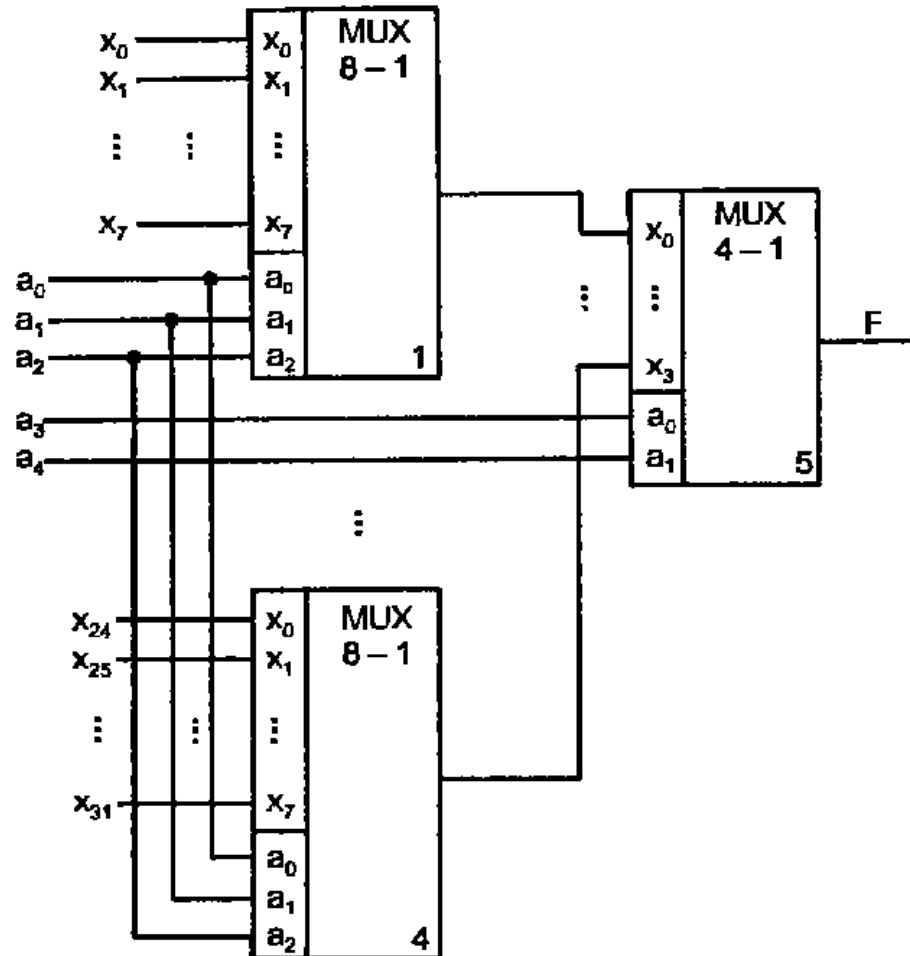
- ✓ Подключение нескольких блоков к одной шине или к одному выходу цифровой схемы (к выводу микросхемы).
- ✓ Построение универсальных логических модулей (УЛМ) или Look Up Table (LUT): схем, конфигурируемых на реализацию произвольной логической функции.
- ✓ Реализация комбинационных сдвигателей.



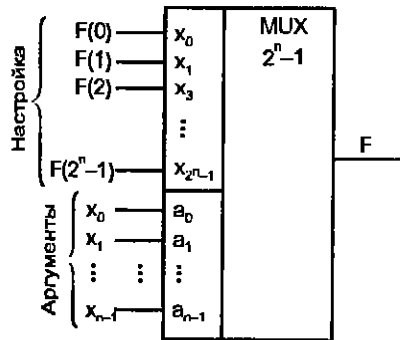
A1	A0	X3	X2	X1	X0	Y
0	0	0/1	0/1	0/1	0/1	X0
0	1	0/1	0/1	0/1	0/1	X1
1	0	0/1	0/1	0/1	0/1	X3
1	1	0/1	0/1	0/1	0/1	X4



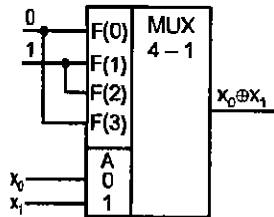
Наращивание «ширины» мультиплексора



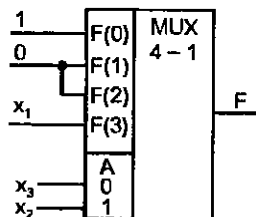
Мультиплексоры в составе УЛМ (LUT)



а



б



в

Схема УЛМ на мультиплексоре (а), пример воспроизведения функции при настройке константами (б) и при переносе аргумента в число сигналов настройки (в)

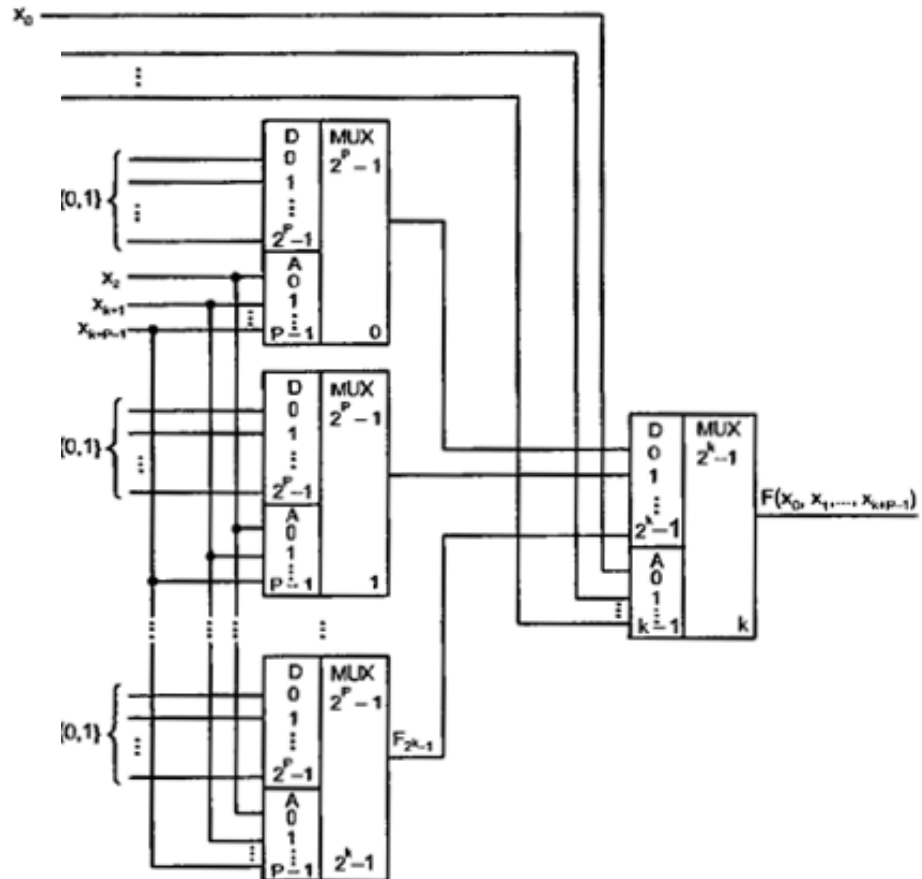


Схема УЛМ на нескольких мультиплексорах

Демультимплексоры

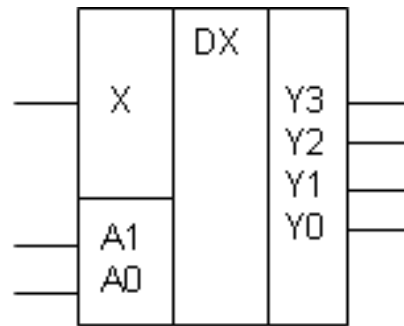
Демультимплексор (demultiplexer) –

комбинационный БОЭ по функции обратный мультиплексору: осуществляет коммутацию одного цифрового входа на один из нескольких цифровых выходов (говорят: «демультимплексор 1 в n »). Номер подключенного выхода задается двоичным кодом на специальном k -разрядном адресном входе $n_{\max} = 2^k$.

Для коммутации многоразрядного кода используют несколько одnorазрядных демультимплексоров с параллельно соединенными адресными входами – многоразрядный демультимплексор (говорят: « m -разрядный демультимплексор 1 в n »).

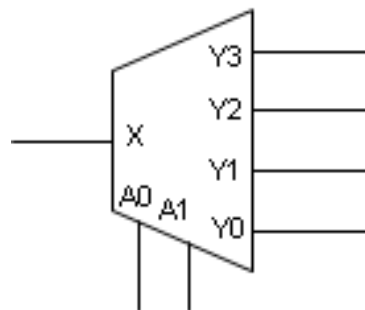
Применение:

- ✓ Подключение входов одного из нескольких блоков к одному входу цифровой схемы (k входному выводу микросхемы).
- ✓ Подключение источника данных к одному из нескольких каналов передачи данных (используется в шинных и сетевых коммутаторах).

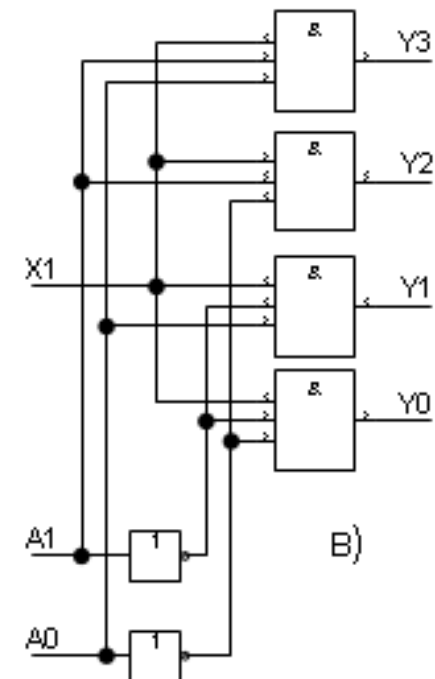


а)

\bar{A}_1	A_1	\times	Y_3	Y_2	Y_1	Y_0
0	0	0/1	0	0	0	X
0	1	0/1	0	0	X	0
1	0	0/1	0	X	0	0
1	1	0/1	X	0	0	0



б)



в)

Дешифратор (Decoder)

Дешифратор – комбинационный БОЭ который преобразует входной код в отличный от него выходной код *с равным или большим количеством разрядов*.

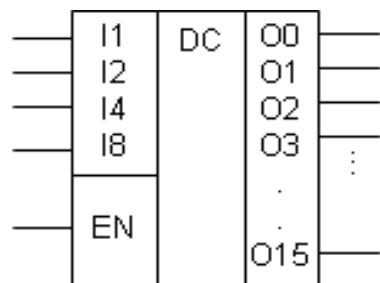
Двоичный дешифратор (полный) – преобразует K -разрядное двоичное число в 2^K -разрядный унитарный код (код «1 из N »).

Неполный двоичный дешифратор имеет $< 2^K$ разрядов на выходе, т.е. некоторым комбинациям на входе нет соответствующего унитарного кода на выходе (все «0»).

Дешифратор специальных кодов – на входе и/или выходе иные типы кодов.

Дешифратор семисегментного индикатора - на входе двоичное число, на выходе код управления для высвечивания этого числа на семисегментном индикаторе.

Дешифратор: обозначение и схема

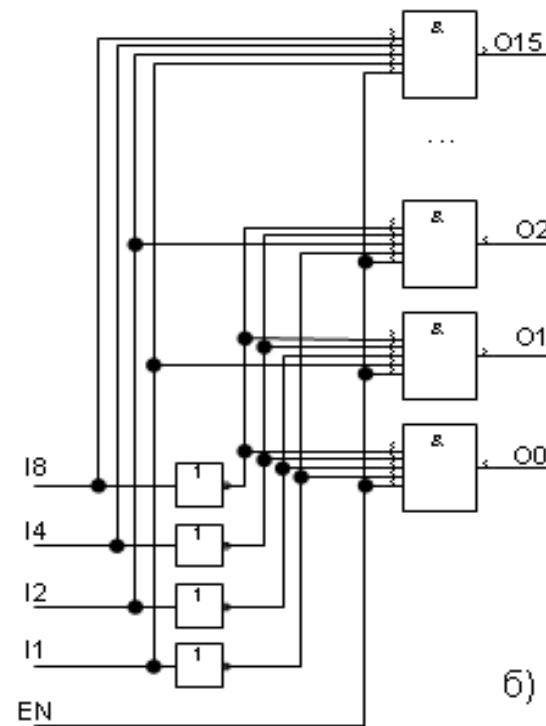


а)

EN	I8	I4	I2	I1	O15	...	O2	O1	O0
0	0/1	0/1	0/1	0/1	0	...	0	0	0
1	0	0	0	0	0	...	0	0	1
1	0	0	0	1	0	...	0	1	0
1	0	0	1	0	0	...	1	0	0
1	1	1	1	1	1	...	0	0	0

{I8,I4,I2,I1} – входной четырехразрядный двоичный код;
{O15,O14,..., O0} – выходной унитарный код.
EN (ENABLE) – вход разрешения преобразования: дешифратор выполняет преобразование только, если на входе EN активный уровень («EN» = 1 или «not EN» = 0).
 При неактивном уровне на выходах все «0».
 Примеры:

EN=1 I = {0101} => O={00000000000100000}
 EN=1 I = {0111} => O={00000000100000000}
 EN=0 I = {0101} => O={00000000000000000}
 EN=0 I = {0111} => O={00000000000000000}



б)

Применение дешифраторов

- ✓ В качестве селектора одного из устройств (памяти, ввода-вывода), подключенных к общей процессорной шине, но имеющих разные адреса (селектор адреса) (верхний рисунок)
- ✓ В составе контроллера матричной Клавиатуры для последовательного перебора строк клавиатуры
- ✓ В качестве схемы, реализующей произвольную логическую функцию или для построения дешифратора специальных кодов (нижний рисунок)

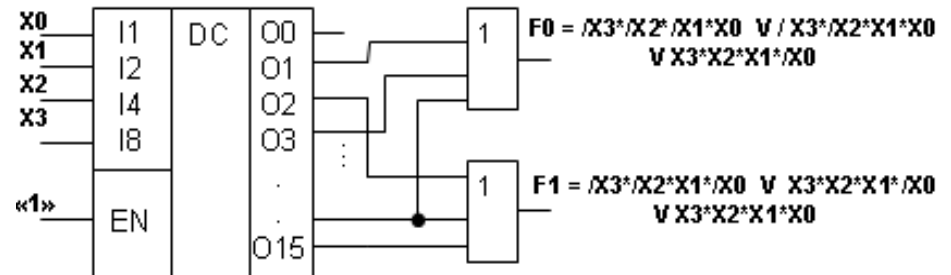
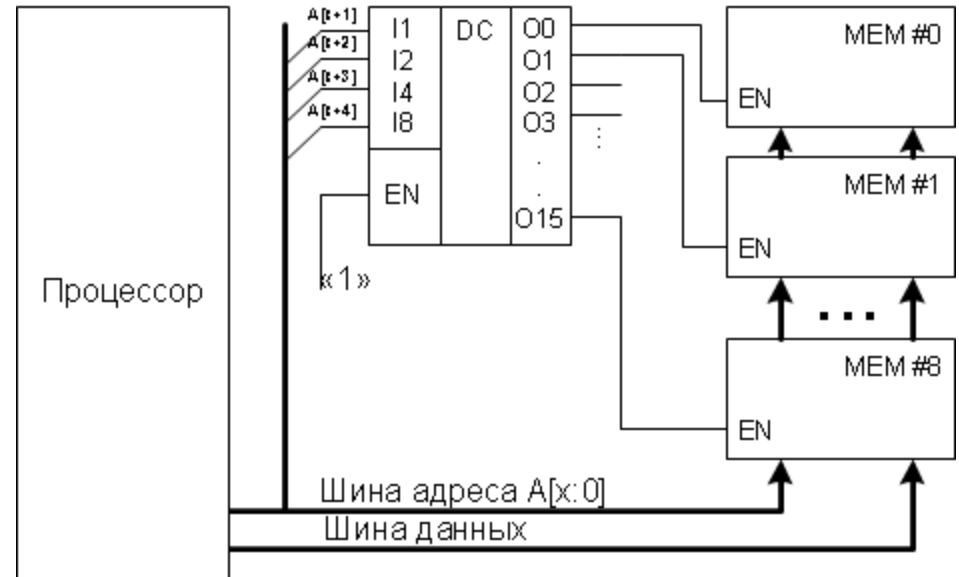
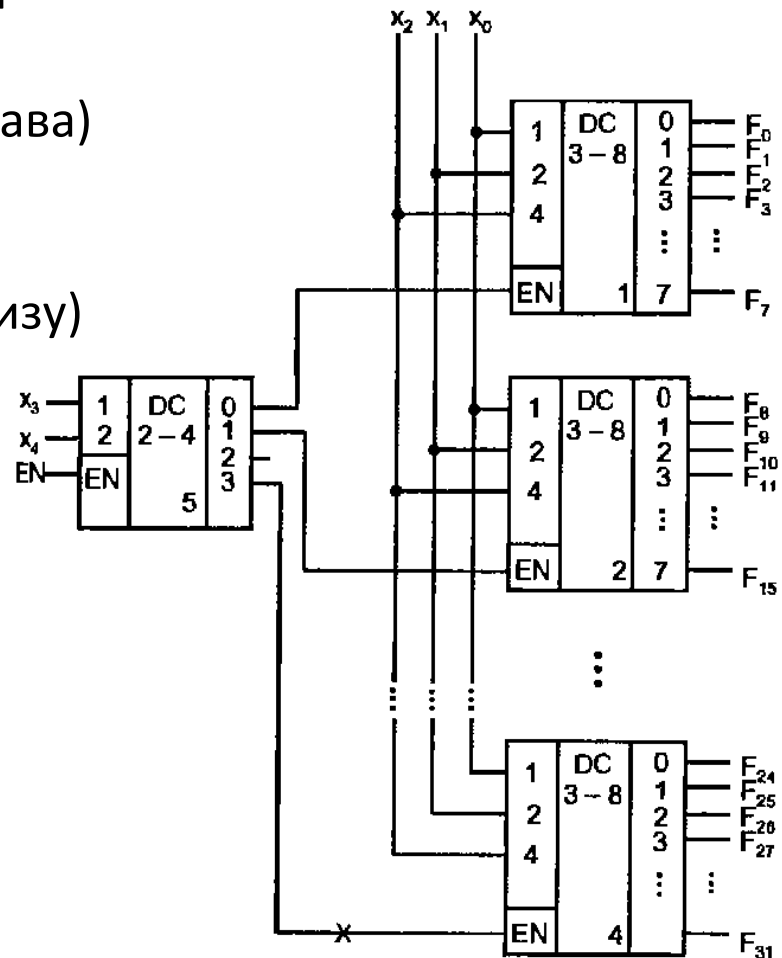
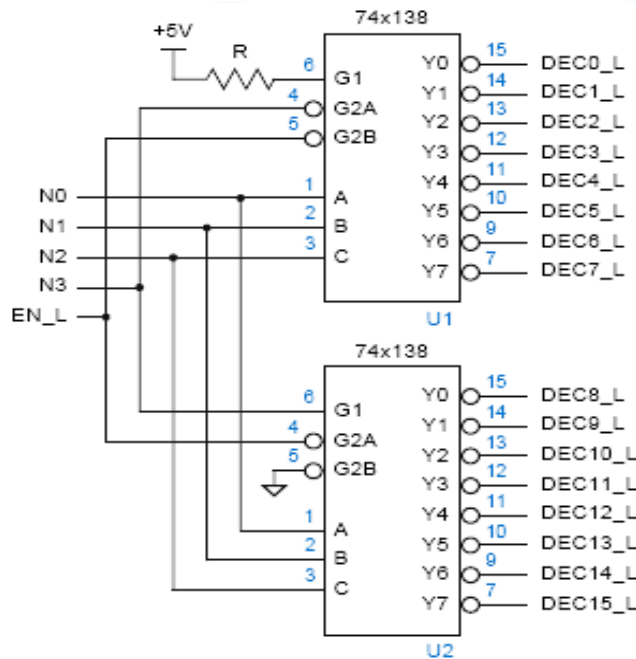


Схема наращивания размерности двоичного дешифратора

- Для наращивания размерности дешифраторов используют каскадное включение (рис. справа) или дешифраторы с входами разрешения (EN или GATE) различной полярности (рис. снизу)



Дешифратор семисегментного индикатора

Нумерация сегментов:

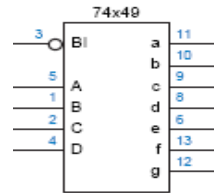
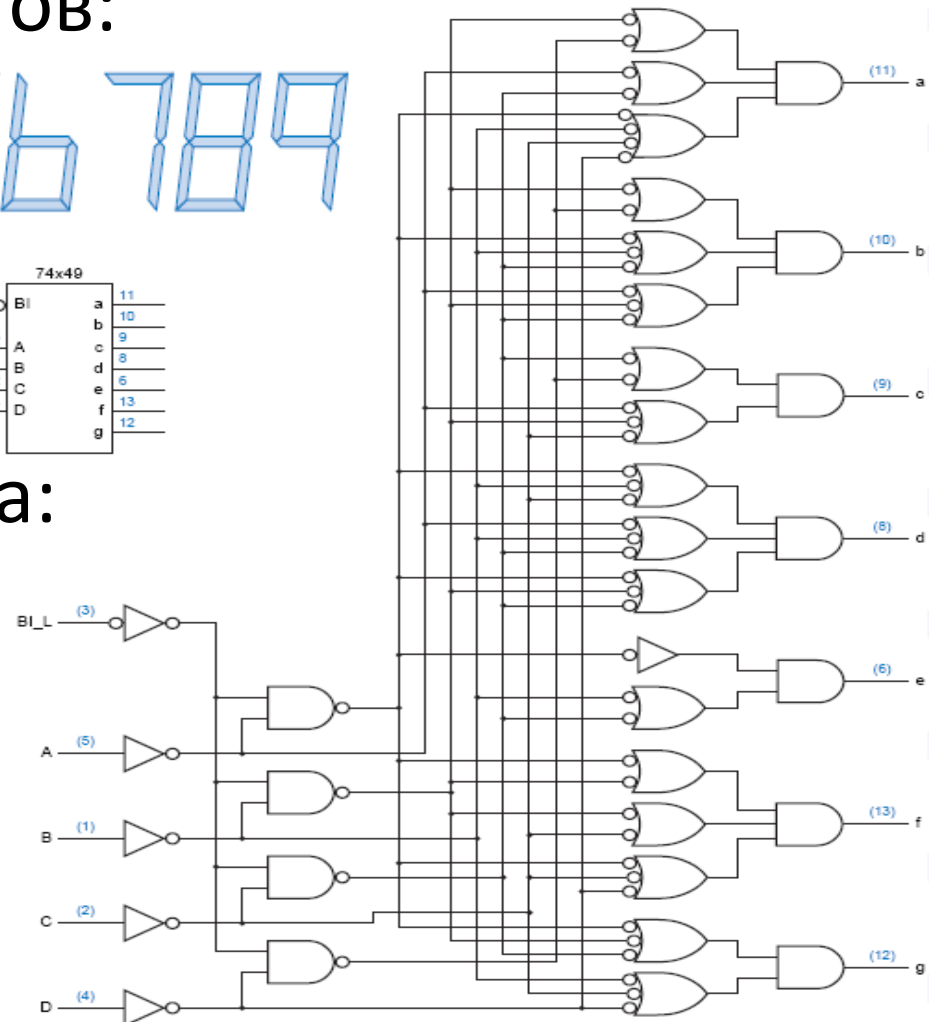


Схема дешифратора:



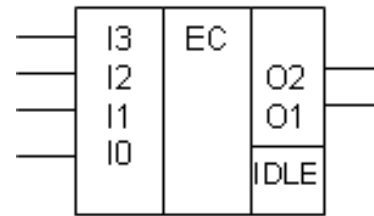
Шифратор (Encoder)

Шифратор – комбинационный

БООИ который преобразует входной

код в отличный от него выходной

код с меньшим количеством разрядов.



I3	I2	I1	I0	O2	O1	IDLE
0	0	0	0	0	0	1
0	0	0	1	0	0	0
0	0	1	1	0	1	0
0	1	1	1	1	0	0
1	1	1	1	1	1	0

Двоичный шифратор – преобразует 2^k -разрядный унитарный код (код «1 из N») в K-разрядное двоичное число.

Приоритетный двоичный шифратор (см. таблицу истинности) – при появлении более одного активного входного сигнала выдает на выходе код (номер) входа с наибольшим порядковым номером, т.е. с наибольшим приоритетом.

Применение - кодирование номера активного сигнала и арбитраж нескольких активных сигналов, например, выбор наиболее приоритетного из нескольких запросов прерывания.

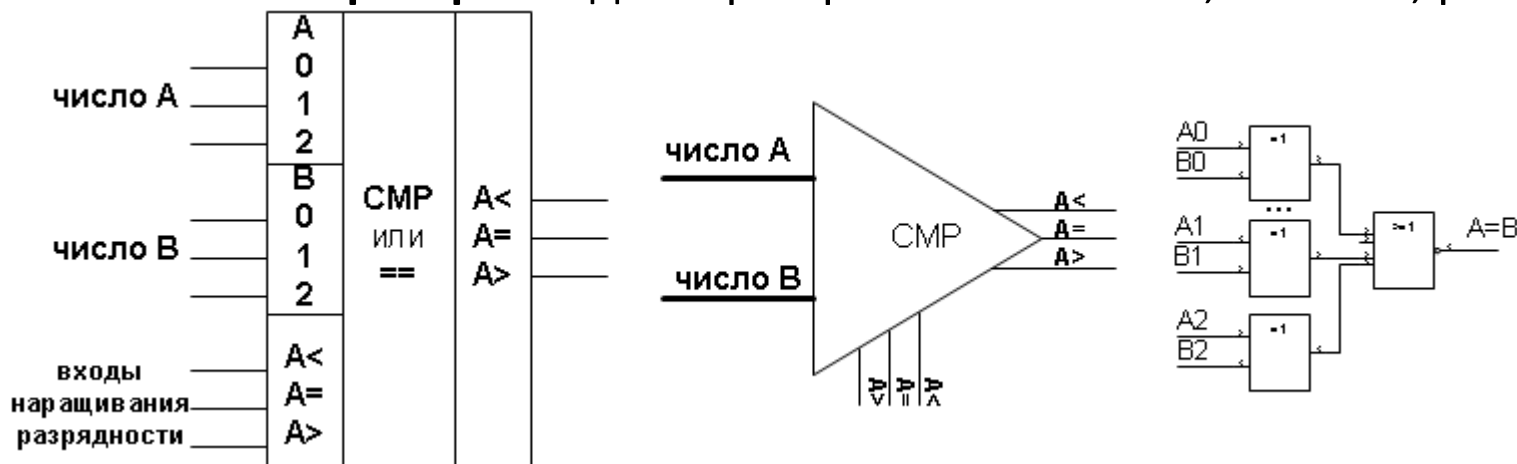
Компаратор (Comparator)

Компаратор – БОЭ, определяющий соотношение между двумя числами, поданных на входы компаратора. Числа на вход подаются в виде двоичных кодов, результаты определяются значениями одноразрядных цифровых сигналов = признаков.

Компаратор на равенство – формирует только одноразрядный признак «равно-не равно».

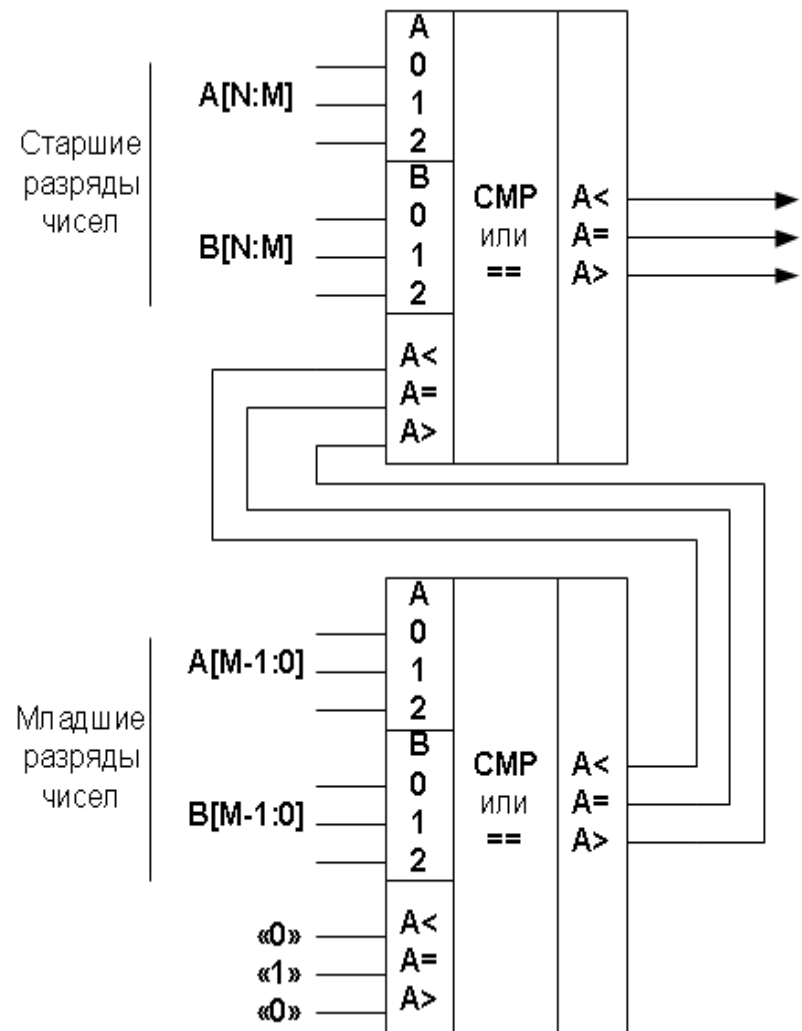
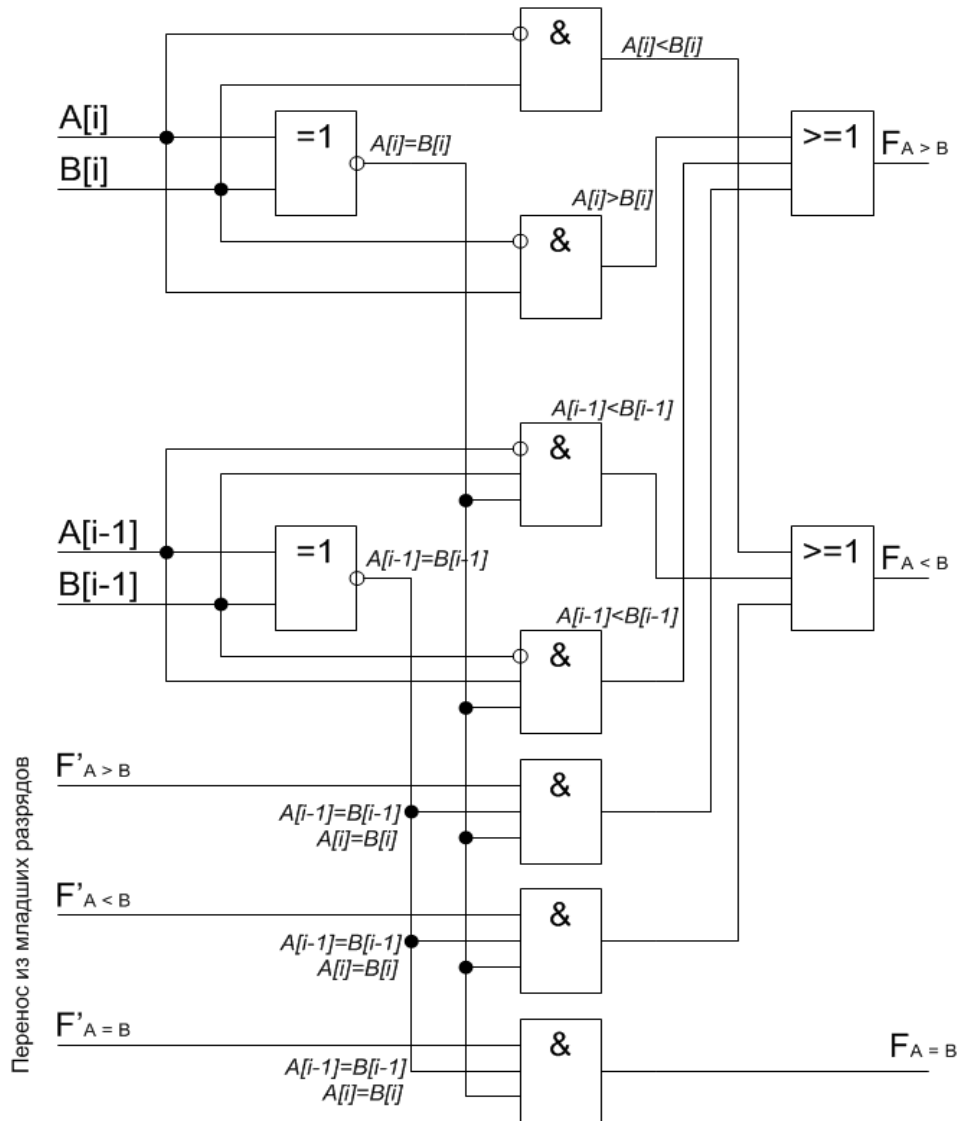
Компаратор больше-меньше выдает только одноразрядный признак «больше (равно) - меньше»

Полный компаратор – выдает три признака: больше, меньше, равно.

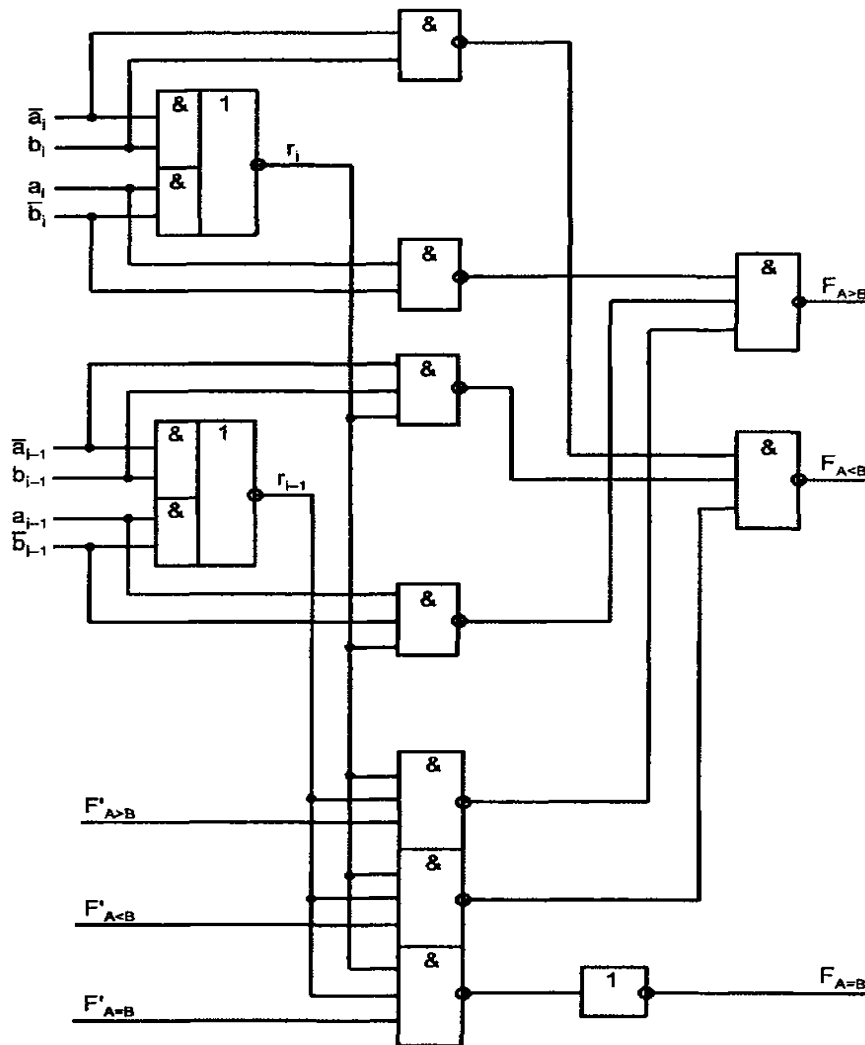


Обозначение компараторов на принципиальных и блок-схемах и схема компаратора на равенство

Компаратор: схема и наращивание



Компаратор: реализация в базисе элементов И-НЕ, ИЛИ-НЕ



Схемы контроля

Схемы контроля – класс БОЭ, реализующих функции контроль целостности (отсутствия ошибок) данных и схем обработки посредством проверки специальных кодов.

Виды схем контроля:

- Контроль по модулю 2 (схемы свертки);
- Контроль с использованием кодов Хемминга и других.
- Мажоритарный контроль (схемы голосования)
- Контроль циклических кодов (CRC) (*итеративные последовательностные БОИ*)

Схемы свертки (по модулю 2)

Схемы свертки типа $2K$ (контроль по четности) принимают на вход многоразрядный код и формируют на выходе одnorазрядный сигнал $=1$, если число единиц на входе четное и $=0$, если число единиц на входе нечетное.

У схем $2K+1$ (контроль по нечетности) – наоборот.

При хранении и передаче данных сформированный таким образом контрольный разряд хранится вместе с данными и проверяется перед использованием данных. Если в числе был искажен один разряд, то хранимый и повторно сформированный биты свертки будут не равны.

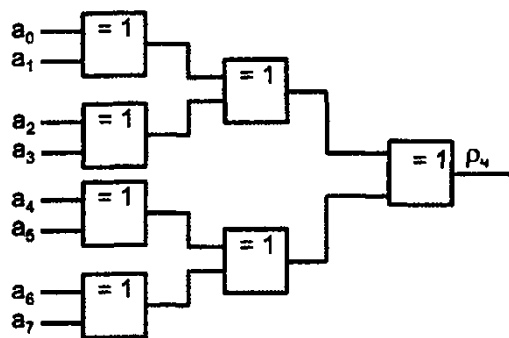


Схема свертки пирамидального типа

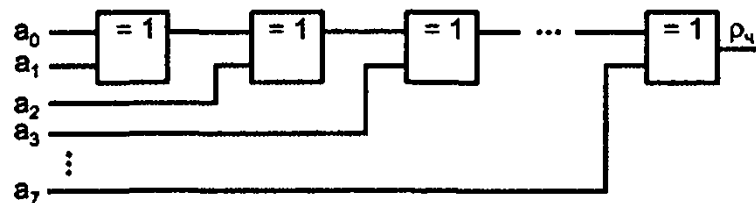
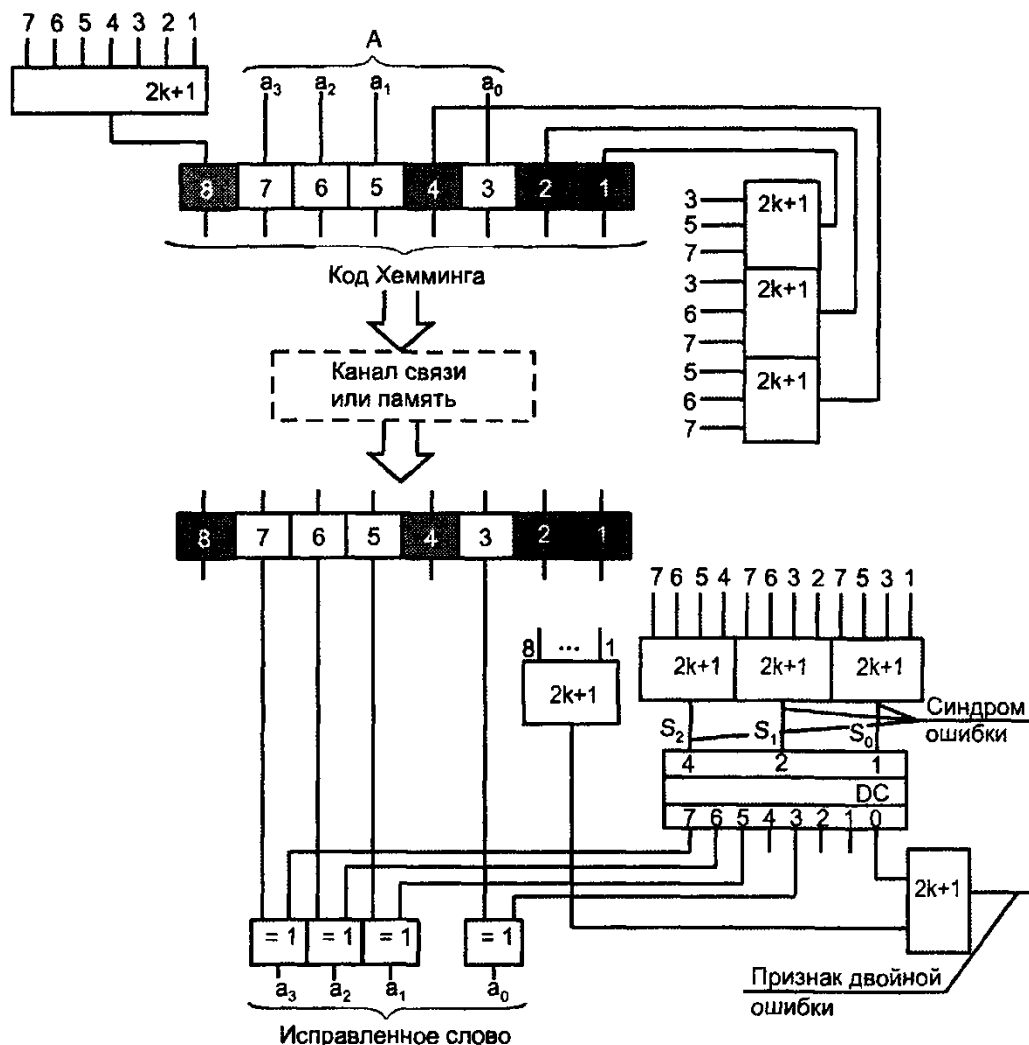


Схема свертки последовательного типа

Схемы контроля по коду Хемминга



Каждый контрольный бит кода Х. определяет нечетность веса группы разрядов, вычисляемого при помощи схемы свертки $2K+1$.

Синдром – код Х. вычисленный из декодируемого слова, который указывает номер разряда с ошибкой.

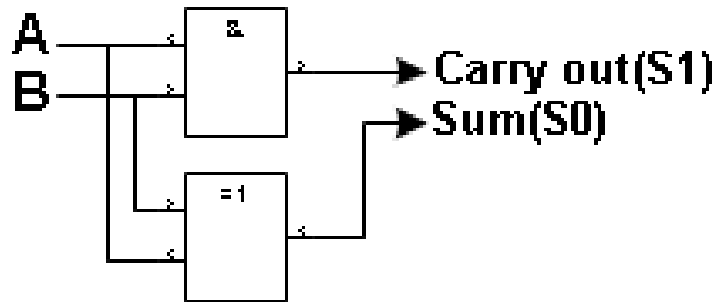
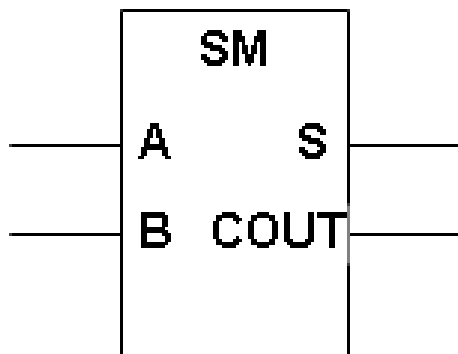
Синдром преобразуется в унитарный код (дешифратором) и подается на «управляемый инвертор» (элемент XOR) для восстановления ошибочного бита.

Дополнительная схема $2K+1$ сравнивает четность/нечетность битов синдрома и слова целиком, что позволяет обнаруживать *двойную ошибку*.

Сумматоры

Сумматор (adder) – БОЭ комбинационного типа, выполняющий арифметическое сложение (или вычитание в дополнительном коде) двух чисел.

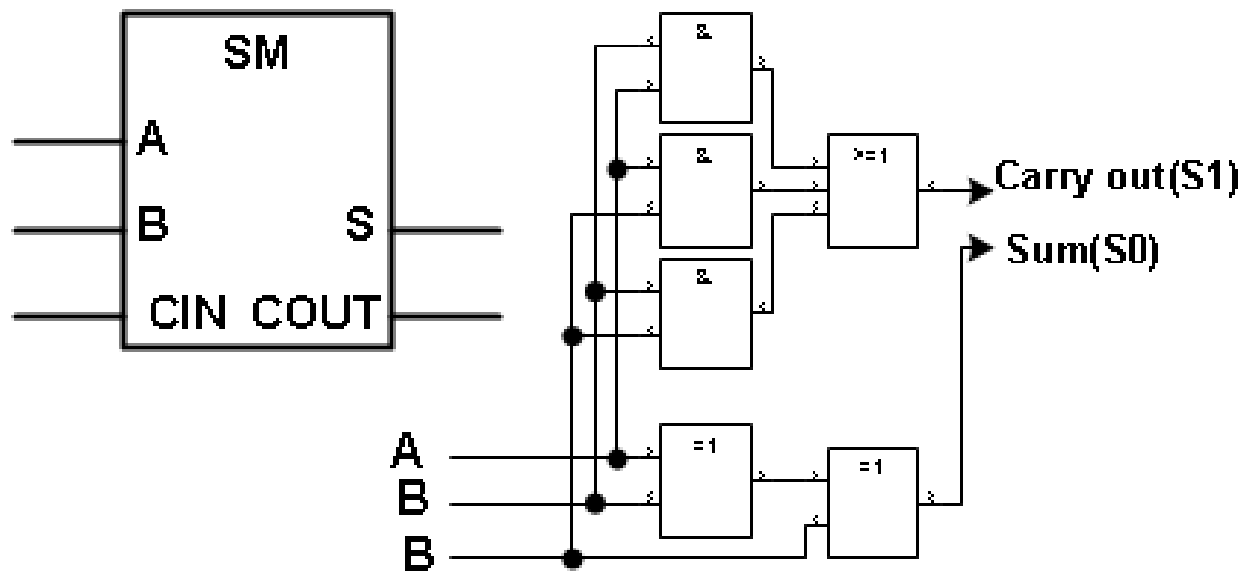
Полусумматор (half-adder) – одноразрядный сумматор с двумя одноразрядными входами операндов и двухразрядным выходом суммы (старший разряд COUT (Carry Out) используется как перенос в старший разряд многоразрядного сумматора).



A	B	S	COUT
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

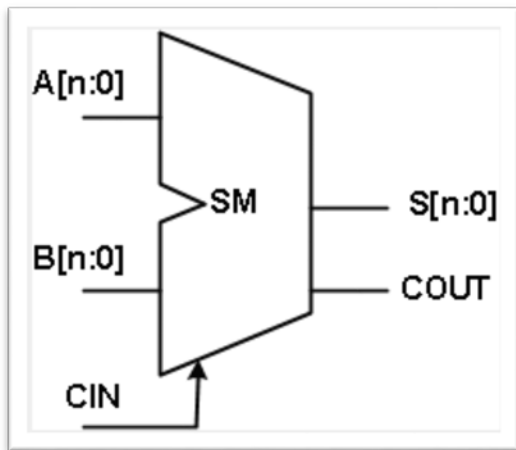
Полный сумматор

Полный одноразрядный сумматор – имеет входы операндов A, B и дополнительный вход CIN (Carry Input) переноса из младшего разряда в многоразрядном сумматоре.



CIN	A	B	S	COUT
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Многоразрядные сумматоры



Условное обозначение на функционально-логических схемах

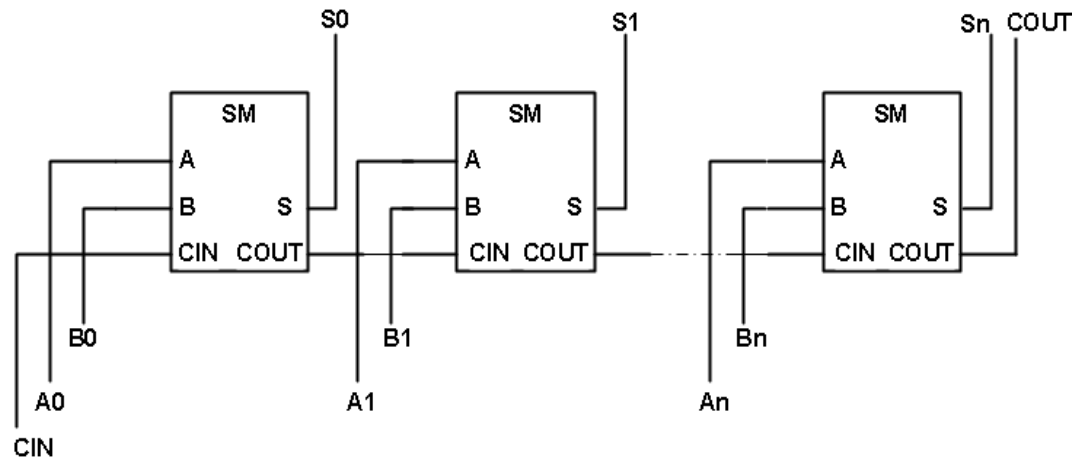


Схема с последовательным переносом: простая схема, но большая задержка распространения переноса через все разряды: $t_{p_cr} = 2 * t_{p_le} * n$

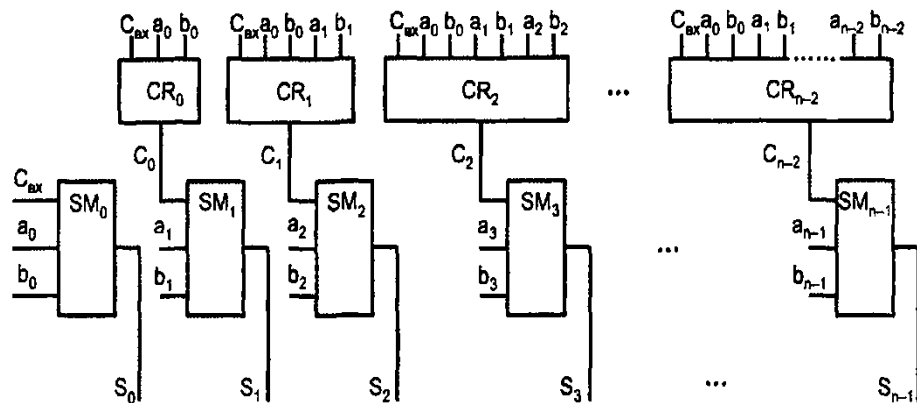
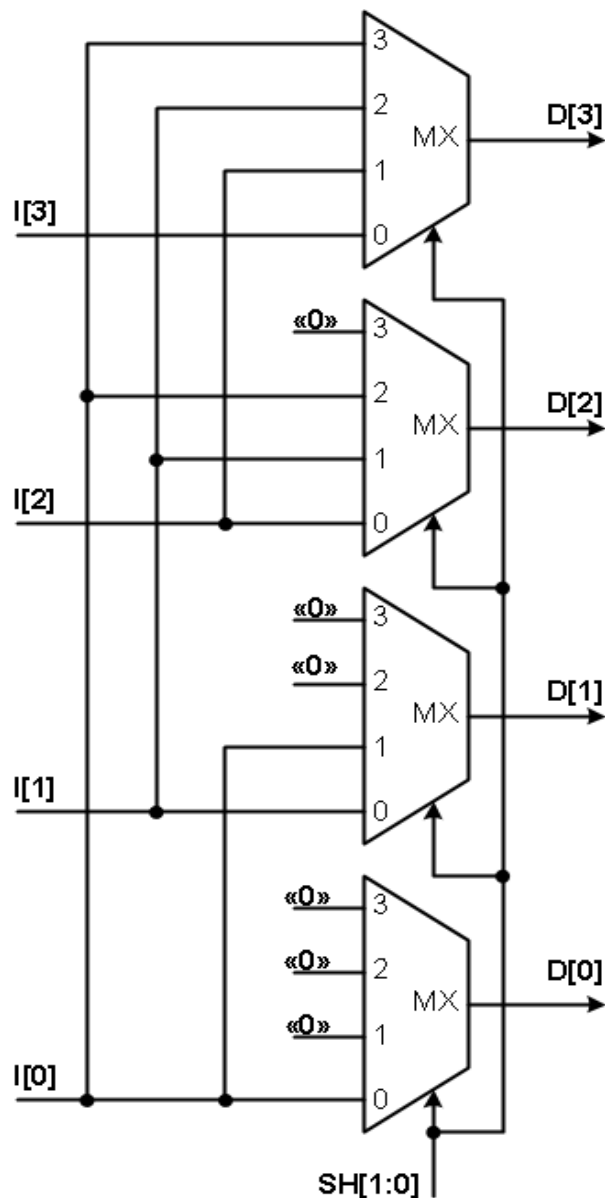


Схема с параллельным переносом: минимальная задержка распространения переноса вне зависимости от разрядности: $t_{p_cr} = 2..3$, но объемная схема формирования переносов (см. Угрюмов Е.П. «Цифровая схемотехника»)

Комбинационные схемы сдвига

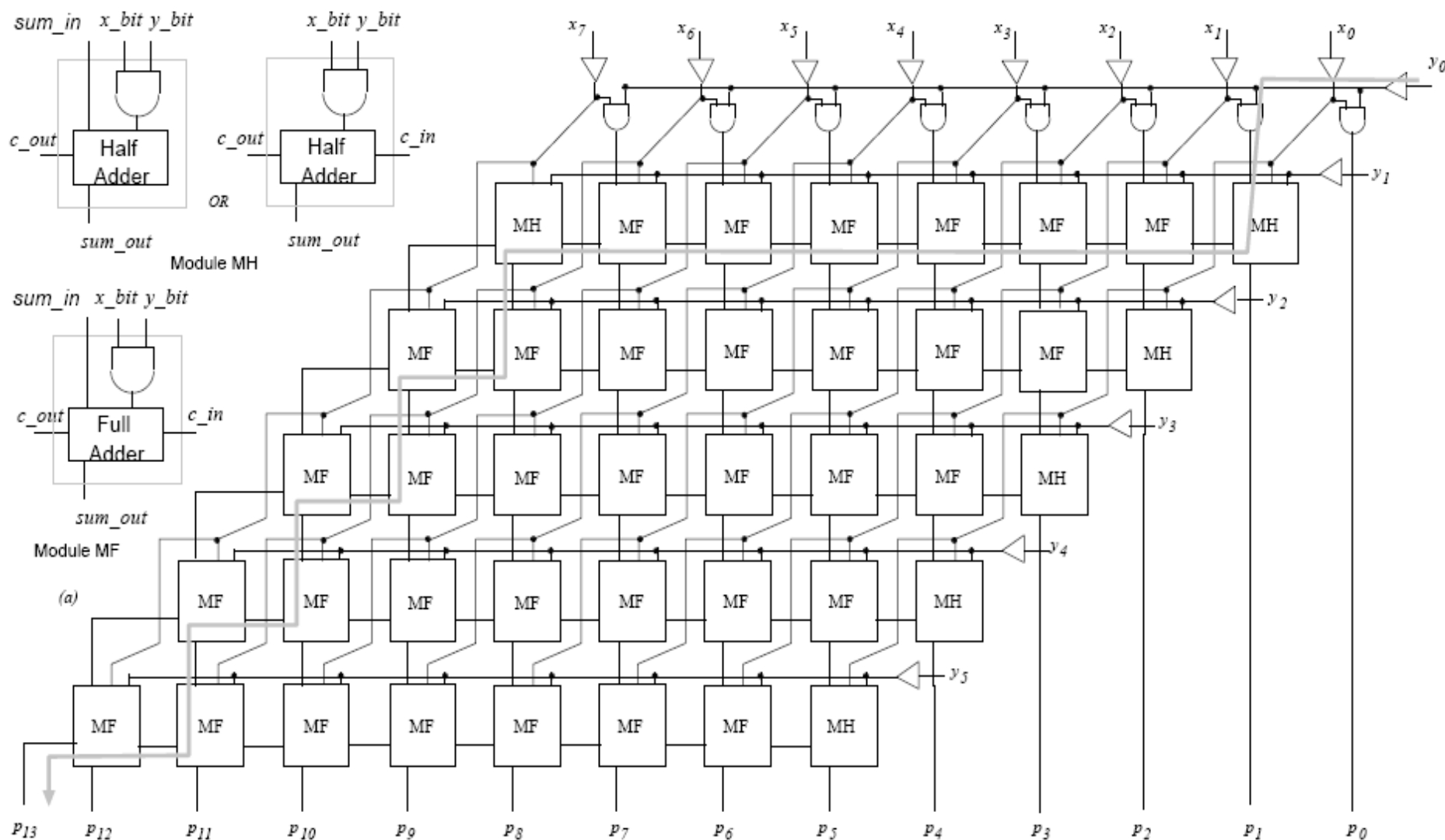


Комбинационные схемы сдвига (shifter) – БОЭ, построенные на базе мультиплексоров (или аналогичной логики), выполняющие сдвиг многоразрядного входного кода на заданное число разрядов. На рисунке – пример схемы сдвига влево на 0..3 разряда.

Применение:

- 1) «Выравнивание» адресов, взаимное преобразование байтовых-словных адресов.
- 2) Объединение и «вырезание» битовых векторов
- 3) В составе схем ускоренного умножения и деления

Комбинационный матричный умножитель



Триггеры

- **Триггер** – устройство (схема), которое может находиться в одном из нескольких устойчивых состояний и переключающееся между ними только под воздействием специальных управляющих сигналов.
- В цифровой схемотехнике используются **бистабильные триггеры** - с двумя устойчивыми состояниями, которые кодируют «0» и «1».
- Триггеры используют как:
 - элементы памяти (регистры, счетчики, статическое ОЗУ, память конечных автоматов);
 - как формирователи сигналов по времени (схемы синхронизации цифровых сигналов);
 - по уровню (входы с триггерами Шмитта).

Классификация цифровых триггеров по логике работы

Логика работы – правила переключения триггера под воздействием входных управляющих сигналов

RS-триггер - с отдельными входами «установки» (записи «1», вход S(et)) и «сброса» (записи «0», сигнал R(eset)).

D- триггер (от Delay) – задержки информационного сигнала.

T-триггер (от Tact) - тактируемый или счетный триггер.

JK-триггер (от Jump-Kill) - универсальный триггер, который может быть сконфигурирован как RS- или T-триггер.

комбинированный – например, RST-триггер: тактируемый со входами «установки» и «сброса».

со сложной логикой – с группами входов, связанных логическими зависимостями. Например, JK-триггер с тремя входами J и тремя K, связанными конъюнкцией: $(J1 \wedge J2 \wedge J3)$ и $(K1 \wedge K2 \wedge K3)$.

Классификация триггеров по способу синхронизации

- **Асинхронные (нетактируемые)** - переключение одновременно с появлением соответствующей комбинации на управляющих (информационных) входах.
- **Синхронные (тактируемые)** - переключение при наличии соответствующей управляющей комбинации, но только по сигналу (фронту или уровню) на специальном тактовом (синхронизации) входе (C / CLK / CLOCK).
 - Синхронные **управляемые уровнем** - при одном уровне тактового сигнала триггер воспринимает состояние управляющих входов, а при другом – не воспринимает. Например, - «триггер-защелка» (latch).
 - Синхронные **управляемые фронтом** - переходы из состояния в состояние происходят по фронту тактового сигнала. Например, синхронный D-триггер.

Классификация триггеров по внутренней структуре

Одноступенчатые - одна запоминающая схема. Так строятся асинхронные и синхронные управляемые уровнем триггеры.

Двухступенчатые (или многоступенчатые) - состоят из двух или более одноступенчатых триггеров. Ступени переключаются по очереди. По многоступенчатой схеме строятся синхронные управляемые фронтом триггеры - наиболее применяемый сегодня тип триггеров.

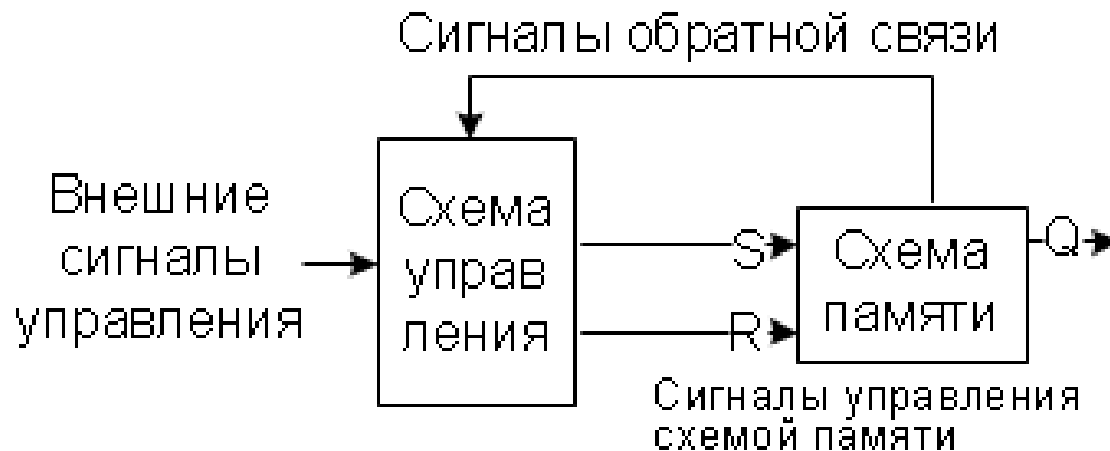
Классификация триггеров по схемотехнике

- Триггеры на базе дискретных элементов (резисторов, конденсаторов, транзисторов)
- Триггеры на базе цифровых элементов (И-НЕ, ИЛИ-НЕ и т.п.)

Структура триггера

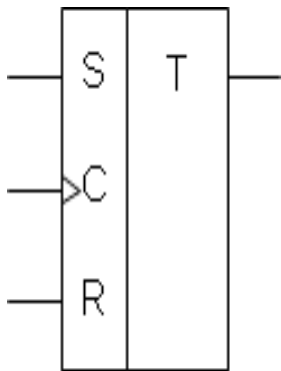
Схема памяти – имеет несколько устойчивых состояний и отвечает за хранение информации. Обычно имеет простейший набор управляющих сигналов: «установка» и «сброс».

Схема управления – отвечает за логику работы: преобразует набор управляющих сигналов в сигналы «установки» и «сброса» схемы памяти, отвечает за синхронизацию переключения.

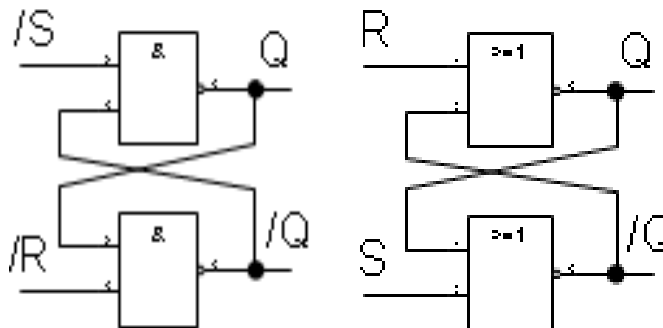


RS-триггер

Асинхронный RS-триггер – имеет два независимых входа управления «Установка» (Set) и «Сброс» (Reset), часто используется как схема памяти в более сложных типах триггеров.

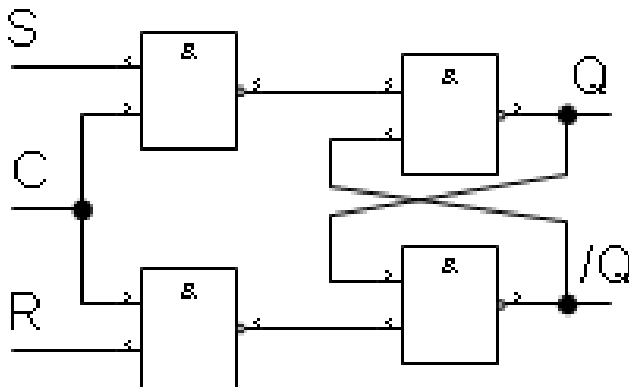


Асинхронный RS-триггер



R	S	Q пред	Q
0	0	1/0	Q пред
0	1	1/0	1
1	0	1/0	0
1	1	1/0	не опред.

Синхронный RS-триггер с управлением уровнем

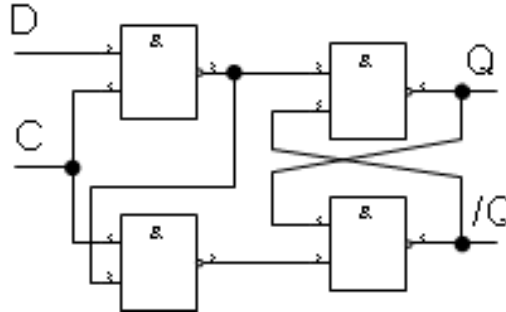
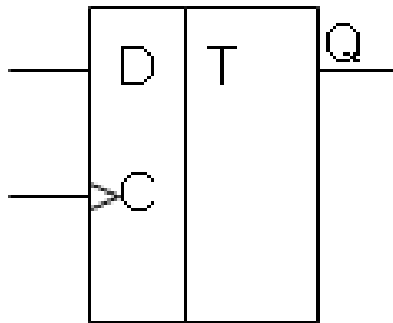


C	R	S	Q пред	Q
1	0	0	1/0	Q пред
1	0	1	1/0	1
1	1	0	1/0	0
1	1	1	1/0	не опред.
0	1/0	1/0	1/0	Q пред

D-триггер

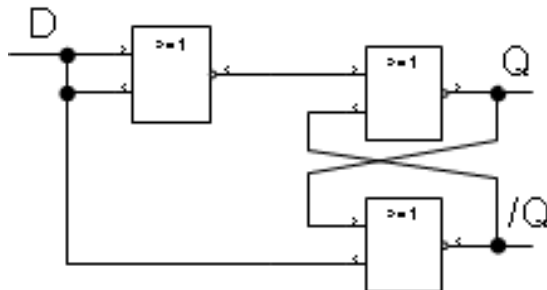
D-триггер запоминает на выходе Q уровень, поданный на вход D.

- **Асинхронный D-триггер** является повторителем входного сигнала с задержкой (Delay) на переключение триггера, почти не используется.
- **Синхронный D-триггер** с управлением по уровню – защелка (Latch) – повторяет вход D при активном уровне на C и удерживает на выходе последнее значение с входа D при переключении C в неактивное состояние.
- **Синхронный D-триггер** с управлением по фронту обновляет выход Q в соответствии со значением на входе D по перепаду уровня на входе C.



Синхронный D-триггер с управлением уровнем

C	D	Q пред	Q
0	1/0	1/0	Q пред (= D при C=1)
1	1/0	1/0	D

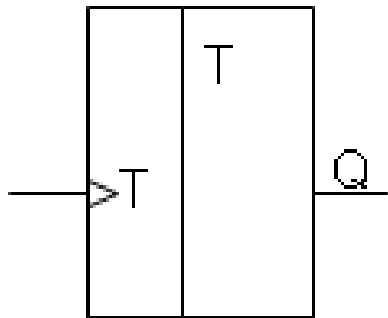


Асинхронный D-триггер (используется редко)

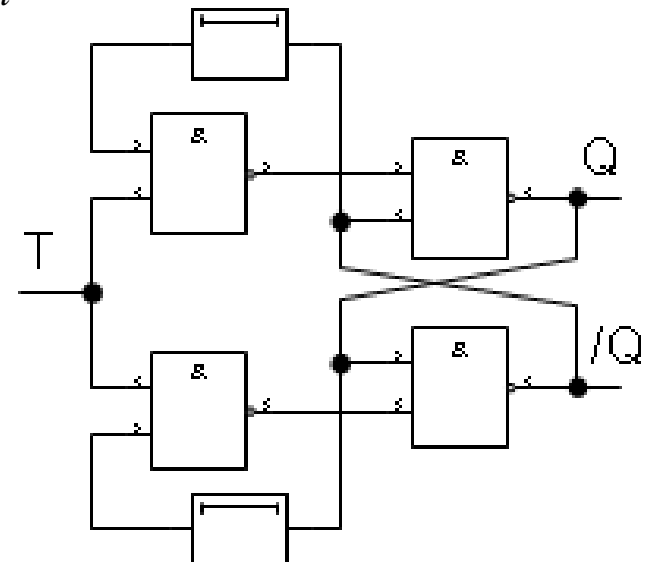
T-триггер

T-триггер (счетный) имеет один вход **T** и изменяет состояние выхода **Q** на противоположное после воздействия импульса, поступающего на счетный вход **T**:

Функция T-триггера: $Q^{n+1} = \overline{T}^n Q^n \vee T^n \overline{Q}^n$



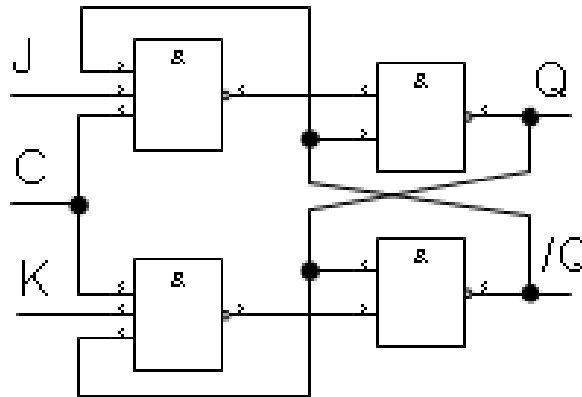
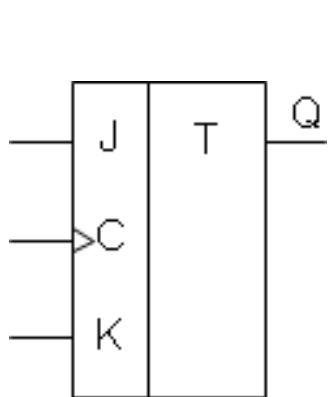
Асинхронный
T-триггер на
базе элементов
задержки



JK-триггер

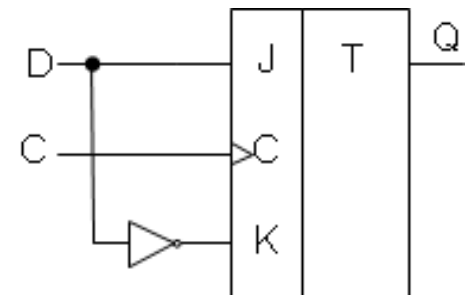
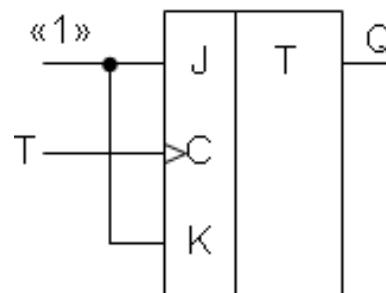
Аналогичен RS-триггеру ($J \sim S$; $K \sim R$), но не имеет запрещенного состояния $J=K=1$.

Синхронный JK-триггер с управлением уровнем



С	К	J	Q пред	Q
1	0	0	1/0	Q пред
1	0	1	1/0	1
1	1	0	1/0	0
1	1	1	1/0	not (Q пред)
0	1/0	1/0	1/0	Q пред

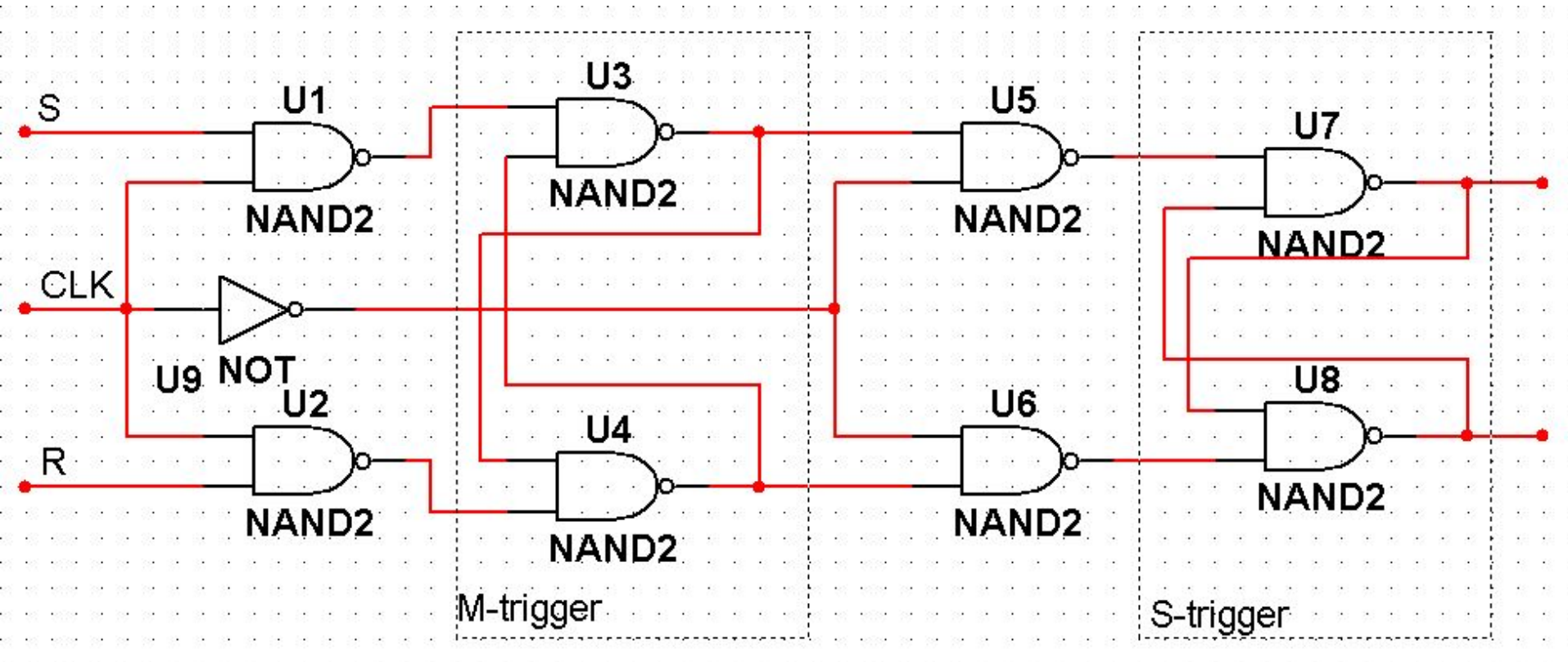
Включение
JK-триггера
как Т-триггера
и D-триггера



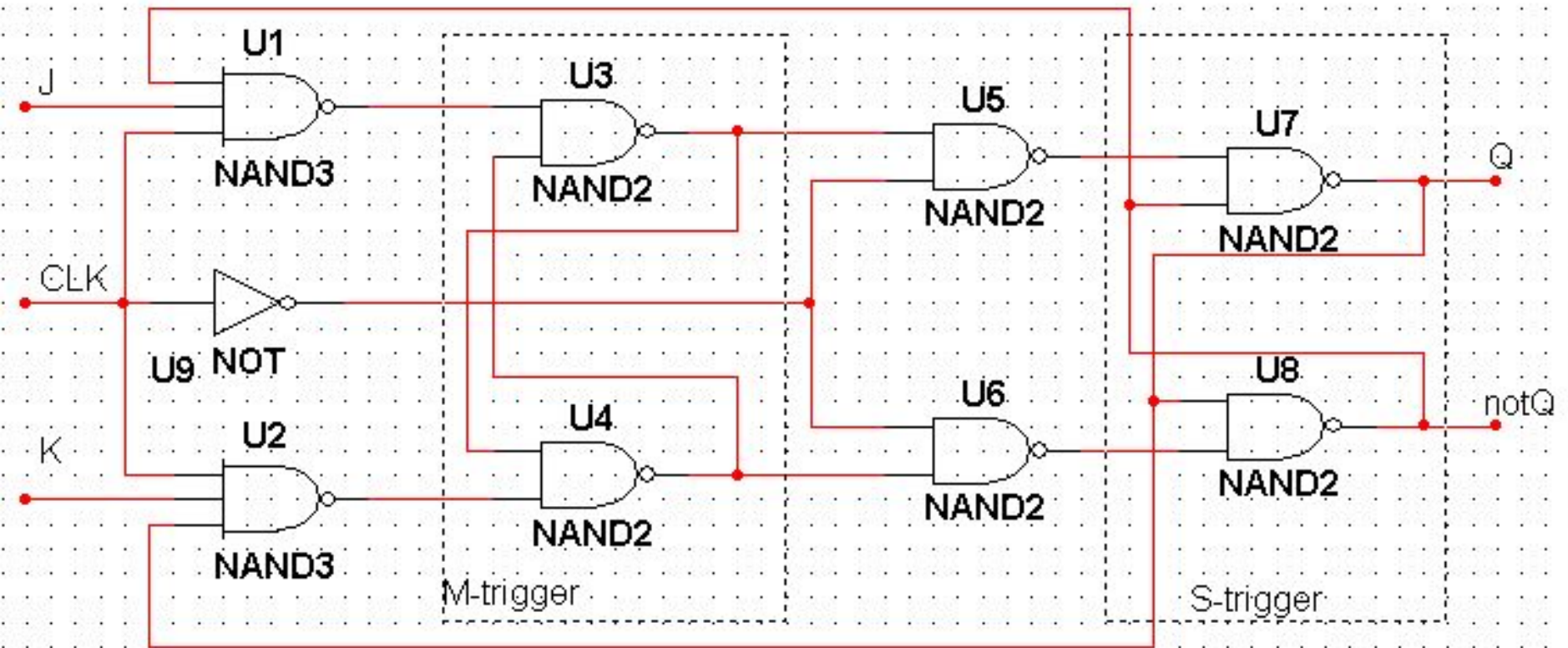
Классификация синхронных универсальных триггеров

- Master-Slave (MS-) триггеры;
- Трехтриггерные ячейки на основе основного и двух коммутируемых RS-триггеров;
- Триггеры с использованием аналоговых элементов внутренней памяти.

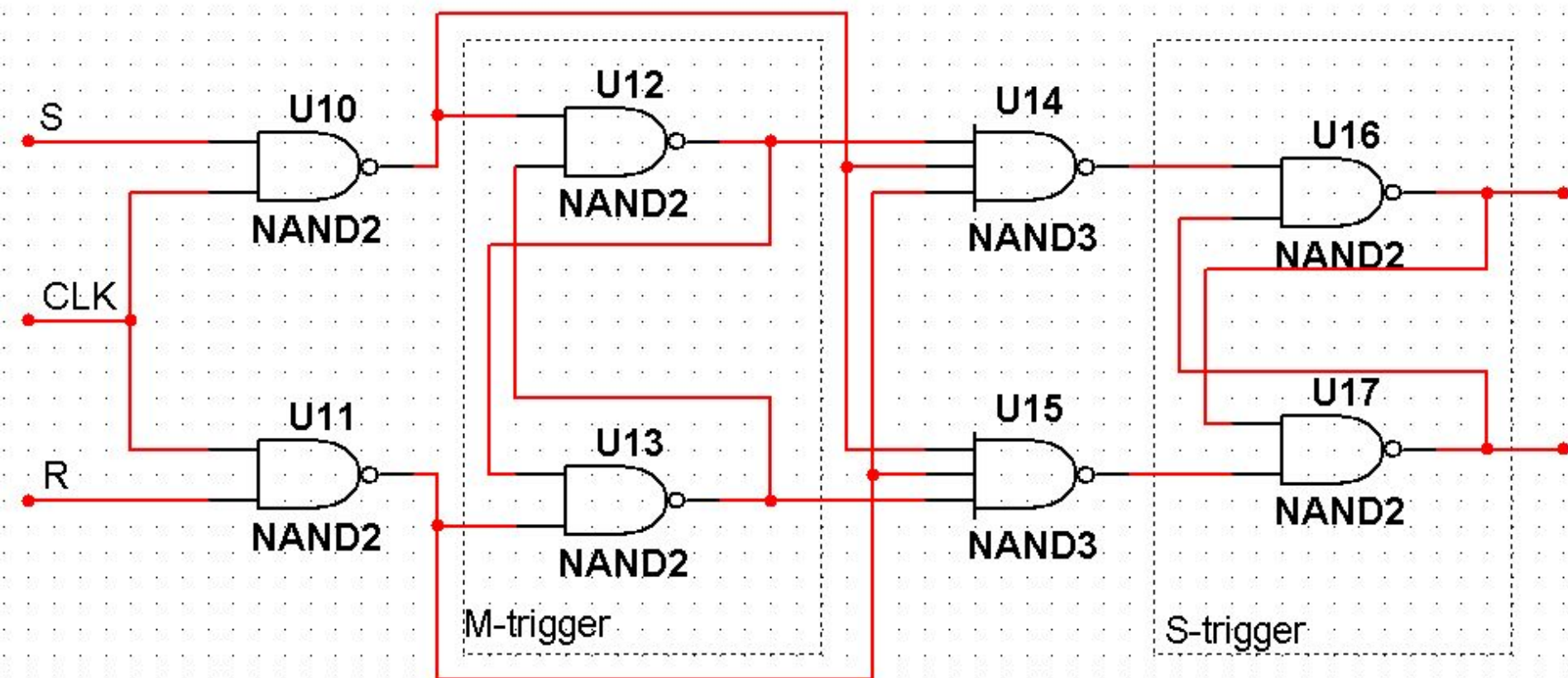
MS-триггер с инвертором



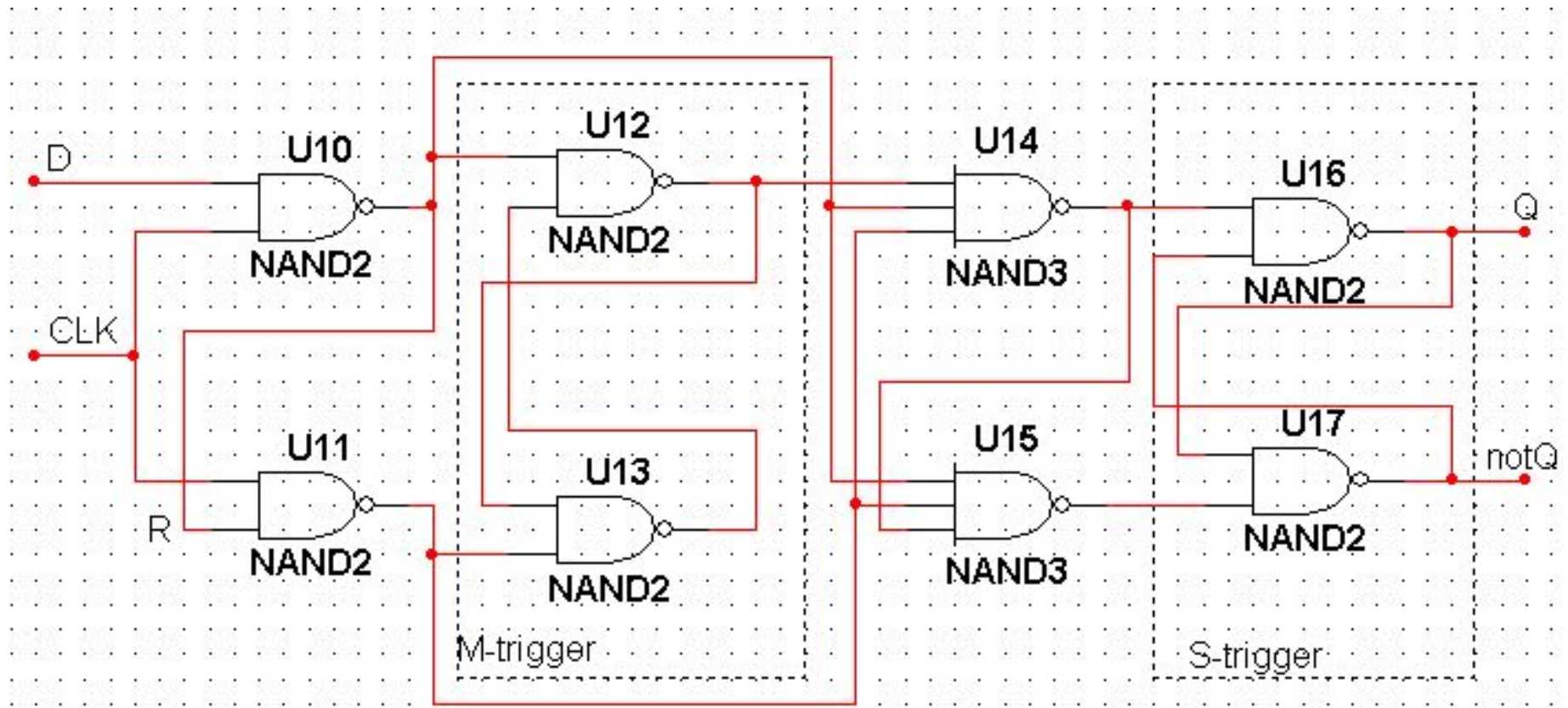
JK-триггер на основе MS-триггера с инвертором.



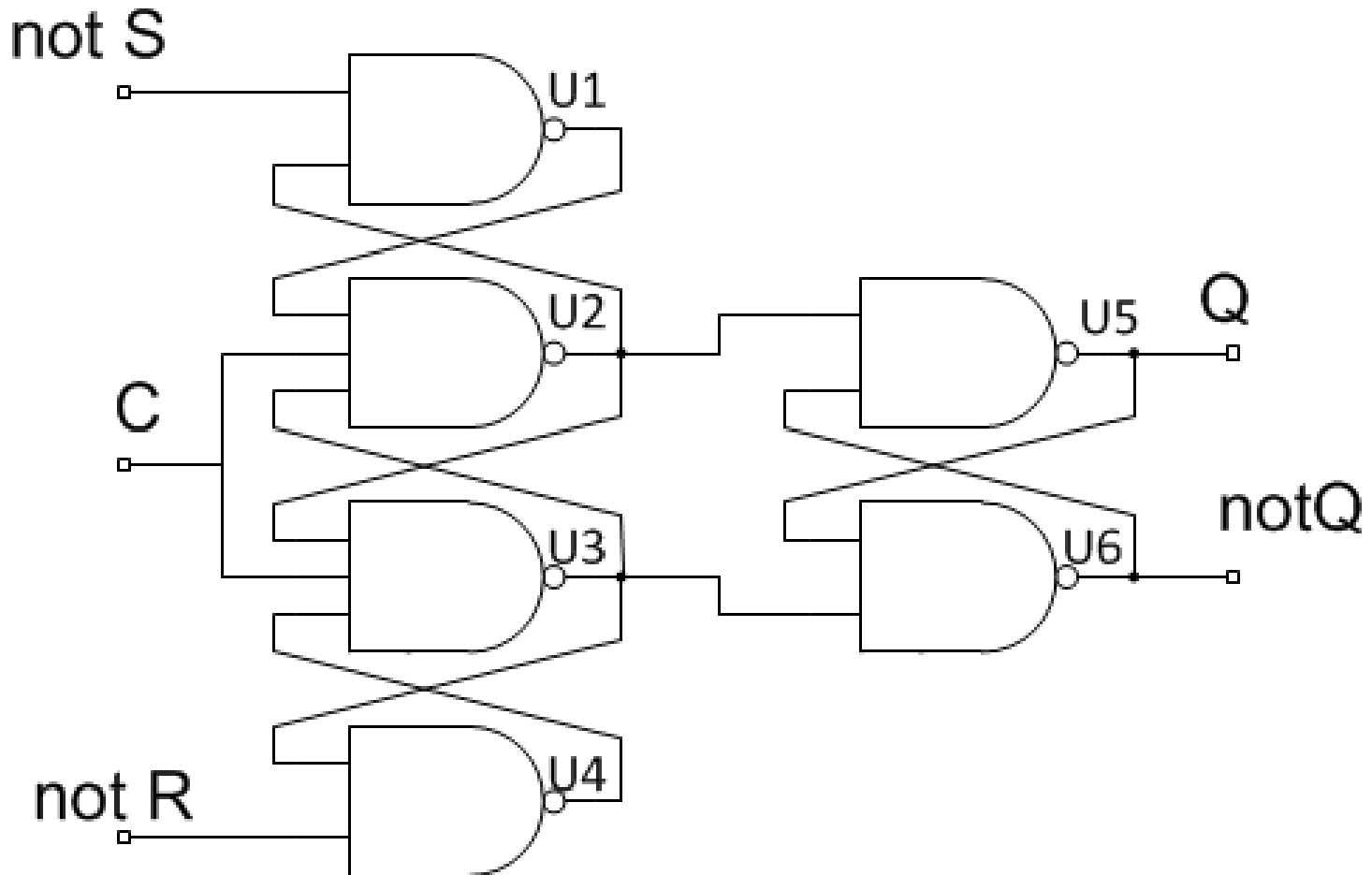
MS-триггер с запрещающими СВЯЗЯМИ



D-триггер на основе MS-триггера с запрещающими связями



Универсальная трехтриггерная ячейка



Регистры

Регистр – БОЭ, предназначенный для запоминания многоразрядных двоичных слов и выполнения над ними некоторых логических преобразований (обнуление, инверсия, сдвиг).

Классификация регистров:

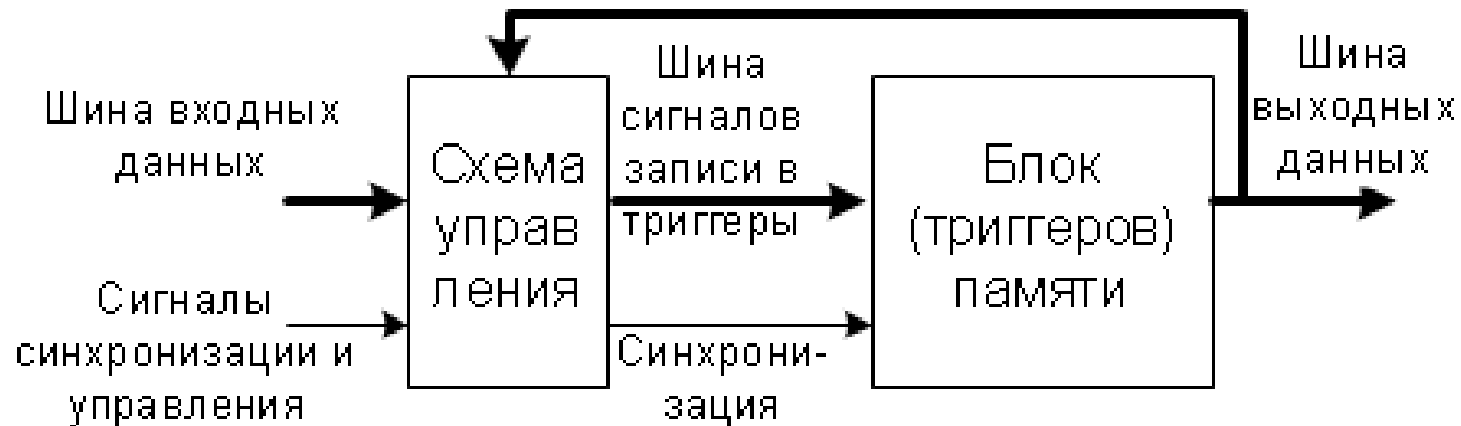
1. *По количеству линий передачи данных для каждого разряда* : однофазные и парафазные;
2. *По способу синхронизации операций*: одноктактные, двух- и многотактные;
3. *По способу приема/выдачи данных*: параллельные, последовательные и параллельно-последовательные.
4. *По функциям*: накопительные и обрабатывающие

Структура регистра

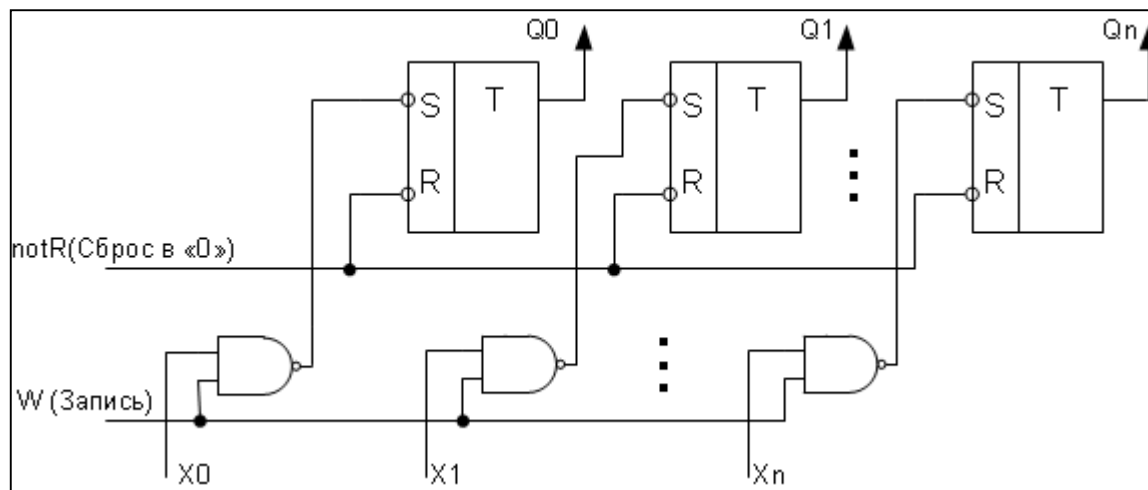
Аналогично триггерам регистры включают:

Блок памяти – совокупность триггеров, по количеству (обычно) равных разрядности запоминаемого слова.

Схему управления - преобразует набор внешних сигналов и внутренних обратных связей в сигналы управления триггерами блока памяти.

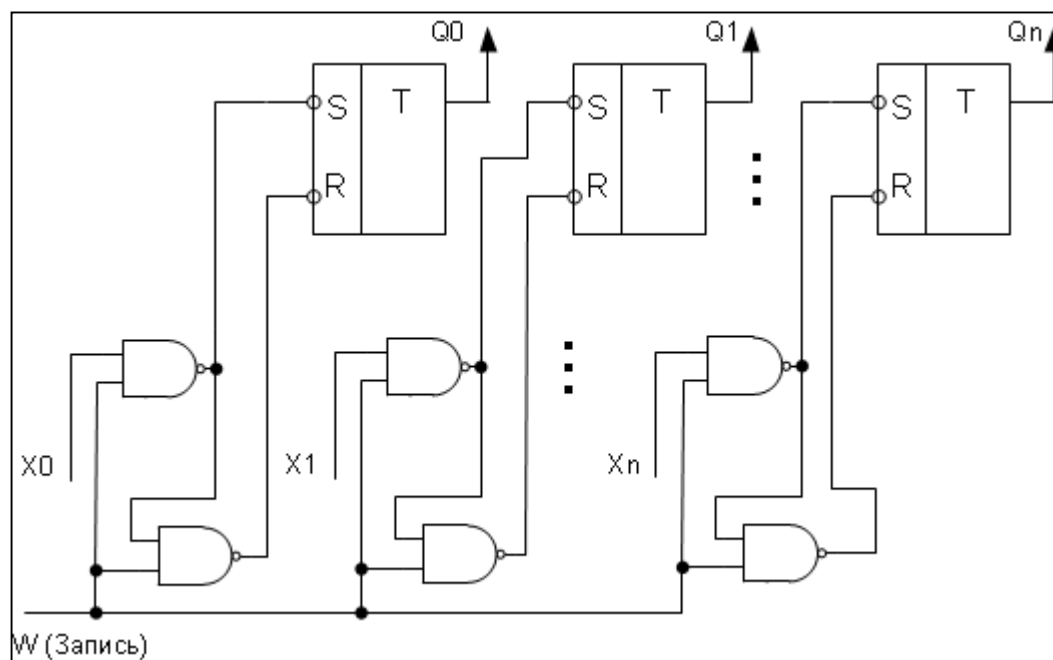


Накопительные регистры на RS-триггерах

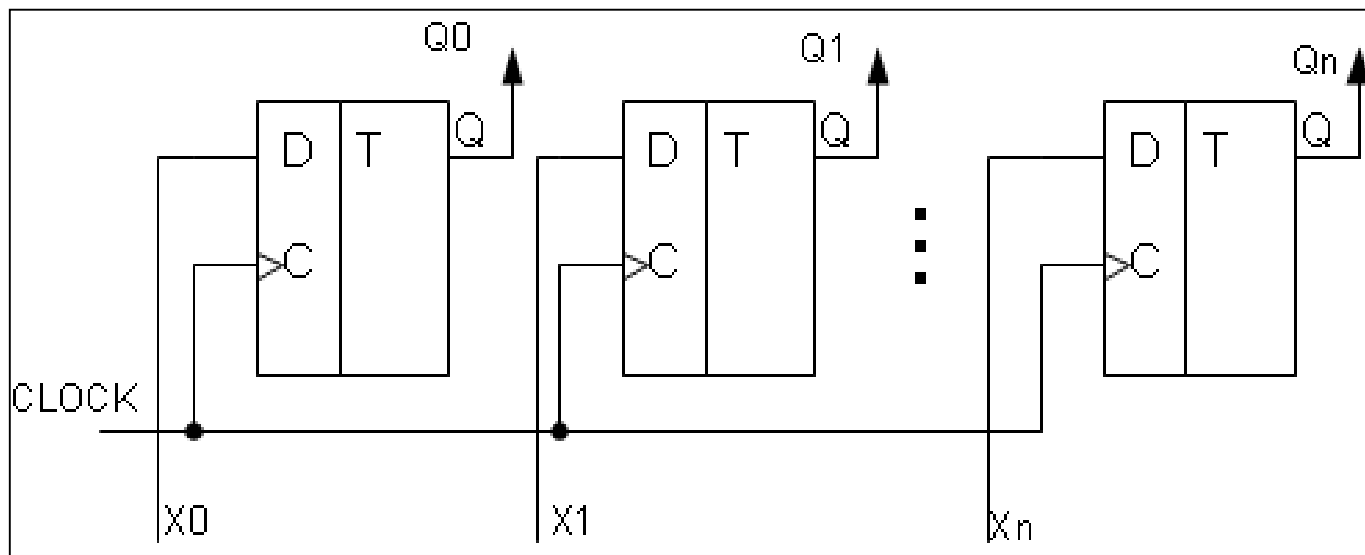


Регистр на RS-триггерах с предварительным сбросом

Регистр на RS-триггерах с парафазным управлением

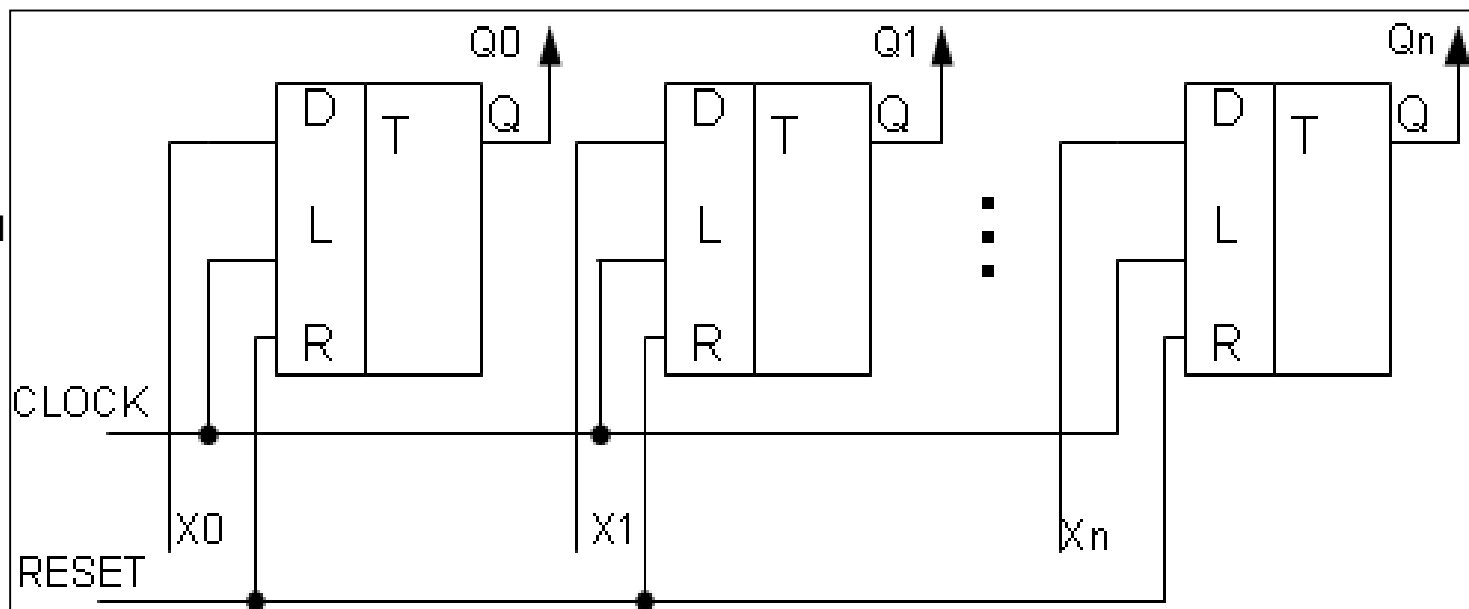


Накопительный регистр на D-триггерах

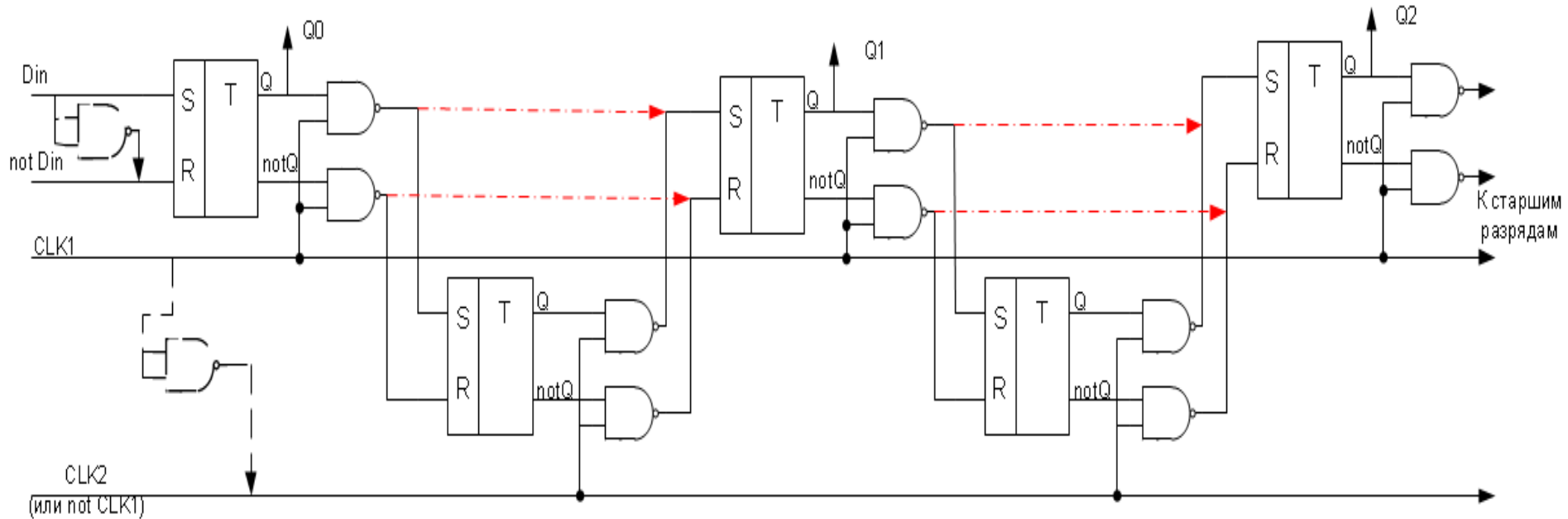


Регистр хранения с синхронной загрузкой

Регистр-защелка (Latch) с асинхронным сбросом



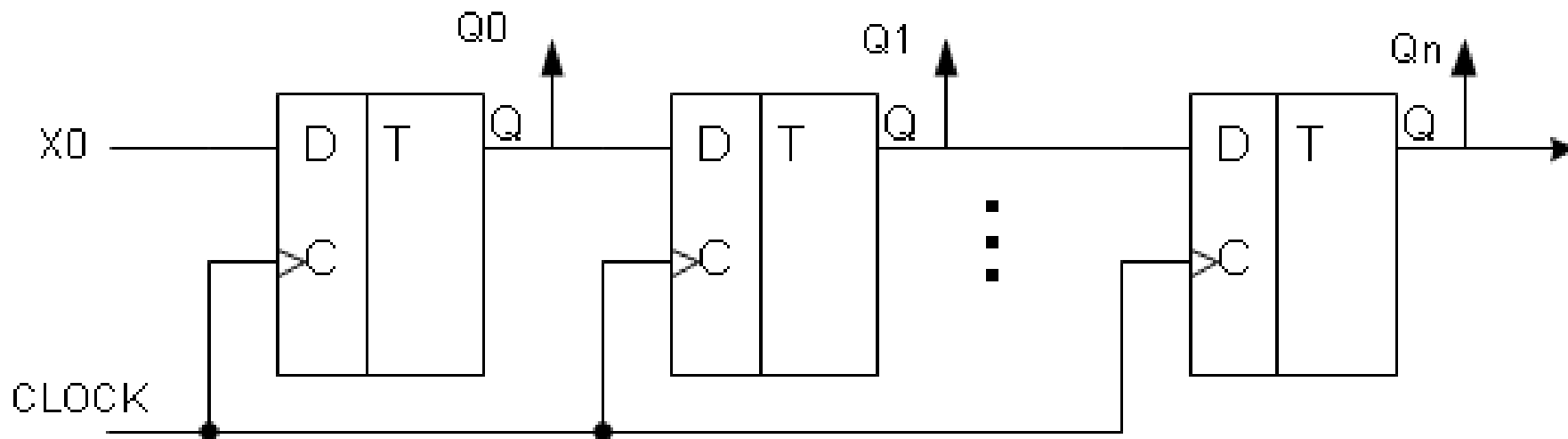
Регистр сдвига на RS-триггерах



Регистр сдвига на RS-триггерах может быть:

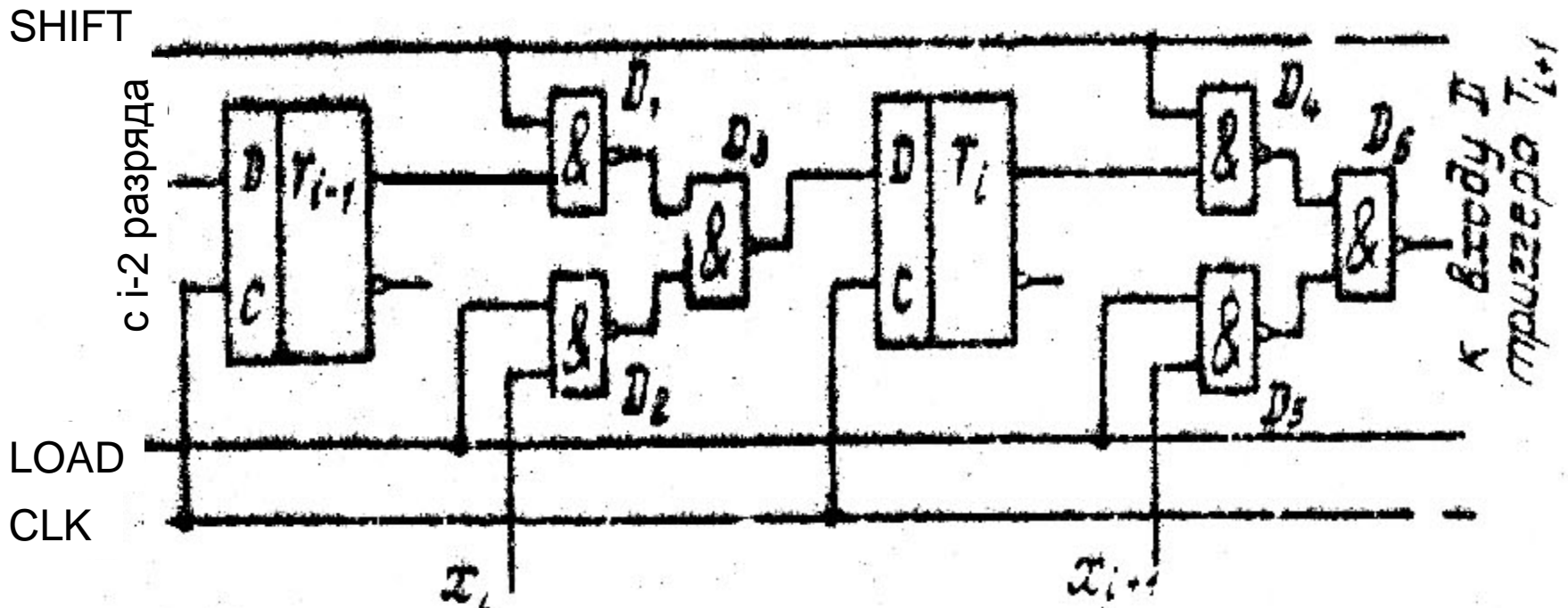
- 1) одноктактным (для такой конфигурации «нижние» триггеры должны быть удалены и введены линии, обозначенные штрихпунктирными красными линиями);
- 2) Двухтактным – используются и нижние и верхние триггеры.

Регистры сдвига на универсальных синхронных триггерах

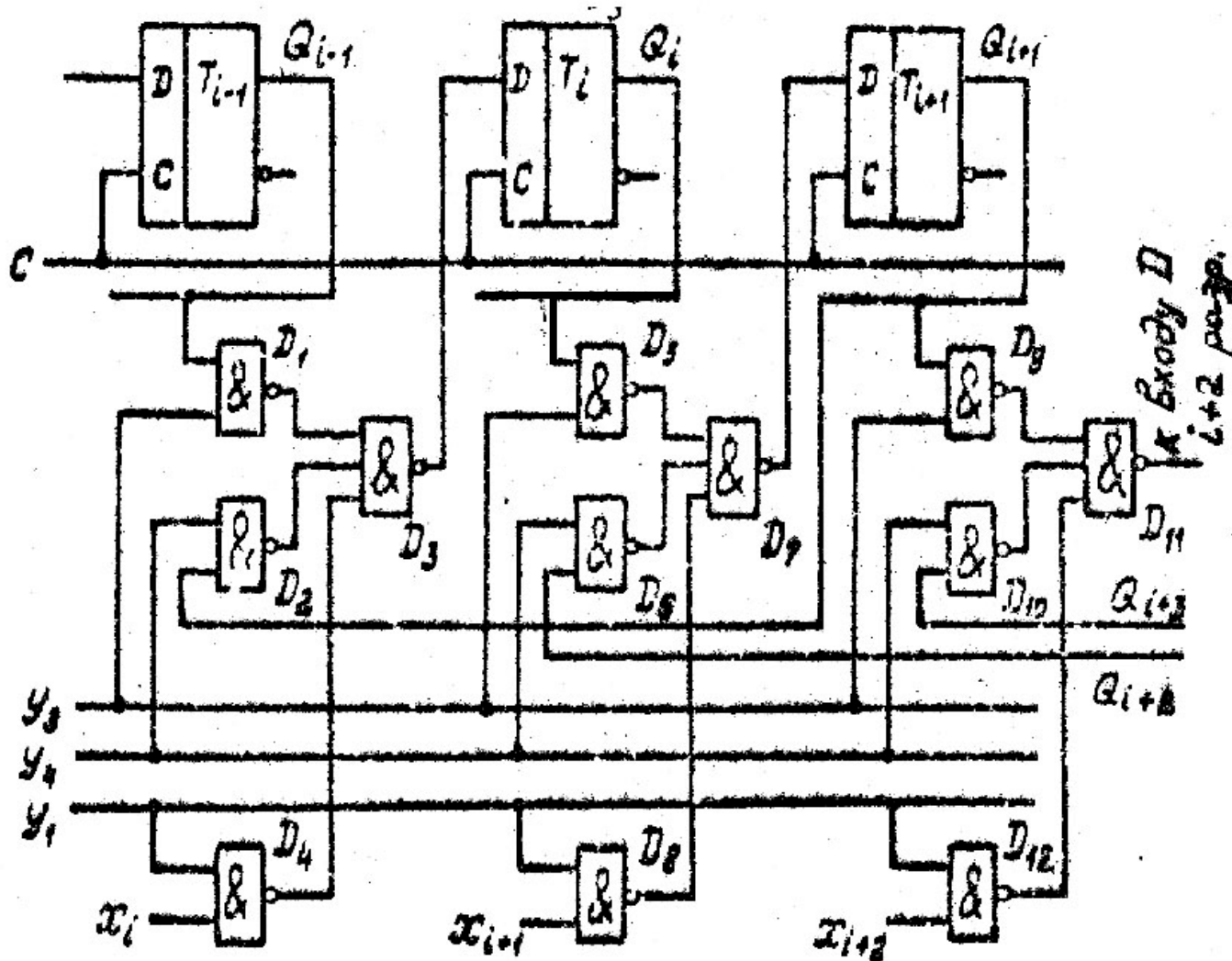


- Могут быть использованы универсальные MS-триггеры и одноктактные триггеры, управляемые одним фронтом синхросигнала (например, трехтриггерные ячейки или триггера на аналоговых элементах памяти)
- Могут использоваться универсальные RS-, D- или JK-триггеры.

Сдвигающий регистр на универсальных D-триггерах с приемом и сдвигом информации по синхросигналу

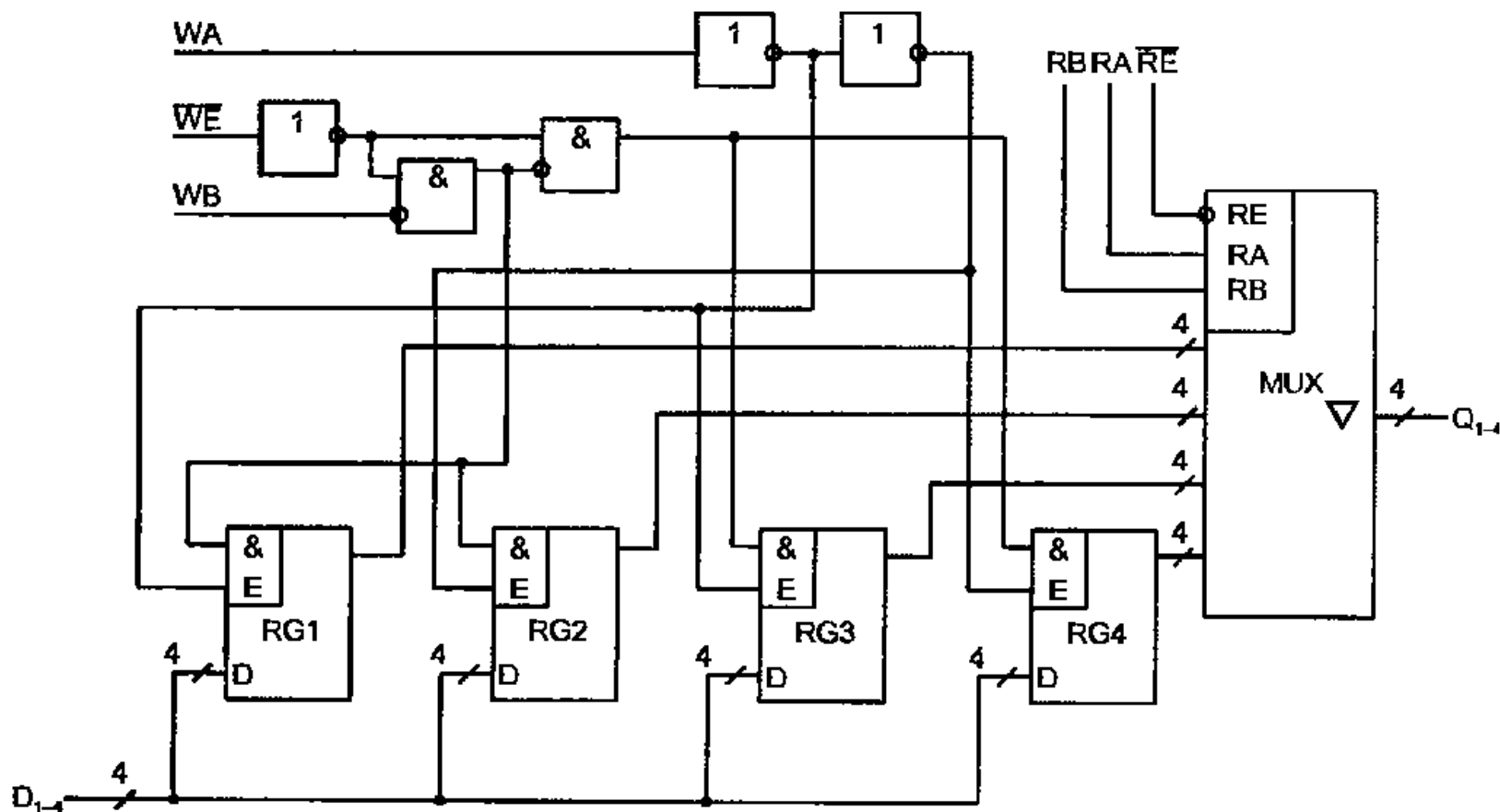


Реверсивный регистр на основе D-триггеров



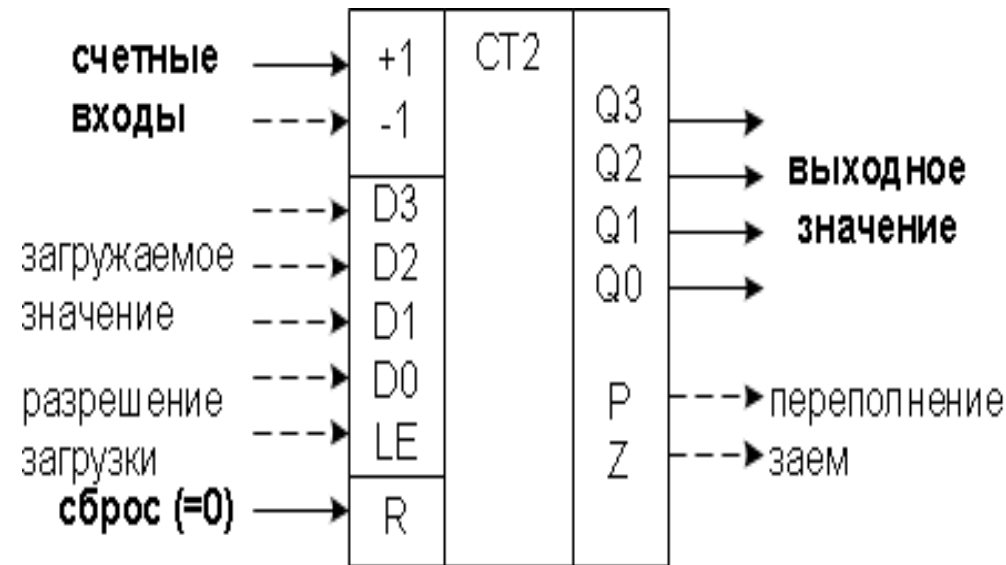
Регистровые файлы

Регистровый файл (блок регистровой памяти) – совокупность нескольких регистров с объединёнными сигналами управления и шинами входных и выходных данных, каждый из которых может быть выбран индивидуально для выполнения операции при помощи индивидуального адреса, вводимого через специальные входы.



Счётчики

Счётчик – БОЭ последовательностного типа, предназначенный для подсчёта числа импульсов на специальном счётном входе или для деления частоты сигнала на счётном входе.



Условное обозначение

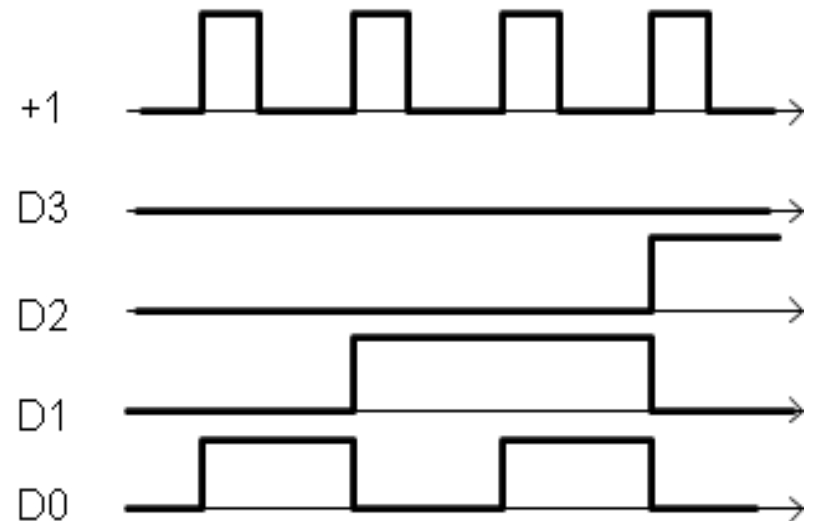


Диаграмма счета на увеличение

Классификация счётчиков

1) По коэффициенту пересчёта (по модулю):

- ✓ Двоичные – с коэффициентом пересчёта кратным 2: $K_{сч} = 2^N$, N -разрядность выходного двоичного числа.
- ✓ С произвольным коэффициентом пересчёта, например, $K_{сч} = 10$ – двоично-десятичные счётчики.

2) По функции: суммирующие, вычитающие, реверсивные.

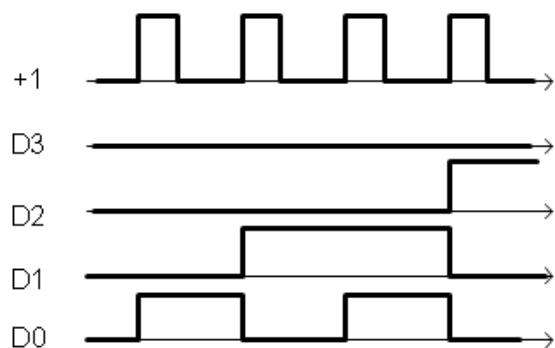
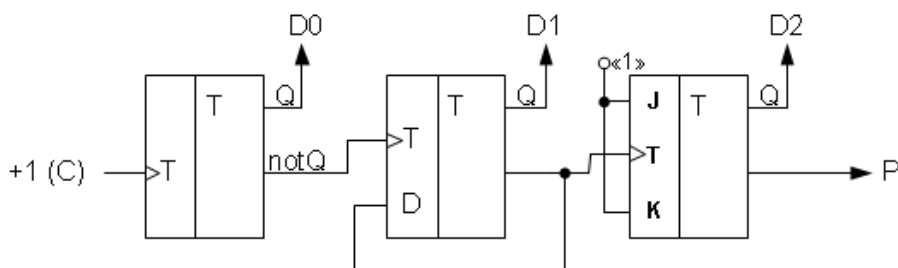
3) По способу синхронизации:

- ✓ синхронные – с параллельной синхронизацией триггеров всех разрядов;
- ✓ асинхронные – с синхронизацией триггеров от выходов предыдущих разрядов;

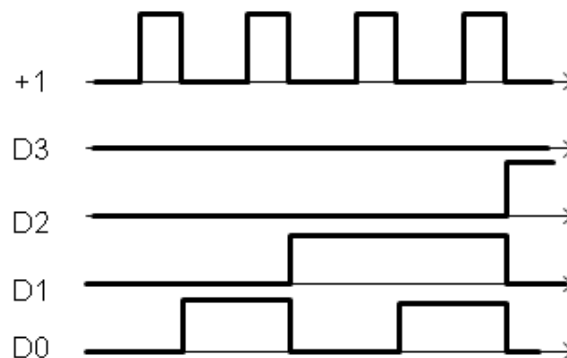
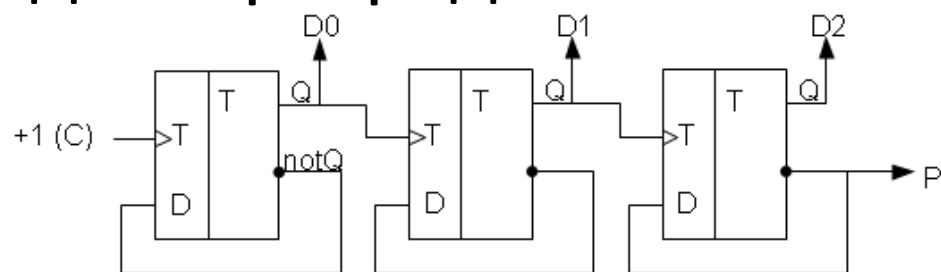
4) По типу межразрядных связей: с последовательным, сквозным, параллельным и комбинированным переносом.

Асинхронные счётчики с непосредственными связями

Сигналы синхронизации триггеров старших разрядов снимаются непосредственно с выходов триггеров младших разрядов.



на синхронных триггерах,
работающих по переднему фронту



на MS-триггерах

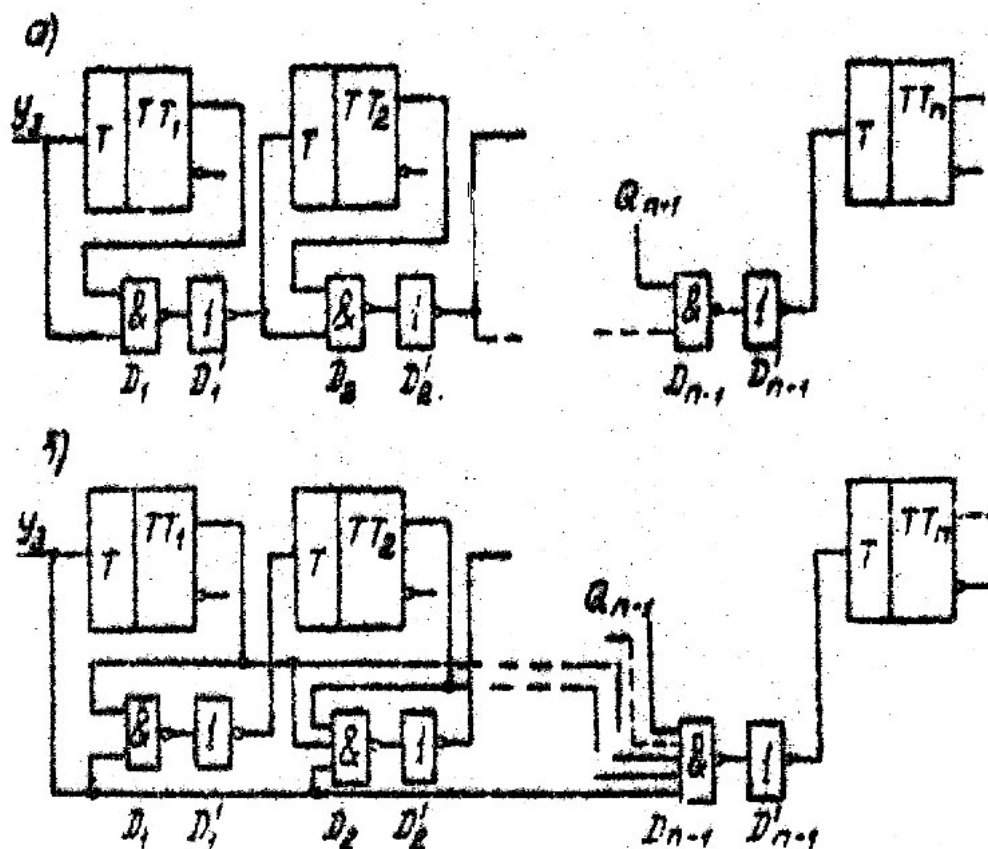
Асинхронные счётчики с внутренними связями

Сигналы синхронизации триггеров старших разрядов снимаются со схем управления или выходов slave-триггеров младших разрядов, **чтобы ускорить перенос из младшего разряда в старший.**

Способы ускорения переноса у асинхронных счётчиков

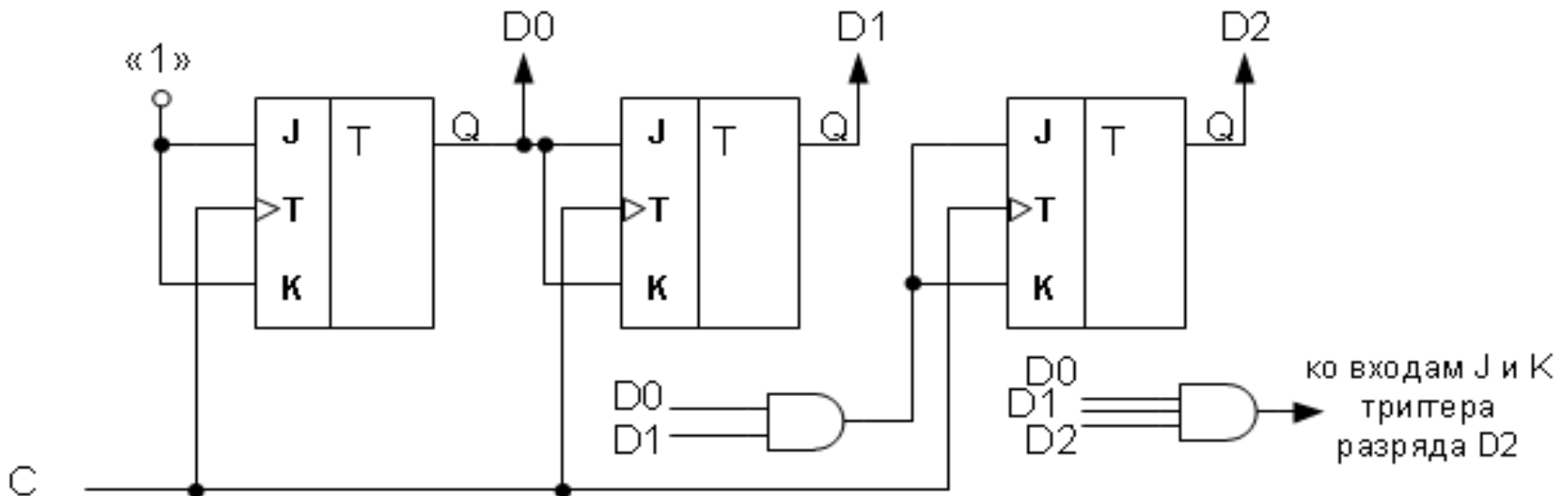
- **последовательный перенос с внутренними СВЯЗЯМИ** - сигналы синхронизации триггеров старших разрядов снимаются НЕ с выходов, а с внутренних схем управления или slave-триггеров младших разрядов.
- **сквозной перенос** – сигнал переноса в старший разряд формируется одновременно (параллельно) с переключением триггера.
- **параллельный перенос** – сигналы переноса в старшие разряды всех триггеров формируются непосредственно от счётного входа всего счётчика.

Асинхронные счетчики со сквозным (а) и параллельным (б) переносом



Синхронные счётчики с параллельным переносом

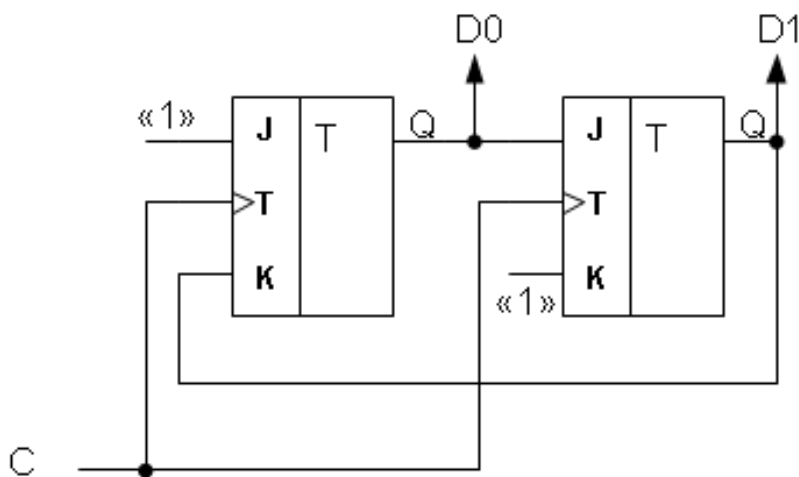
Значения с выходов триггеров младших разрядов подаются на информационные входы последующих разрядов, а счетные входы всех триггеров включены параллельно: нет задержки на перенос - все разряды обновляются одновременно.



Синхронный двоичный счетчик на JK-триггерах

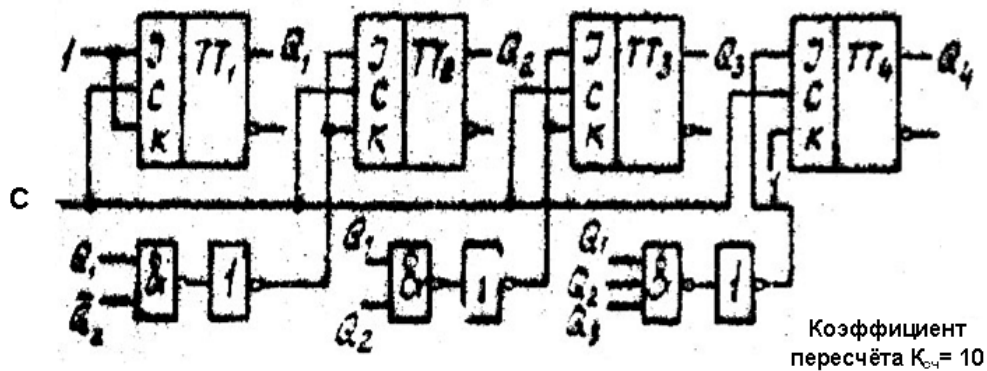
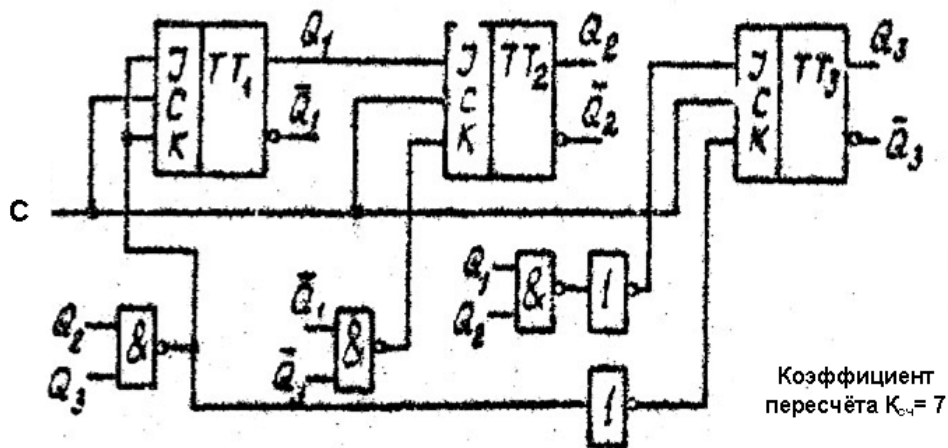
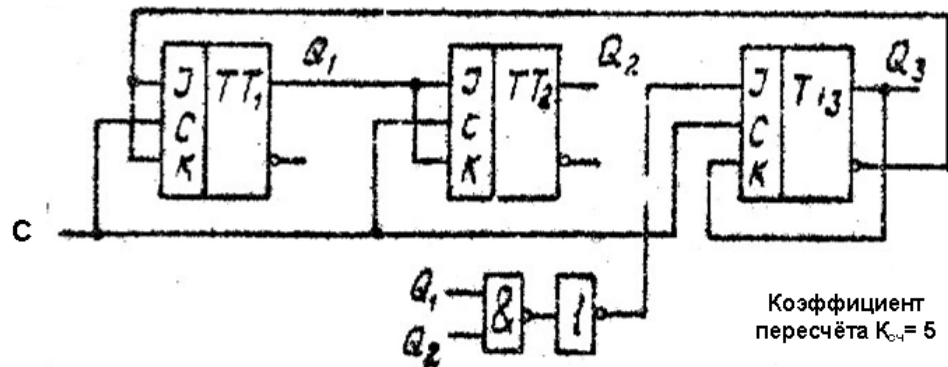
Счётчики с произвольным коэффициентом пересчёта

Счёт начинается с начального значения (обычно с 0) после поступления $K_{сч}$ импульсов на счётном входе. Это достигается путём подачи соответствующих управляющих сигналов при достижении максимального значения счётчика ($= K_{сч}-1$). Такая комбинация управляющих сигналов получается на дополнительной управляющей логике или без неё (безвентильные счетчики).



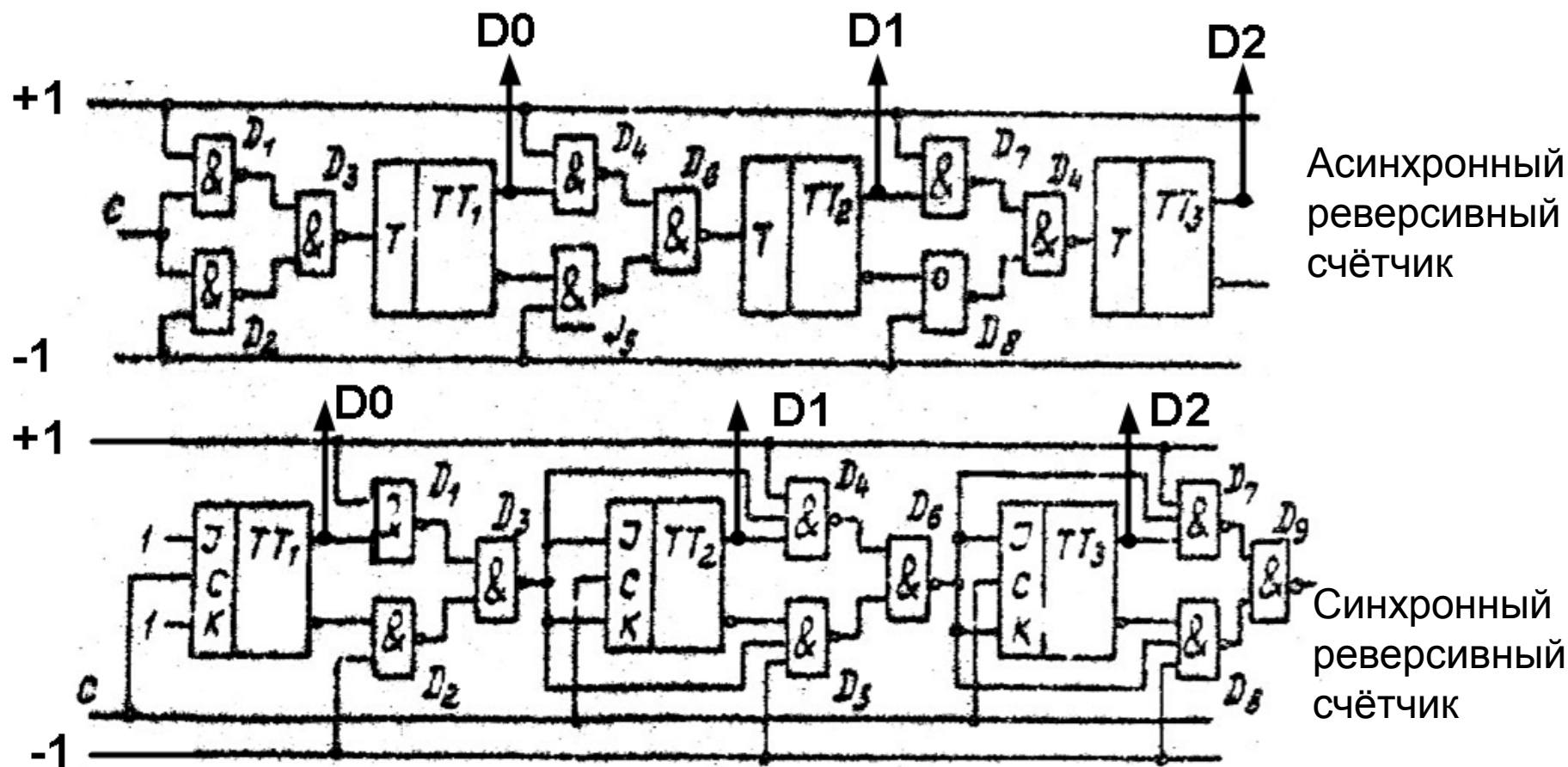
Пример безвентильного счётчика с коэффициентом пересчёта $K_{сч} = 3$

Примеры счетчиков с различными коэффициентами пересчета и вентильной логикой

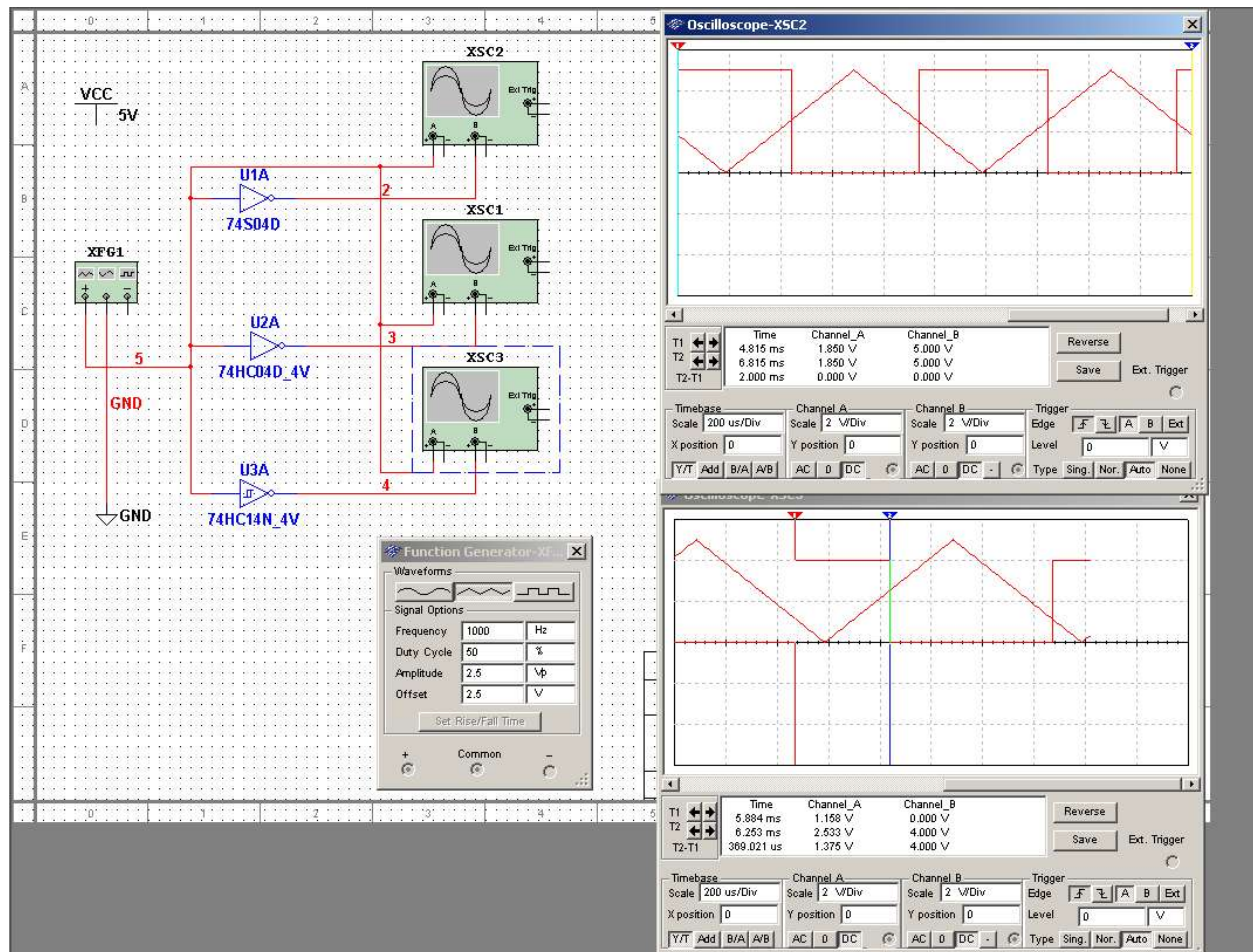


Реверсивные счётчики

Реверсивные счётчики могут изменять направления счета: на уменьшение или увеличение. Бывают реверсивные счётчики с отдельными и общим счётным входом.



Продолжение следует ...



Основные приемы схемотехнического проектирования

- Методы проектирования цифровых схем
- Техническое документирование
- Инструментально-технологическая цепочка
- Временные диаграммы
- Правила составления и условные обозначения на схемах
- Основные электрические параметры цифровых схем

Способы описания цифровой аппаратуры

Графические описания - блок-схемы, принципиальные электрические схемы.

- + наглядность, легкость восприятия;
- + явное отображение электрических процессов;
- + описание аналоговых блоков (стабилизатор и фильтры питания, усилители и т.п.)
- низкая степень формализации при составлении схем;
- можно описать только структуру цифровой системы, но не ее функционирование.
- небольшая максимальная сложность схем (по некоторым оценкам – до 6000 элементов);
- сложность обработки системами автоматизированного проектирования (САПР / CAD).

Используются для РСВ-проектирования

Текстовые (языковые) описания на специальных языках HDL (Hardware Description Language): VHDL, Verilog.

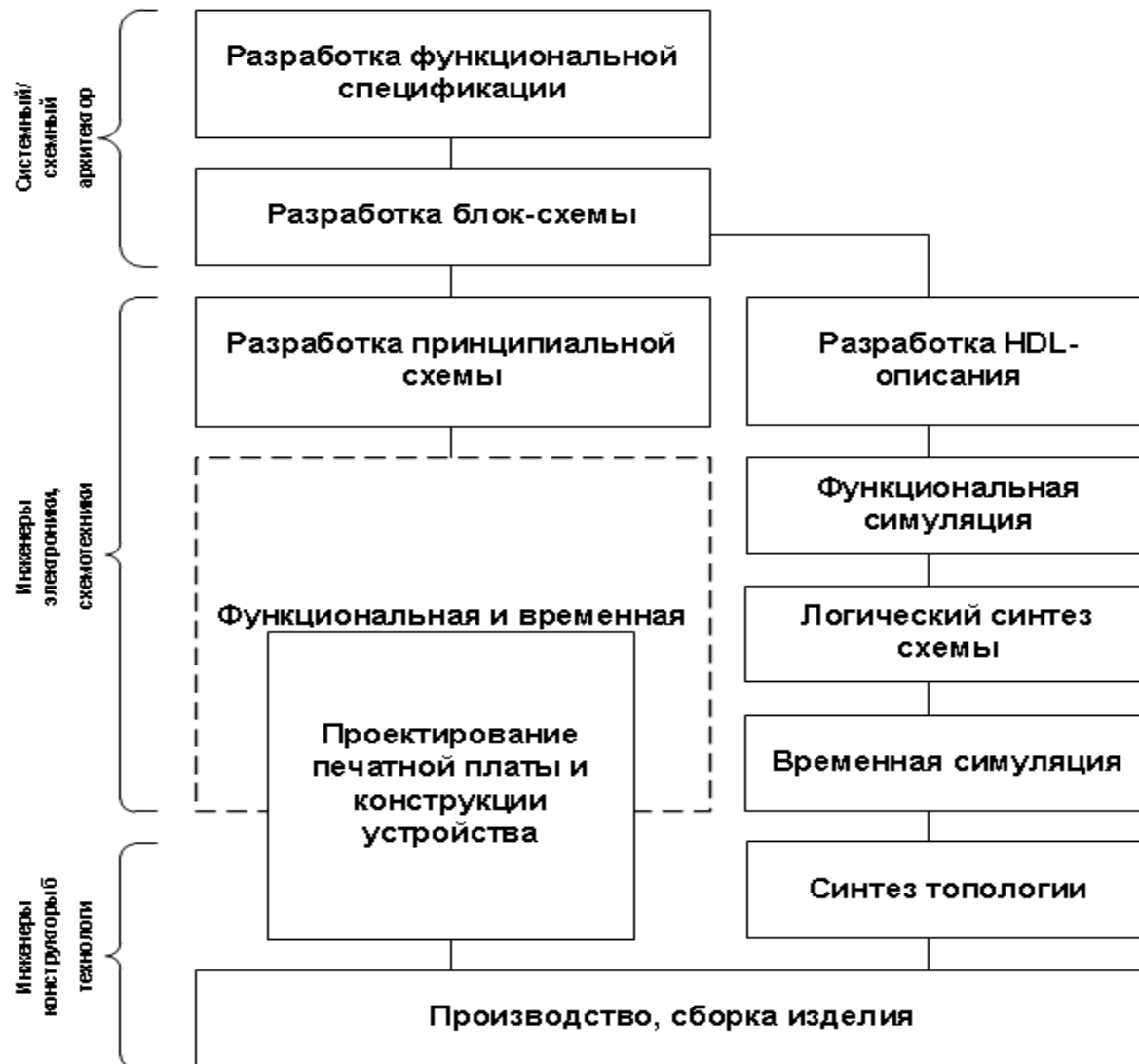
- + жестко формализованные описания значительной сложности
- + описание структуры и функционирования
- + автоматизированная обработка в САПР
- + схожесть с языками и технологиями программирования
- нет наглядности (компенсируется средствами графического отображения и проектирования)
- не отражает электрических процессов в схеме
- нет возможности описывать аналоговые компоненты схемы

Используются для проектирования микросхем

Документирование схем

- Функциональная спецификация – описывает состав и назначение портов схемы и ее поведение (текст, HDL, диаграммы временные, схемы алгоритмов).
- Блок-схема – показывает основные блоки схемы и их соединение (графическая).
- Принципиальная электрическая схема – формальная спецификация электронных компонентов системы, с указанием типов и номиналов, и их межсоединений, а также всех деталей, необходимых для конструирования устройства (типы корпусов компонентов, номера выводов и т.п.)
- Спецификация компонентов (BOM – Bill Of Material) – перечень всех компонентов схемы с указанием их типов и номиналов.
- HDL-описание – языковое описание поведения и структуры цифровой схемы. Используется для автоматизированного синтеза топологии микросхем или конфигурации ПЛИС.
- Временные диаграммы – графические, показывают состояние и изменения цифровых сигналов схемы (внешних портов и внутренних сигналов) в зависимости от времени.

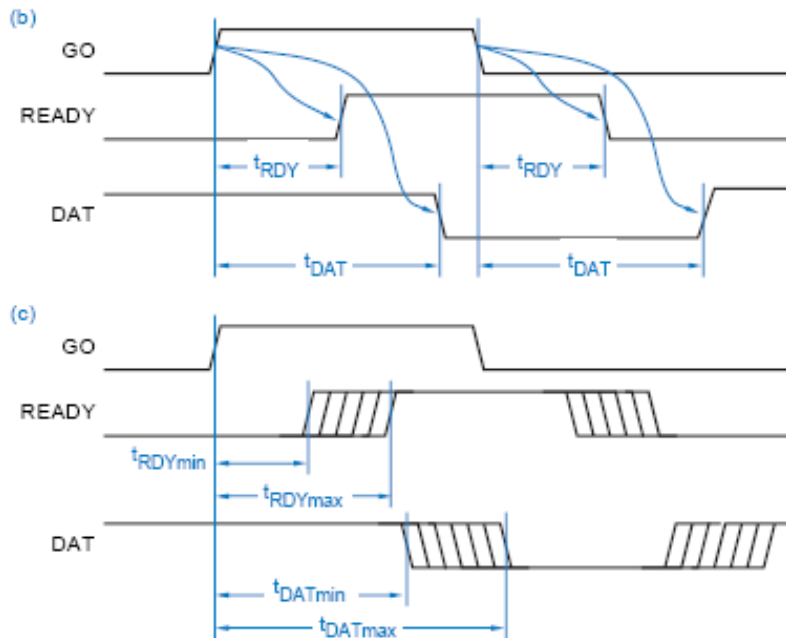
Инструментально-технологическая цепочка проектирования цифровых схем



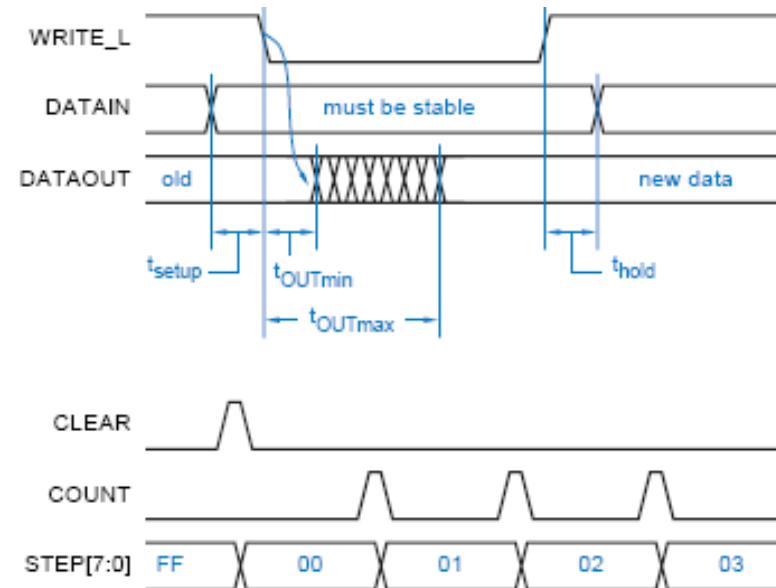
Технологическая цепочка – последовательность операций по проектированию цифровых схем

Инструментальная цепочка – множество САПР и иных инструментальных средств используемых совместно в рамках технологической цепочки

Временные диаграммы (Timing diagram)



Зависимость и задержки
распространения сигналов;
минимальные и максимальные
допустимые задержки



Определенные и неопределенные
состояния; последовательности
значений на многоразрядных шинах