

Práctica Diseño VLSI 1: Entorno MicroWind2, Diseño Fullcustom y Semicustom

Objetivos: Que el alumno se familiarice con el entorno de diseño VLSI.

Al finalizar la misma el alumno debe:

- Saber definir la tecnología a utilizar para realizar el diseño (Cargar archivos *.RUL File->Select Foundry)
- Dominar la edición geométrica en planta de capas (Pozo n, Áreas de difusión N⁺, P⁺, Polisilicio, Contactos y Metales).
- Realizar e interpretar cortes verticales y representación 3D del diseño.
- Salva y lectura de Diseños en diferentes tecnologías.
- Realizar diseño de transistores nMos, pMos, e interpretar las curvas de funcionamiento.
- Que el alumno sea capaz de realizar diseños fullcustom y semicustom en Microwind2 de inversores, puertas NAND, NOR y aplicaciones, así como simular dichos circuitos y analizar los resultados.

Ejercicio 1: Ejecutar Microwind2, activar la tecnología que corresponda y completar la siguiente tabla:

Características	Tecnología 0.18 μm	Tecnología 0.25 μm
Lambda		
Longitud mínima del canal (en unidades Lambda)		
Longitud mínima del canal (en μm)		

Ejercicio 2: Ejecutar Microwind2, inicializar un nuevo diseño usando la tecnología de 0,12 μm .

- Dibujar las capas de materiales semiconductores o metales según muestra la figura 1. Guardar el diseño en una carpeta de trabajo con nombre: **P1_A_bak.msk** y **P1_A.msk**. Verificar las reglas de diseño y visualizar mediante cortes transversales (figura 2)
- Comprobar las dimensiones de las diferentes capas (figura 3), insertar Contactos N+Diff/Metal1, Polisilicio/Metal1, Metal1/Metal2, Guardar el nuevo diseño con nombre **P1_B.msk** y **P1_B_bak.msk**

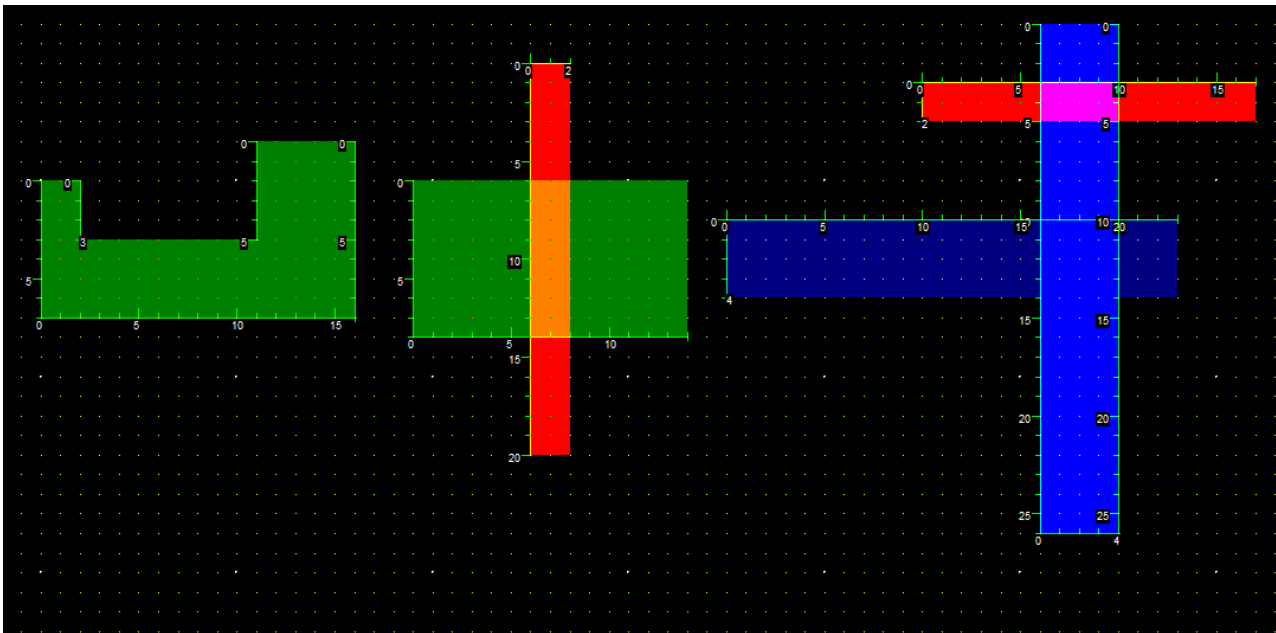


Figura 1.

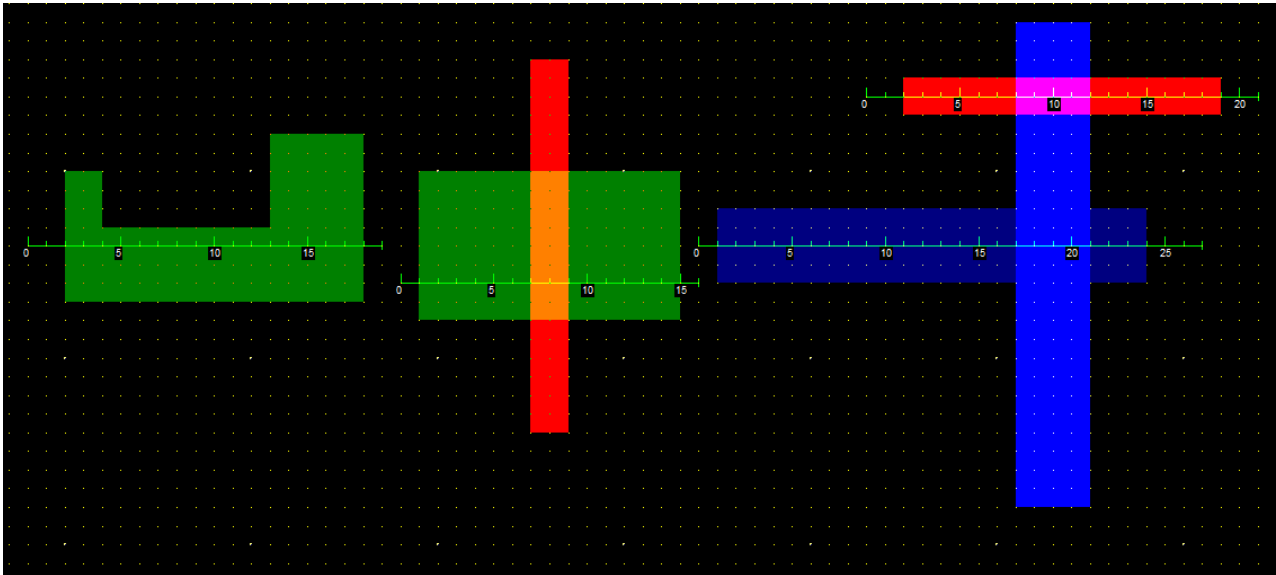


Figura 2.

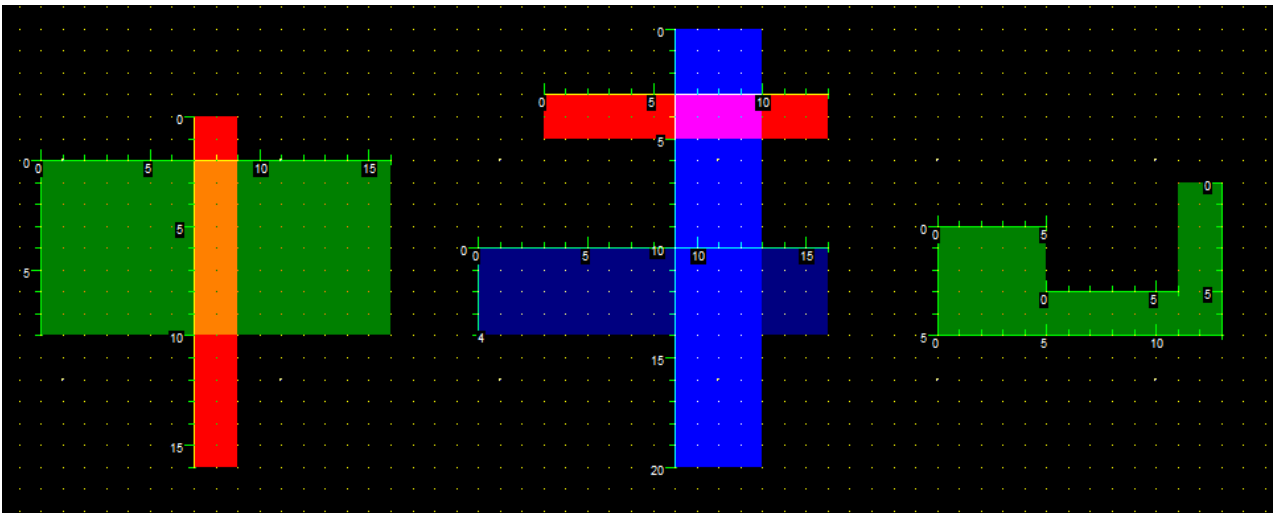


Figura 3

Ejercicio 3: Para el diseño del circuito de la figura 4, en el cual $R=2K5$ y $V_{dd}=2V$ se requiere un transistor nMOS con las características geométricas $W/L=8\lambda/2\lambda$ en tecnología de $0,12\mu m$.

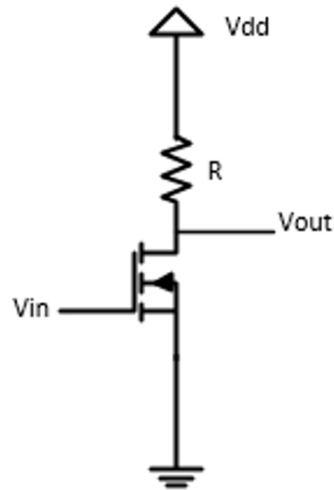


Figura 4

- a) Diseñar mediante capas (Layouts) un transistor compatible con el transistor del circuito (**P1_C.msk**) Verificar las reglas de diseño. A continuación visualizar las gráficas (I_d max vs V_{gs}) e (I_d vs V_{ds}).

(Copiar de la pantalla de Microwind2 a la zona de respuesta habilitada a continuación)

Layout nMOS:

I_d (max) vs V_{gs}

Id vs Vds

- b) Determinar y representar en la gráfica el valor de V_{th} n: _____
- c) Delimitar en la grafica con una curva las zonas de funcionamiento (zona lineal y zona de saturación) del transistor diseñado.
- d)Cuál es la longitud del canal en μm del transistor diseñado: _____
- e) Visualizar un corte transversal donde se muestre toda la estructura del transistor (substrato, fuente, drenador y puerta), así como obtener su modelo de fabricación en 3D. **(Copiar de la pantalla a la zona de respuesta)**. Explique brevemente ambas figuras.

Corte Transversal:

Modelo 3D

Comentario:

- f) Completar la siguiente tabla considerando el circuito de la figura 4 y el transistor nMOS diseñado. (sugerencia: superponer la recta de carga del circuito en la gráfica de salida del transistor nMOS en MW2)

Vin (V)	Vout(V)	Id (μ A)	Zona de Trabajo	En caso de $I_d > 0$: / $V_{ds} / > V_{gs} - V_{th}$ /? (Si ó No)
0.3				
1.0				
2.0				

Ejercicio 4: En el circuito de la figura 5, en el cual $V_{dd}=2V$, el transistor pMOS tiene las características geométricas $W/L=4 \lambda / 2 \lambda$ en tecnología de $0,12 \mu m$.

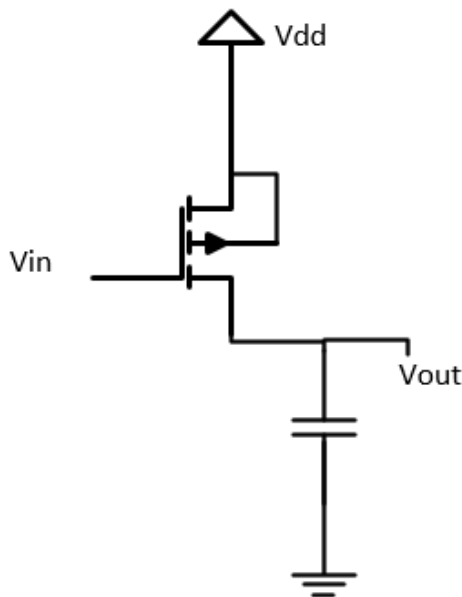


Figura 5

- a) Diseñar mediante capas (Layouts) un transistor compatible con el transistor del circuito (**P1_D.msk**) Verificar las reglas de diseño. A continuación visualizar las gráficas (I_d max vs V_{gs}) e (I_d vs V_{ds}).

(Copiar de la pantalla de Microwind2 a la zona de respuesta habilitada a continuación)

Layout pMOS:

I_d (max) vs V_{gs}

I_d vs V_{ds}

- a) Consultar las gráficas de funcionamiento del transistor, localizar el punto de trabajo en cada caso, y completar la siguiente tabla:

Vin (V)	Vout(V)	Vgs (V)	Vds (V)	Id (μ A)	Zona de Trabajo	En caso de $I_d > 0$: / $V_{ds} / > /V_{gs} - V_{th} /$? (Si ó No)
0.2	0.5V					
1.4	1.0V					
0.8	1.8V					

Ejercicio 5: Diseñar un inversor CMOS fullcustom en Microwind2, tecnología 50 nm, con nMOS $W = 6\lambda$ $L = 2\lambda$, y pMOS $W = 6\lambda$ $L = 2\lambda$ para su funcionamiento en el rango de 0 a 2.5 V de tensión en la señal de entrada.

Utilizar la guía incluida en el archivo **Layout_not.pdf** y comprobar las reglas de diseño en cada paso.

- a)- Captura del diseño geométrico:

- b)- Simular el circuito inversor suministrando una señal senoidal de 2GHz, con amplitud de 1.25V con un desplazamiento de 1.25V.

Captura del diagrama de voltajes de simulación: (Visualizar al menos 2 períodos de la señal de entrada)

c)- Captura de la función de transferencia:

d)- Completar las siguientes tablas con los parámetros del circuito:

Voh	Vol	Vil max	Vih min	MR h	MR l

Tabla de Verdad Eléctrica:

Casos	V Entrada	V Salida
1		
2		

Leyenda:

V-voltaje, MR Margen de Ruido, o-output, i-input, h- high , l-low, max- máximo, min- mínimo

e)- Dibujar el esquemático del circuito simulado y los circuitos equivalentes en lógica de interruptores para cada caso de la tabla de Verdad Eléctrica:

Circuito Esquemático:	Caso 1:	Caso 2:

Ejercicio 6: Diseñar 3 inversores semicustom con las propiedades que se indican a continuación, simular y obtener las funciones de transferencia en cada uno de ellos.

Inversor 1: nMOS $W = 4\lambda$ $L = 2\lambda$, y pMOS $W = 24\lambda$ $L = 2\lambda$

Inversor 2: nMOS $W = 4\lambda$ $L = 2\lambda$, y pMOS $W = 4\lambda$ $L = 2\lambda$

Inversor 3: nMOS $W = 24\lambda$ $L = 2\lambda$, y pMOS $W = 4\lambda$ $L = 2\lambda$

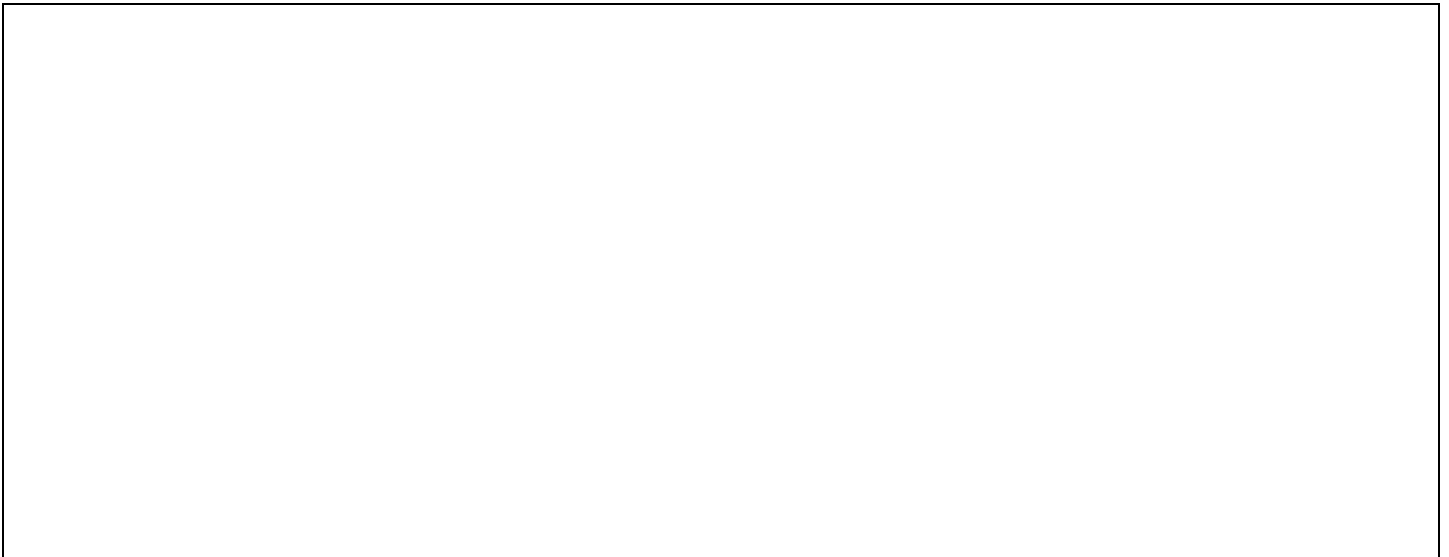
Captura de Diseños

Inversor 1	Inversor 2	Inversor 3

Función de Transferencia Inversor 1

--


Función de Transferencia Inversor 2



Función de Transferencia Inversor 3



Comparar las Funciones de Transferencia de los inversores y realizar conclusiones.



Ejercicio 7: En la figura 6 se presenta un diseño geométrico semicustom ($W=8\lambda$, $L=2\lambda$, $0,12\text{ }\mu\text{m}$).

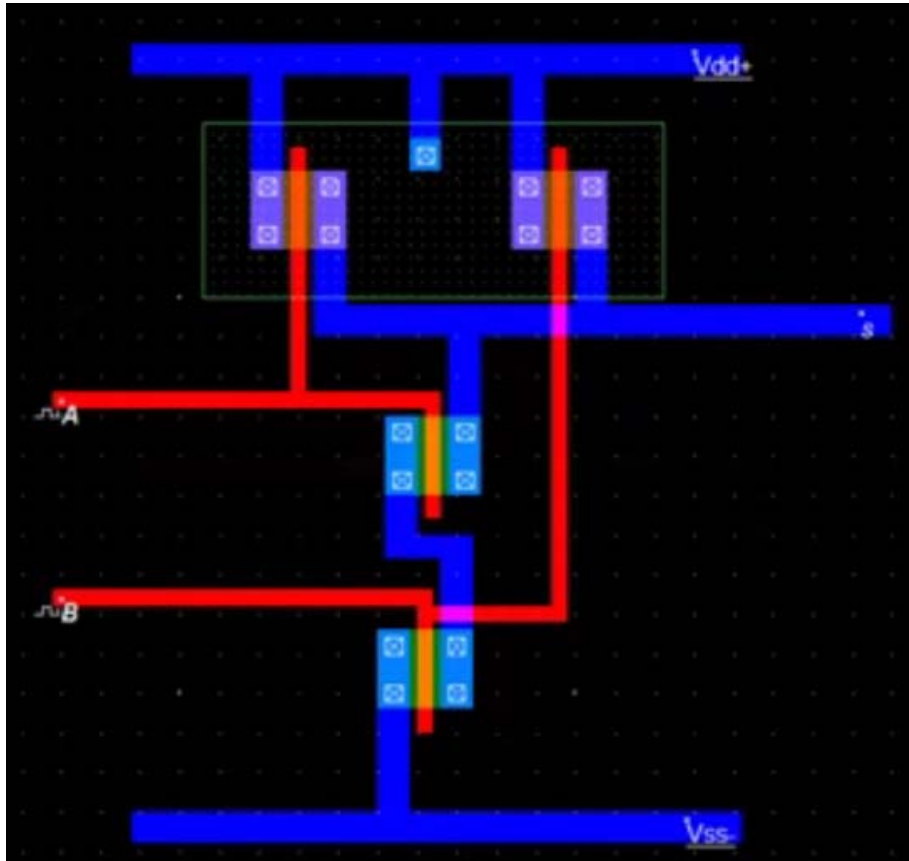


Figura 6

a) Analizar el diseño y obtener el circuito esquemático correspondiente

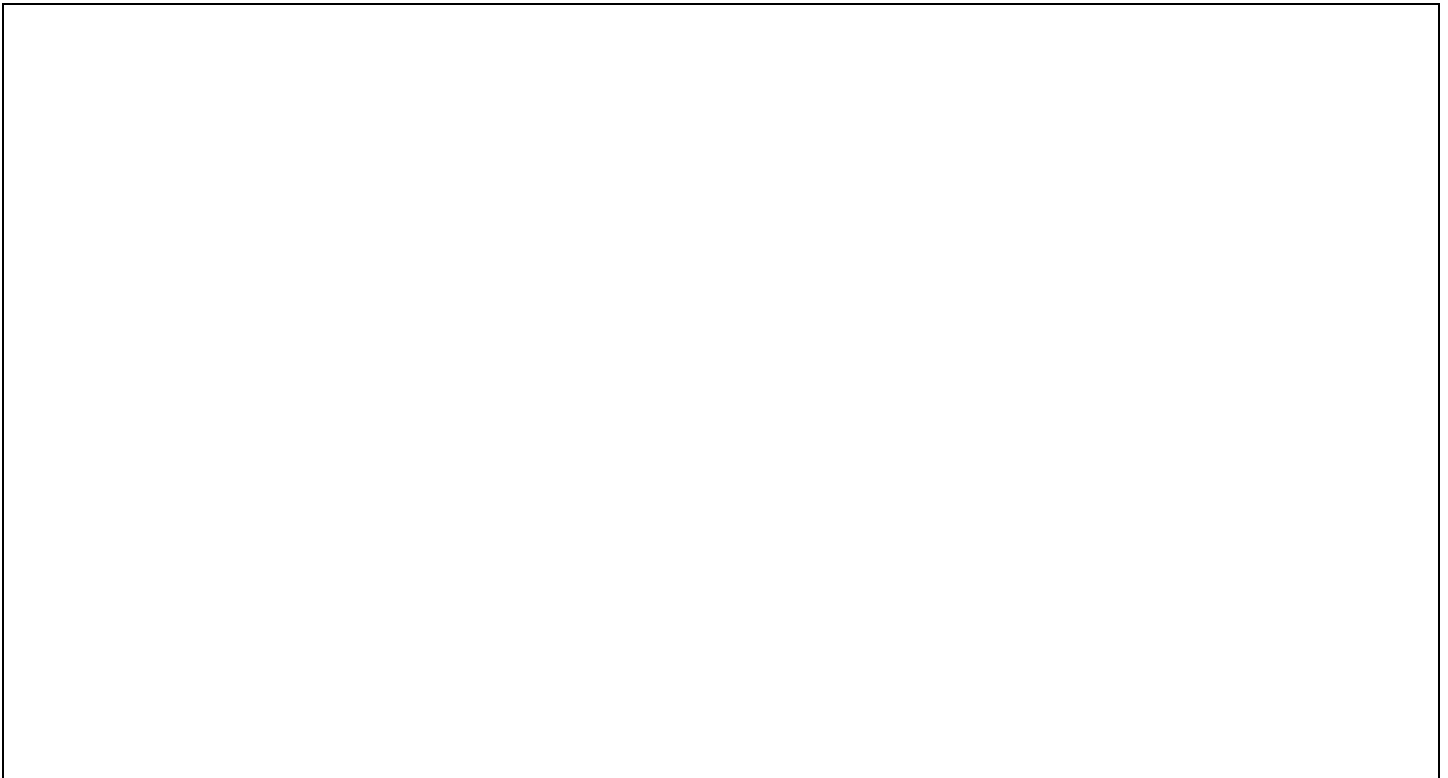
b) Simular con los siguientes valores y verificar su funcionalidad

Entrada A: $t_l = 0.115\text{ ns}$ $t_r = 0.025\text{ ns}$ $t_h = 0.115\text{ ns}$ $t_f = 0.025\text{ ns}$

Entrada B: $t_l = 0.255\text{ ns}$ $t_r = 0.025\text{ ns}$ $t_h = 0.255\text{ ns}$ $t_f = 0.025\text{ ns}$

Con valores de tensión High Level = 1.20 V y Low Level = 0.00 V.

Captura del diagrama de voltajes de simulación: (Visualizar al menos 2 períodos de la señal de entrada B)



Ejercicio 8: Utilizando una plantilla similar a la usada en la figura 8.a diseñar en MicroWind2 el circuito del esquemático de la figura 8.b (NOR CMOS de dos entradas) con tecnología semicustom de $0.18\ \mu\text{m}$ con transistores pMOS $W=8\lambda$, $L=2\lambda$ y nMOS $W=4\lambda$, $L=2\lambda$.

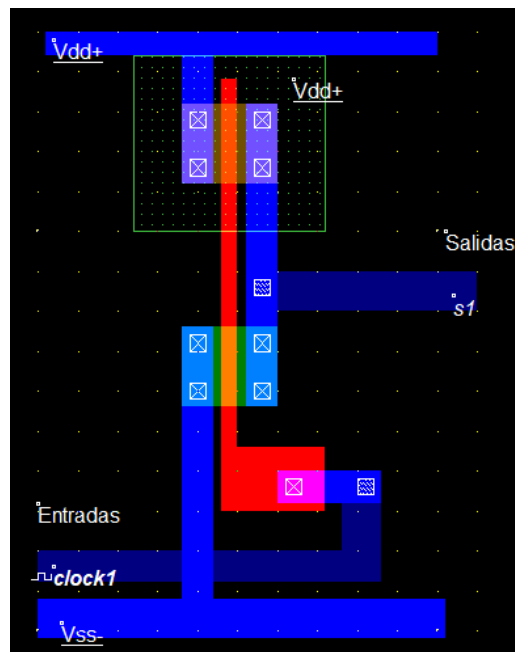


Figura 8.a

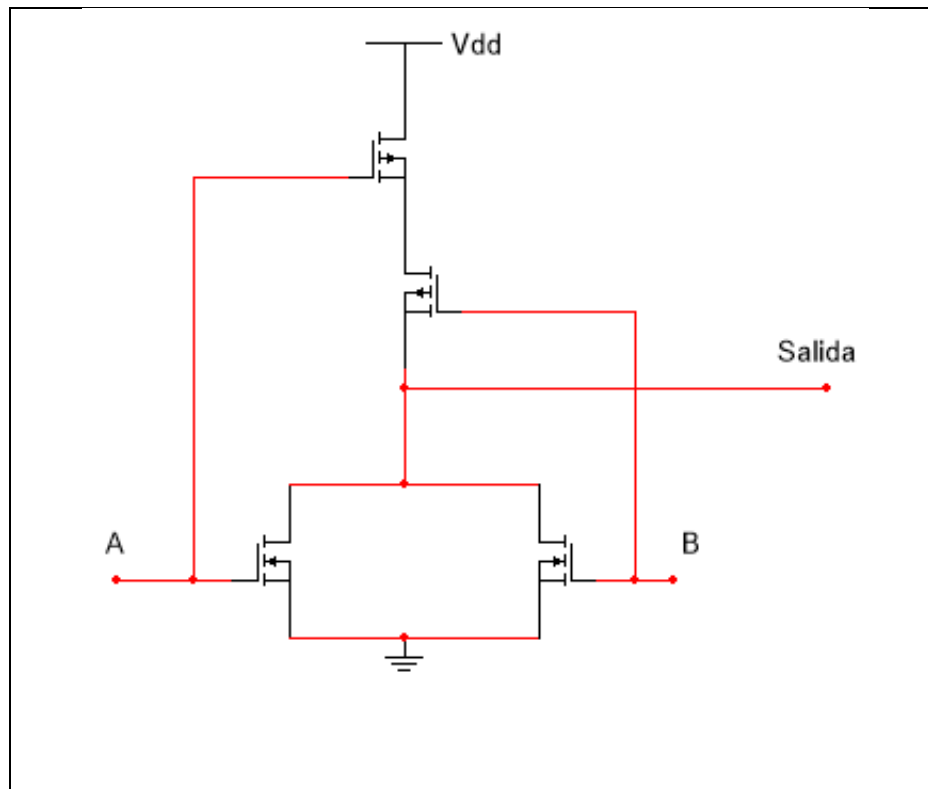
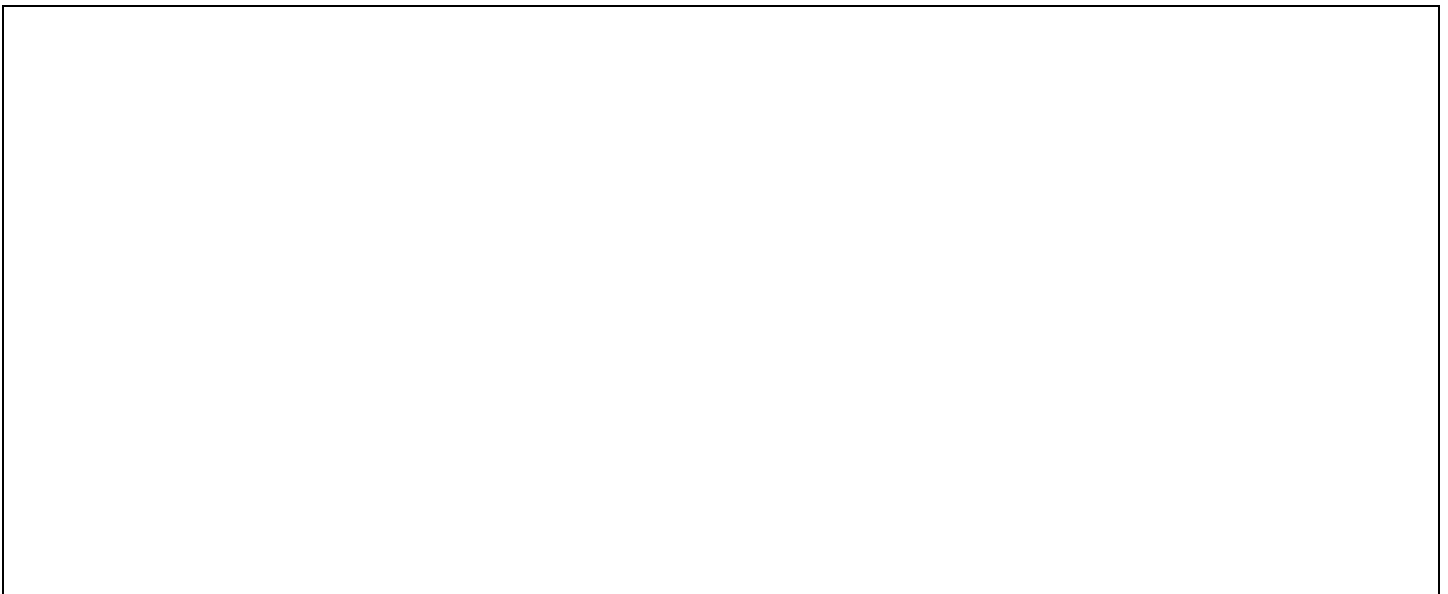


Figura 8.b Esquemático NOR – CMOS – dos entradas

a)- Captura del diseño geométrico:



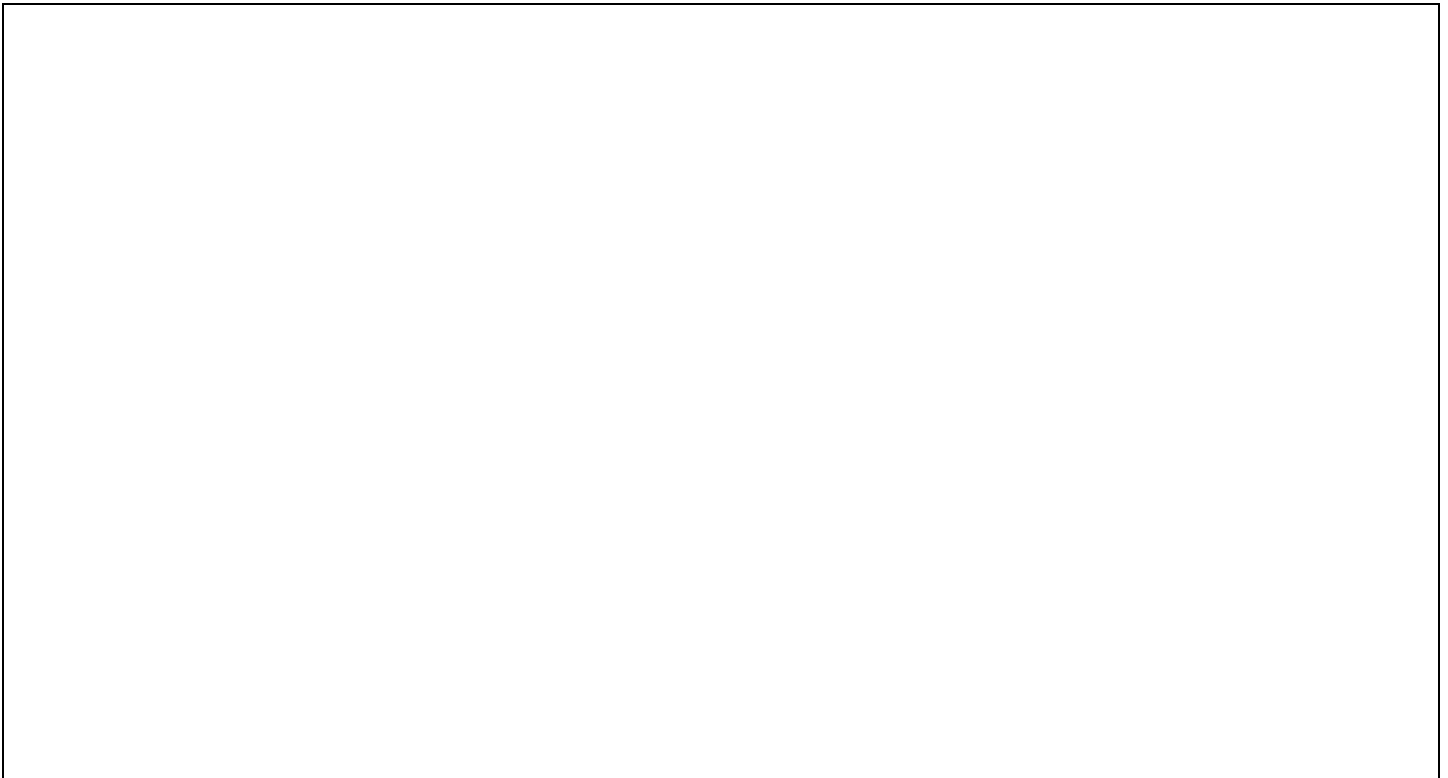
b)- Simular el circuito con los siguientes datos para las señales de entrada:

Entrada A: $t_l = 0.115$ ns $t_r = 0.025$ ns $t_h = 0.115$ ns $t_f = 0.025$ ns

Entrada B: $t_l = 0.255$ ns $t_r = 0.025$ ns $t_h = 0.255$ ns $t_f = 0.025$ ns

Con valores de tensión High Level = 1.20 V y Low Level = 0.00 V.

Captura del diagrama de voltajes de simulación: (Visualizar al menos 2 períodos de la señal de entrada B)



c)- Completar la tabla de verdad eléctrica y verificar que funciona correctamente.

Tabla de Verdad Eléctrica:

Casos	Entrada A	Entrada B	Salida
1			
2			
3			
4			

d) Dibujar el circuito lineal equivalente para un caso donde la salida del circuito es baja “Low”.



Ejercicio 9: En la figura 9 se presenta un diseño geométrico fullcustom.

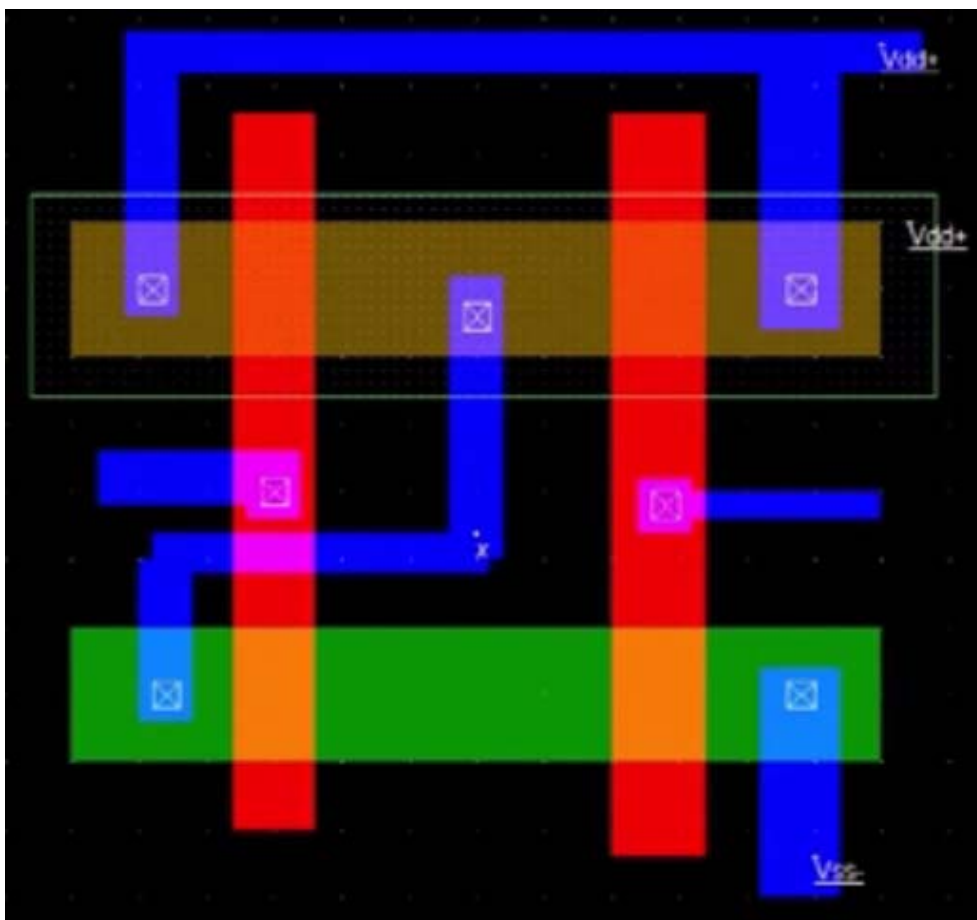
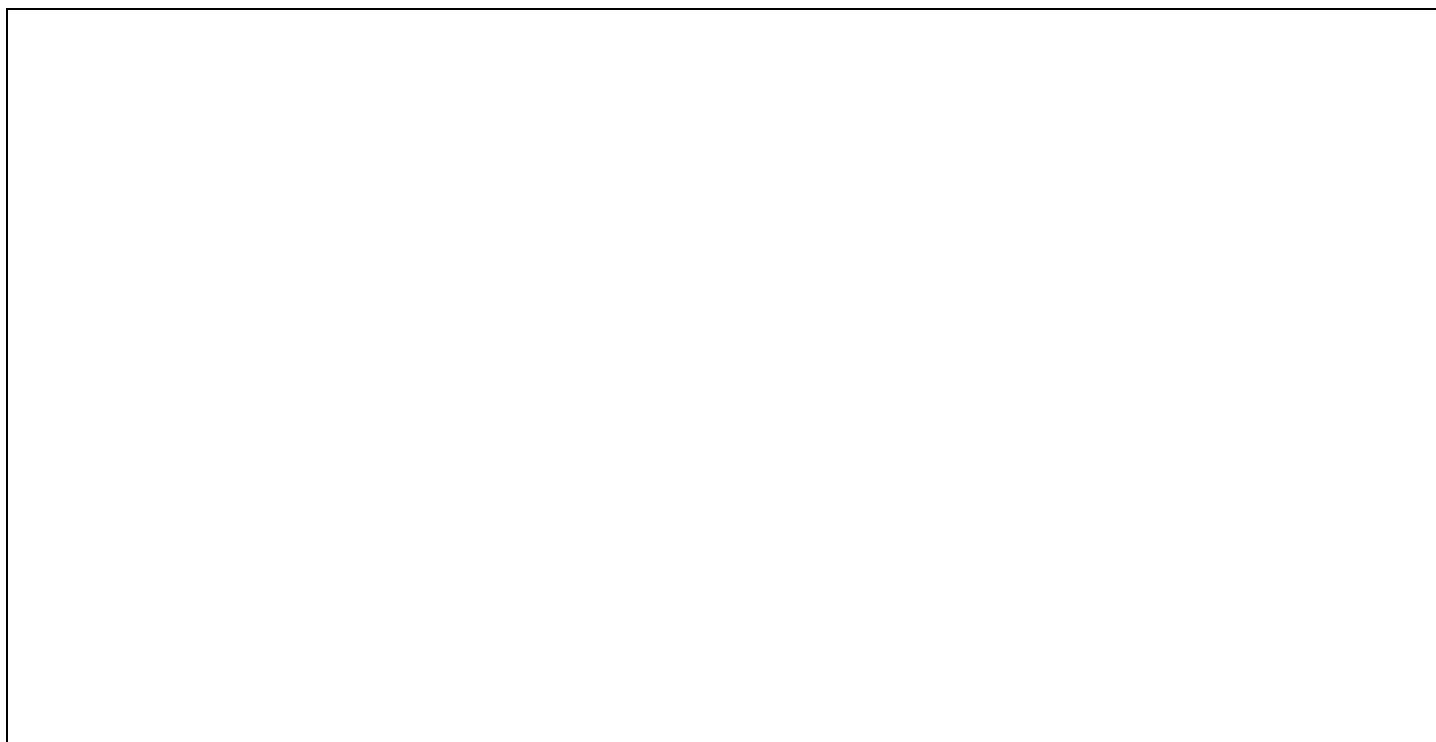


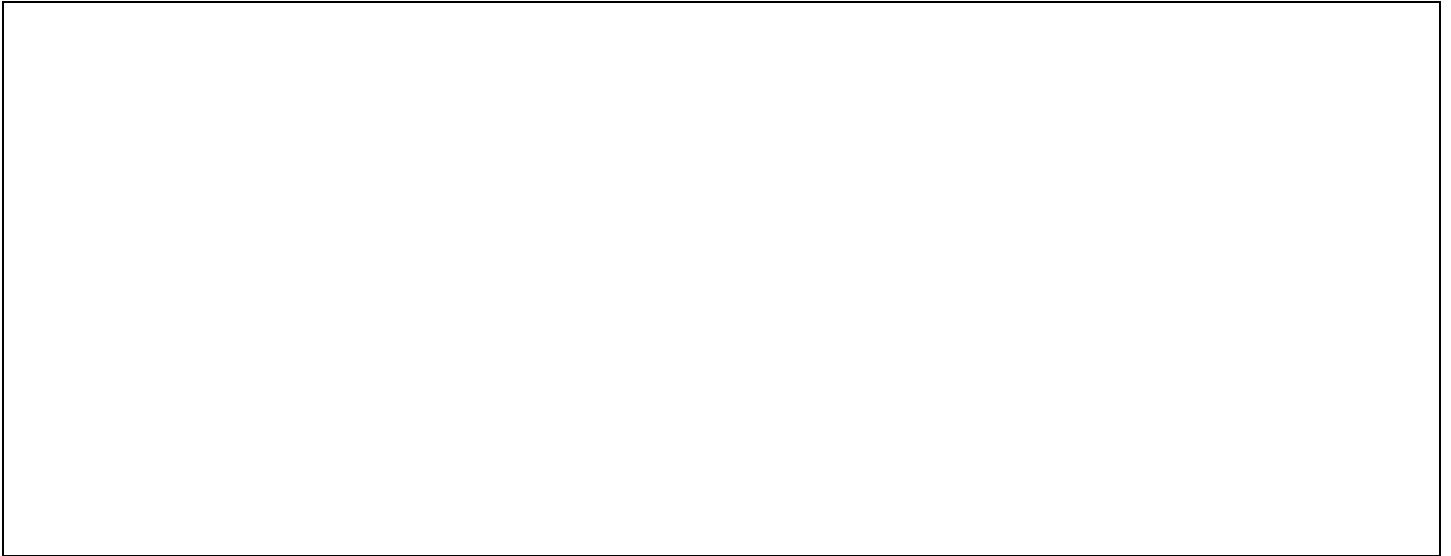
Figura 9

a) Analizar el diseño y obtener el circuito esquemático correspondiente



- b) Realizar las modificaciones necesarias al diseño acorde a la plantilla 8.a.

Captura del diseño modificado:



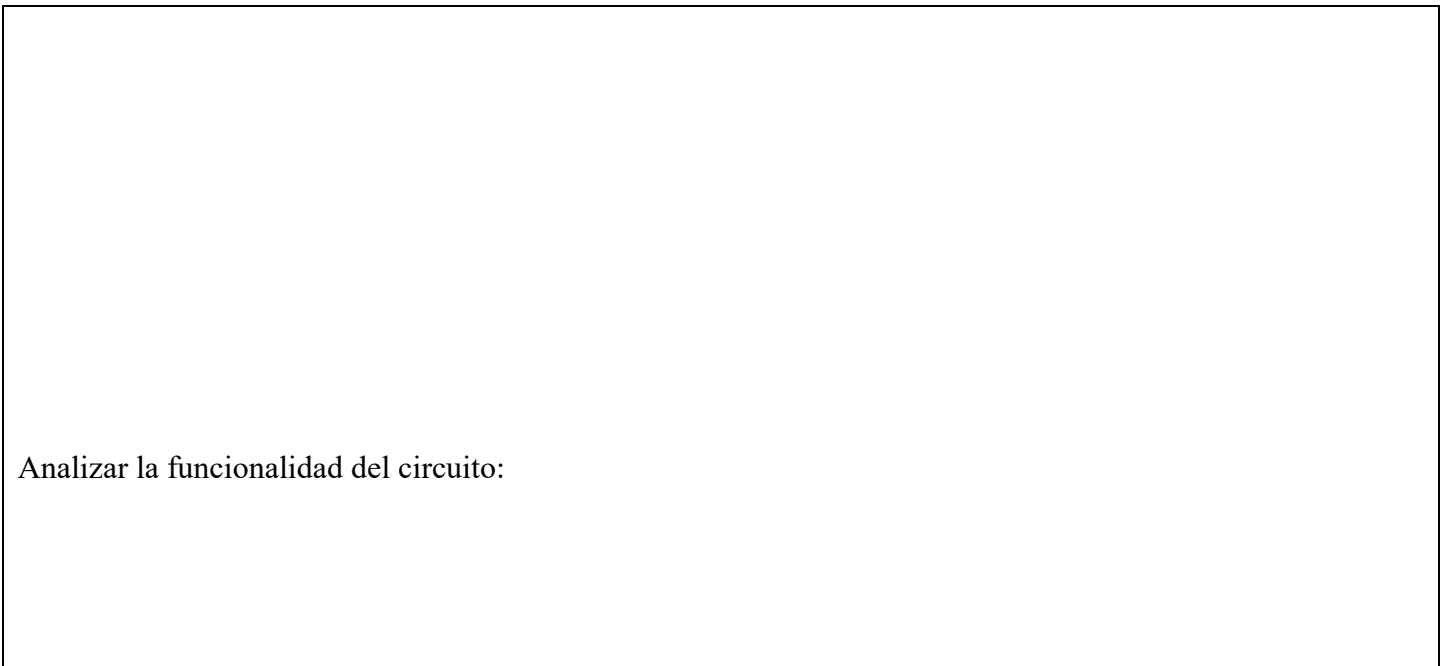
- c) Simular con los siguientes valores y verificar su funcionalidad

Entrada A: $t_l = 0.115 \text{ ns}$ $t_r = 0.025 \text{ ns}$ $t_h = 0.115 \text{ ns}$ $t_f = 0.025 \text{ ns}$

Entrada B: $t_l = 0.255 \text{ ns}$ $t_r = 0.025 \text{ ns}$ $t_h = 0.255 \text{ ns}$ $t_f = 0.025 \text{ ns}$

Con valores de tensión High Level = 1.20 V y Low Level = 0.00 V.

Captura del diagrama de voltajes de simulación: (Visualizar al menos 2 períodos de la señal de entrada B)



Analizar la funcionalidad del circuito:

Ejercicio 10: En la figura 10 se presenta un diseño geométrico fullcustom ($W=4\lambda$, $L=2\lambda$, $0,18\mu\text{m}$).

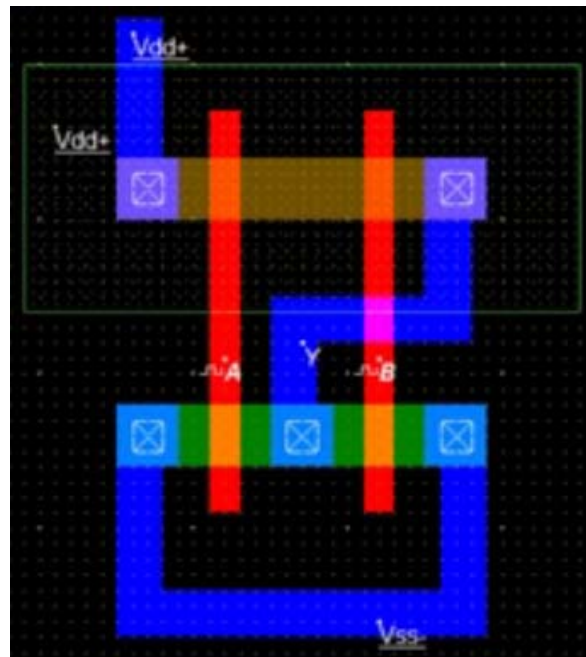


Figura 10

d) Analizar el diseño y obtener el circuito esquemático correspondiente

e) Realizar las modificaciones necesarias al diseño acorde a la plantilla 8.a.

Captura del diseño modificado:

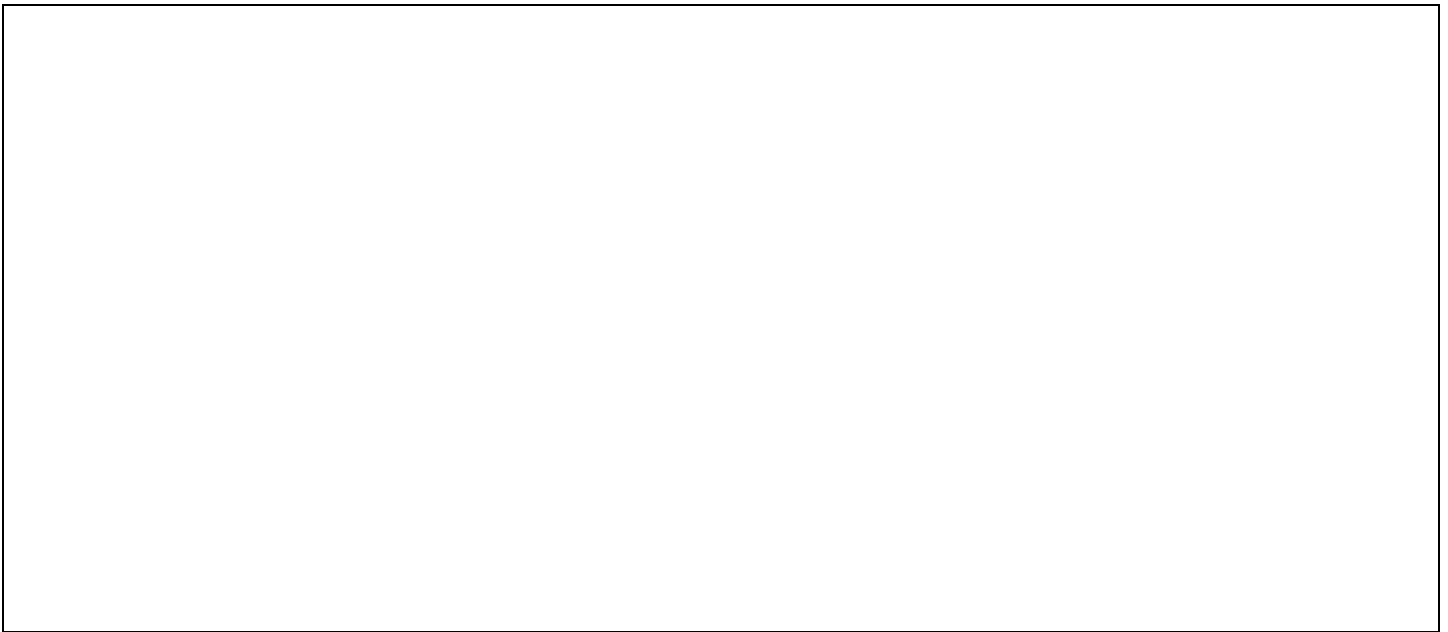
f) Simular con los siguientes valores y verificar su funcionalidad

Entrada A: $t_l = 0.115 \text{ ns}$ $t_r = 0.025 \text{ ns}$ $t_h = 0.115 \text{ ns}$ $t_f = 0.025 \text{ ns}$

Entrada B: $t_l = 0.255 \text{ ns}$ $t_r = 0.025 \text{ ns}$ $t_h = 0.255 \text{ ns}$ $t_f = 0.025 \text{ ns}$

Con valores de tensión High Level = 1.20 V y Low Level = 0.00 V.

Captura del diagrama de voltajes de simulación: (Visualizar al menos 2 períodos de la señal de entrada B)



Ejercicio 11: En la figura 11 se presenta un diseño geométrico semicustom (pMOS $W=12\lambda$, $L=2\lambda$, , nMOS $W=4\lambda$, $L=2\lambda$, $0,18\mu\text{m}$).

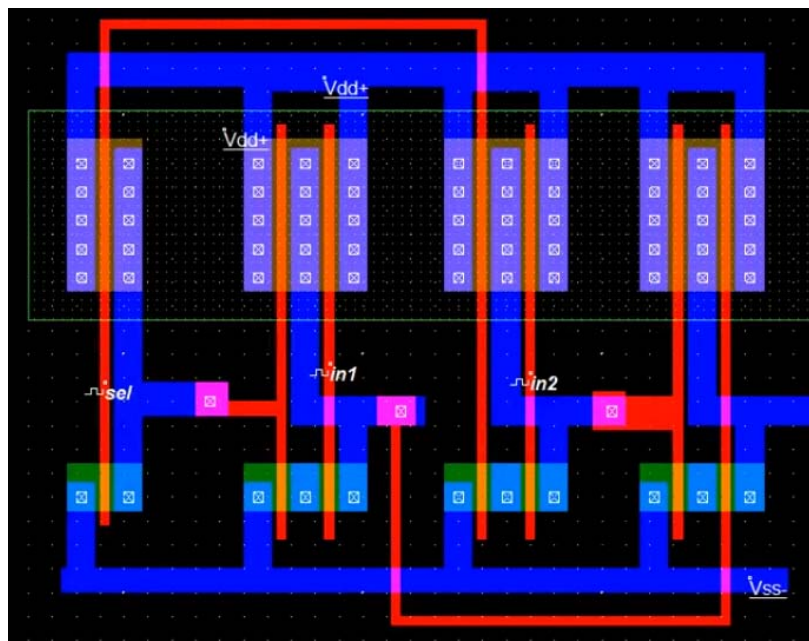
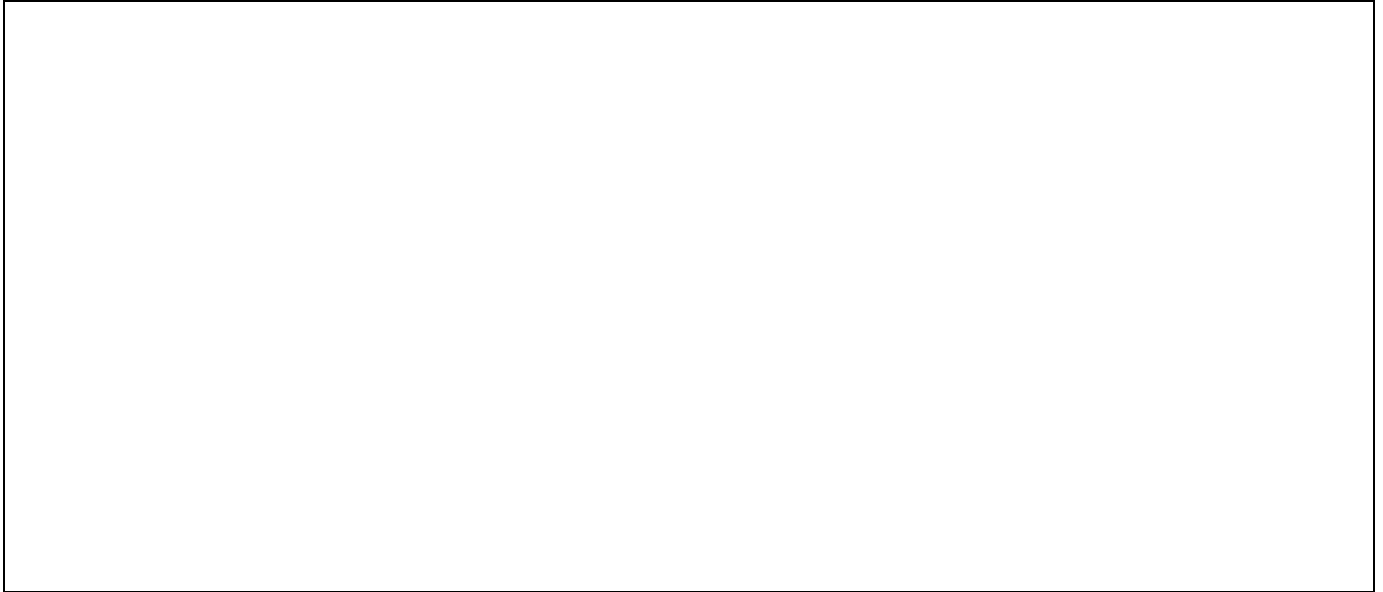
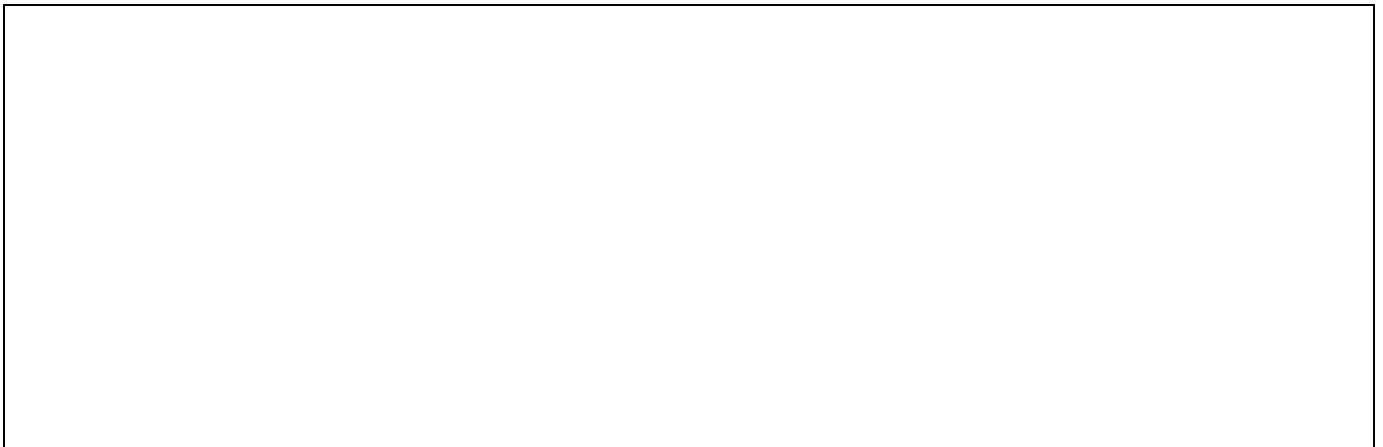


Figura. 11

- a) Delimitar bloques funcionales y proponer un circuito esquemático (combinacional en lógica digital) para el mismo.



- b) Obtener la función lógica simplificada:



- c) Realizar el diseño semicustom utilizando las funciones lógicas adecuadas, simular y verificar el funcionamiento con:

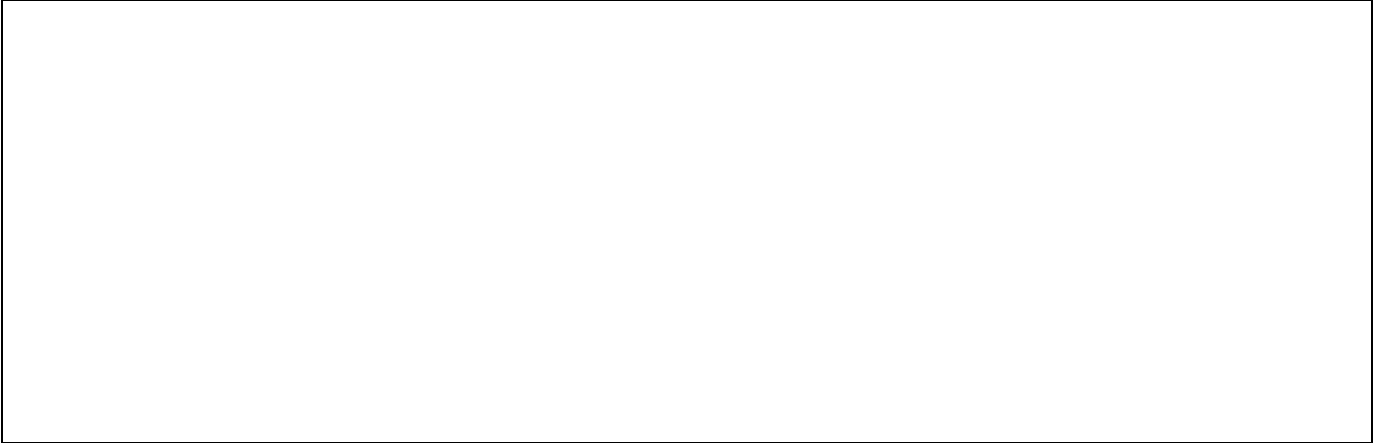
Sel: tl = 0.535 ns tr = 0.025 ns th = 0.535 ns tf = 0.025 ns

In1 tl = 0.255 ns tr = 0.025 ns th = 0.255 ns tf = 0.025 ns


In2: tl = 0.115 ns tr = 0.025 ns th = 0.115 ns tf = 0.025 ns

Con valores de tensión High Level = 1.20 V y Low Level = 0.00 V.

Captura de diagrama de simulación:

A large, empty rectangular box with a thin black border, intended for capturing a simulation diagram.

Verificar funcionamiento correcto:

A large, empty rectangular box with a thin black border, intended for verifying the correct operation of the simulation.