

Práctica Diseño VLSI 1: Entorno MicroWind2 y Diseño Fullcustom de transistores NMOS y PMOS

Objetivos: Que el alumno sea capaz de realizar diseños fullcustom y semicustom en Microwind2 de puertas de transmisión y sus aplicaciones, así como simular dichos circuitos y analizar los resultados.

Ejercicio 1: En la figura 1.a se muestra el circuito de un transistor nMOS configurado como puerta de transmisión, mientras que la figura 1.b se muestra el croquis de un diseño geométrico para dicha puerta.

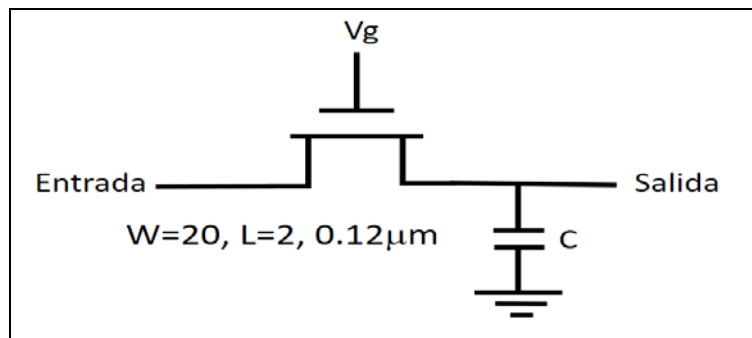


Fig 1.a

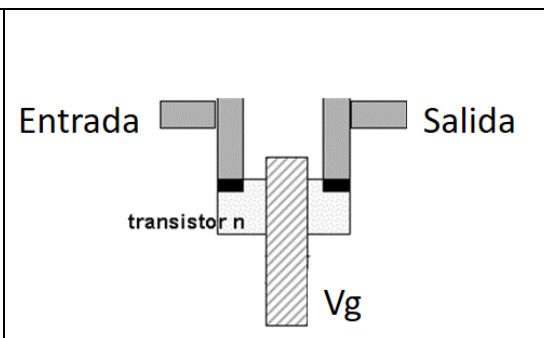


Fig 1.b

- Realizar en Microwind2 el diseño de la puerta de transmisión nMOS similar al croquis de la figura 1.b en un área máxima de $60\lambda \times 60\lambda$
- Comprobar las reglas de diseño, cortes transversales y vista 3D.
- Realizar la simulación de la puerta de transmisión con las siguientes señales:

Entrada: $t_l = 0.225 \text{ ns}$ $t_r = 0.025 \text{ ns}$ $t_h = 0.225 \text{ ns}$ $t_f = 0.025 \text{ ns}$

Vg: $t_l = 0.7975$ $t_r = 0.025 \text{ ns}$ $t_h = 0.7975 \text{ ns}$ $t_f = 0.025 \text{ ns}$

Con valores de tensión High Level = 1.20 V y Low Level = 0.00 V.

- Visualizar el diagrama de señales resultado de la simulación, dicho grafico debe incluir entre 2 y 4 ciclos o períodos de la señal Vg.

Diagrama de la Puerta de Transmisión 3D (Captura de Pantalla):

Diagrama de simulación (Captura de Pantalla):

e) Completar la siguiente tabla tomando los resultados de la simulación

Entrada (V)	Vg=0V	Vg=1.2V
	Salida (V)	Salida (V)
0V		
1.2V		

f) Explicar brevemente el funcionamiento de la puerta de transmisión nMOS.

Ejercicio 2: En la figura 2.a se muestra el circuito de un transistor pMOS configurado como puerta de transmisión, mientras que la figura 2.b se muestra el croquis de un diseño geométrico para dicha puerta.

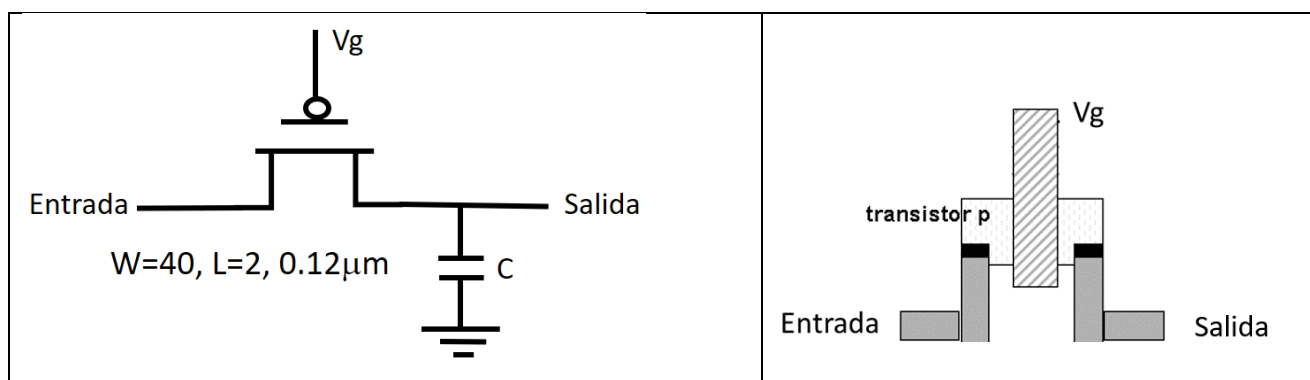


Fig 2.a

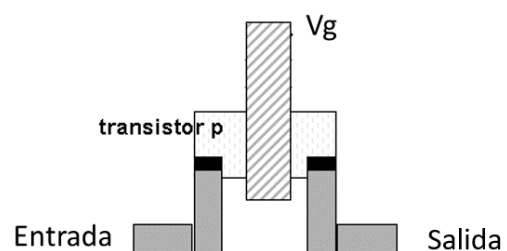


Fig 2.b

- Realizar en Microwind2 el diseño de la puerta de transmisión pMOS similar al croquis de la figura 2.b en un área máxima de $60\lambda \times 60\lambda$
- Comprobar las reglas de diseño, cortes transversales y vista 3D.
- Realizar la simulación de la puerta de transmisión con las siguientes señales:

Entrada : $t_l = 0.225 \text{ ns}$ $t_r = 0.025 \text{ ns}$ $t_h = 0.225 \text{ ns}$ $t_f = 0.025 \text{ ns}$

Vg: $t_l = 0.7975$ $t_r = 0.025 \text{ ns}$ $t_h = 0.7975 \text{ ns}$ $t_f = 0.025 \text{ ns}$

Con valores de tensión High Level = 1.20 V y Low Level = 0.00 V.

- Visualizar el diagrama de señales resultado de la simulación, dicho grafico debe incluir entre 2 y 4 ciclos o períodos de la señal Vg.

Diagrama de la Puerta de Transmisión 3D (Captura de Pantalla):

Diagrama de simulación (Captura de Pantalla):

e) Completar la siguiente tabla tomando los resultados de la simulación

Entrada (V)	$V_g=0V$	$V_g=1.2V$
	Salida (V)	Salida (V)
0V		
1.2V		

f) Explicar brevemente el funcionamiento de la puerta de transmisión pMOS.

Ejercicio 3: En la figura 3.a se muestra una puerta de transmisión CMOS, compuesta por un transistor nMOS y un transistor pMOS, mientras que la figura 3.b se muestra el croquis de un diseño geométrico para dicha puerta.

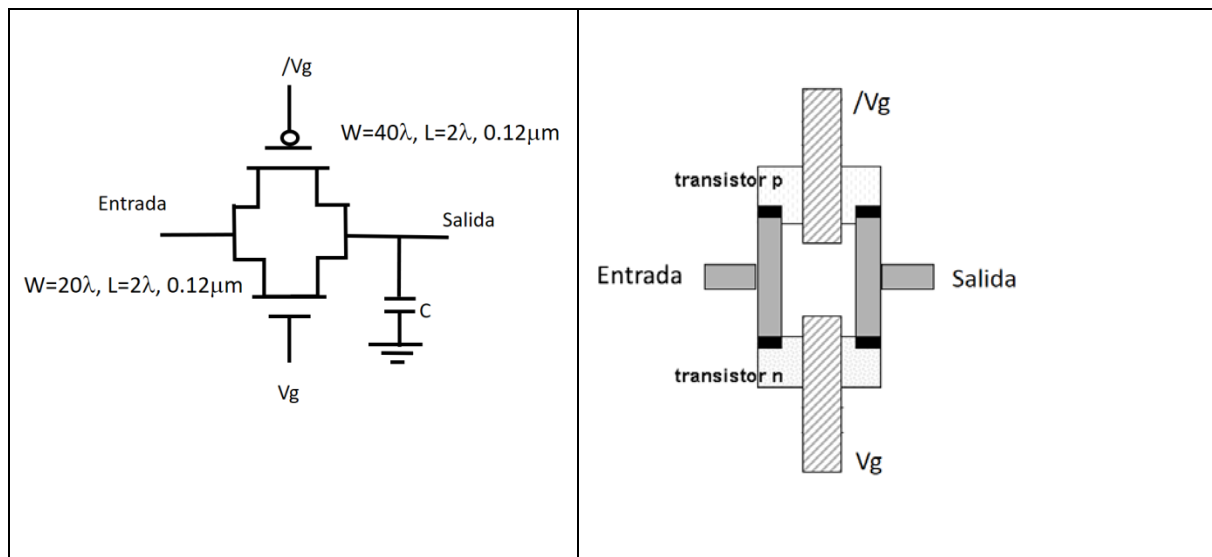


Fig 3.a

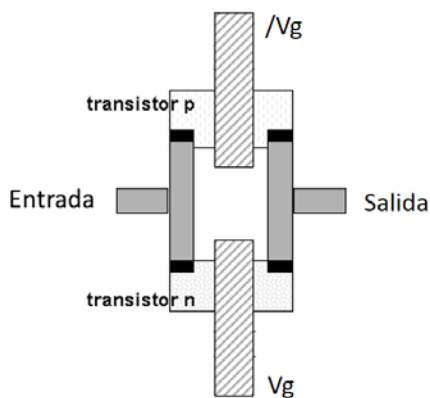


Fig 3.b

- Realizar en Microwind2 el diseño de la puerta de transmisión CMOS similar al croquis de la figura 3.b en un área máxima de $80\lambda \times 80\lambda$
- Comprobar las reglas de diseño, cortes transversales y vista 3D.
- Realizar la simulación de la puerta de transmisión con las siguientes señales:

Entrada : $t_l = 0.225 \text{ ns}$ $t_r = 0.025 \text{ ns}$ $t_h = 0.225 \text{ ns}$ $t_f = 0.025 \text{ ns}$

V_g : $t_l = 0.7975$ $t_r = 0.025 \text{ ns}$ $t_h = 0.7975 \text{ ns}$ $t_f = 0.025 \text{ ns}$

Con valores de tensión High Level = 1.20 V y Low Level = 0.00 V.

- d) Visualizar el diagrama de señales resultado de la simulación, dicho grafico debe incluir entre 2 y 4 ciclos o períodos de la señal V_g .

Diagrama de la Puerta de Transmisión 3D (Captura de Pantalla):

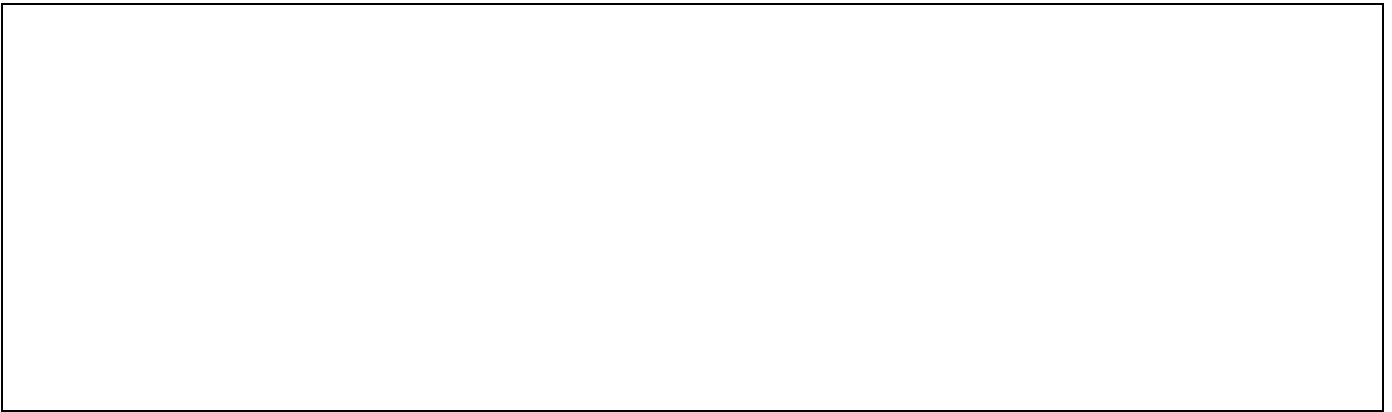
Diagrama de simulación (Captura de Pantalla):

- e) Completar la siguiente tabla tomando los resultados de la simulación

Entrada (V)	$V_g=0V$	$V_g=1.2V$
	Salida (V)	Salida (V)
0V		
1.2V		

- f) Explicar brevemente el funcionamiento de la puerta de transmisión CMOS.

g) Dibujar otros símbolos esquemáticos usados para la puerta de transmisión CMOS.



Ejercicio 4: Realizar con las puertas de transmisión CMOS necesarias un multiplexor 2 a 1 como el que se muestra en el esquemático de la figura 4, considere minimizar el área de diseño (fullcustom o semicustom)

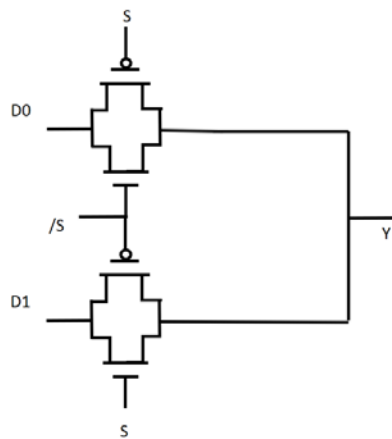
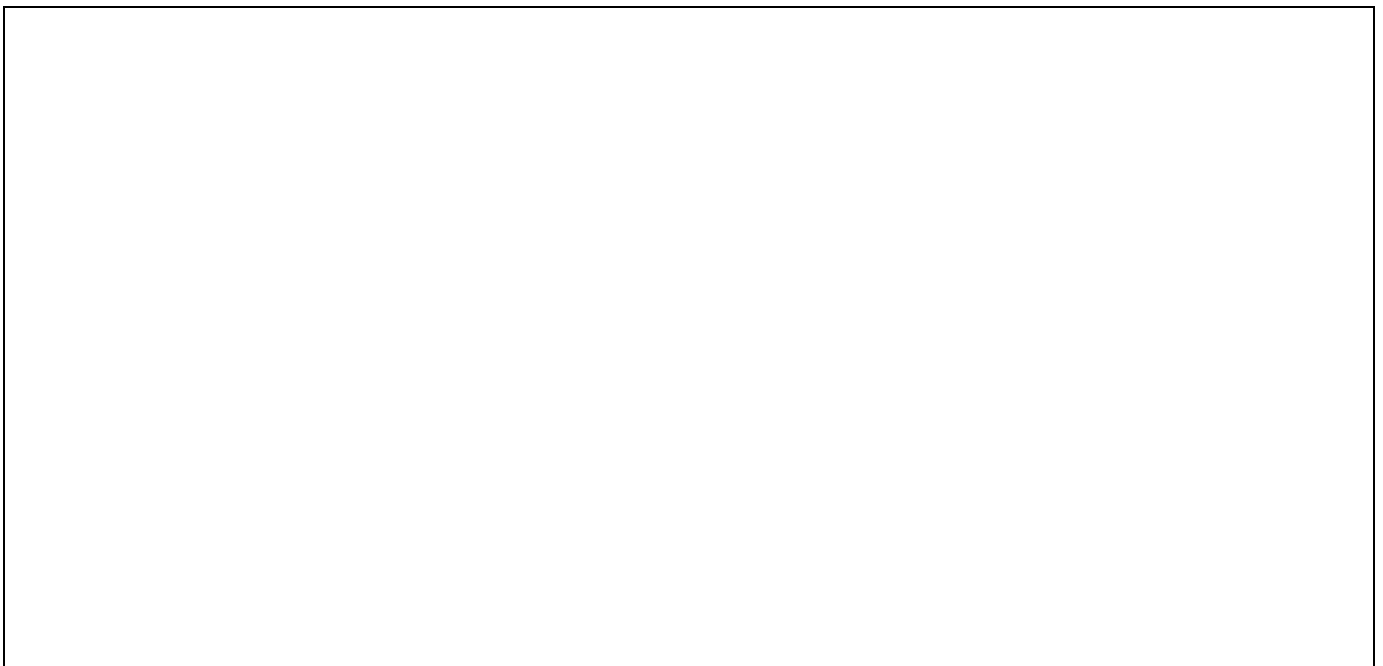
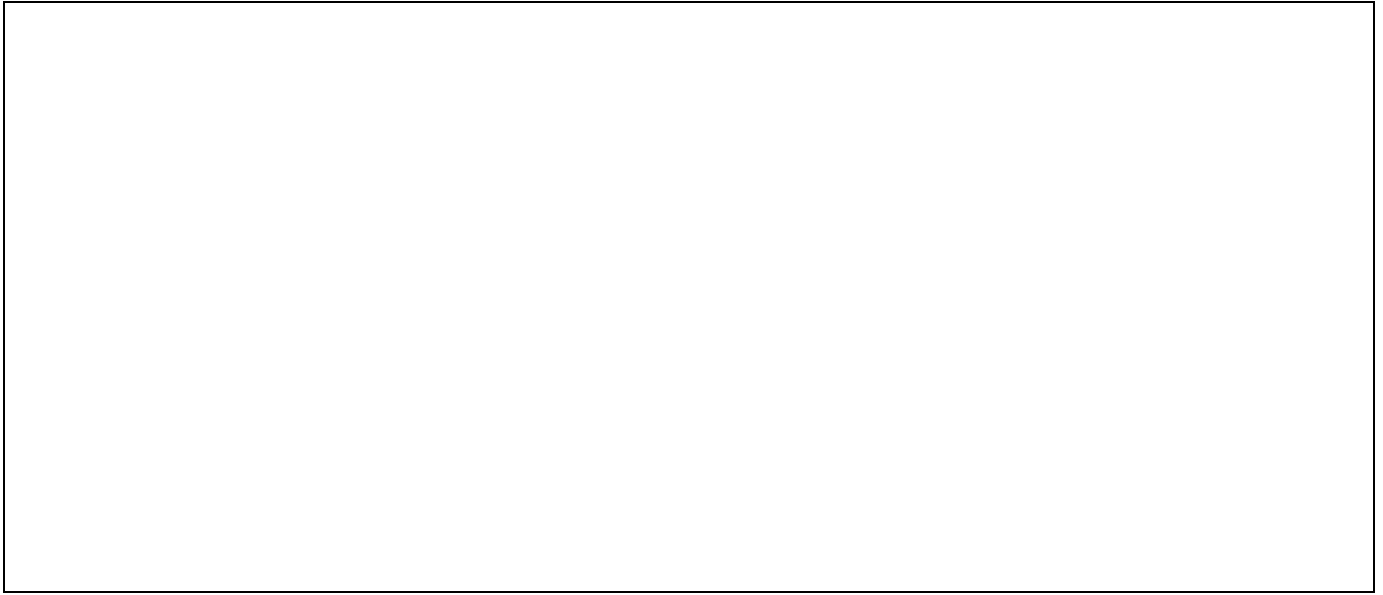


Figura 4

a) Captura del Diseño geométrico:



b) Captura del Modelo 3D:



c) Realizar la simulación con los siguientes datos de señales de reloj:

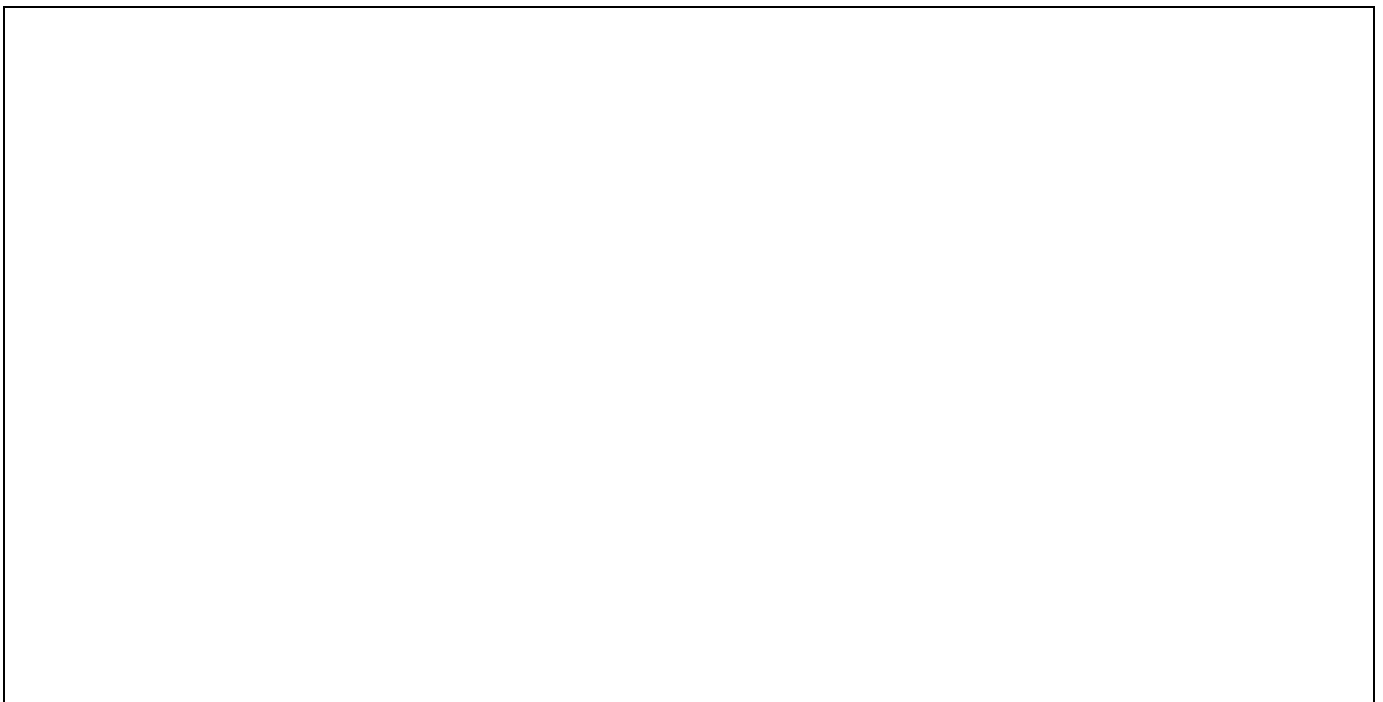
D0 : tl = 0.475 ns tr = 0.025 ns th = 0.475 ns tf = 0.025 ns

D1: tl = 0.225 ns tr = 0.025 ns th = 0.225 ns tf = 0.025 ns

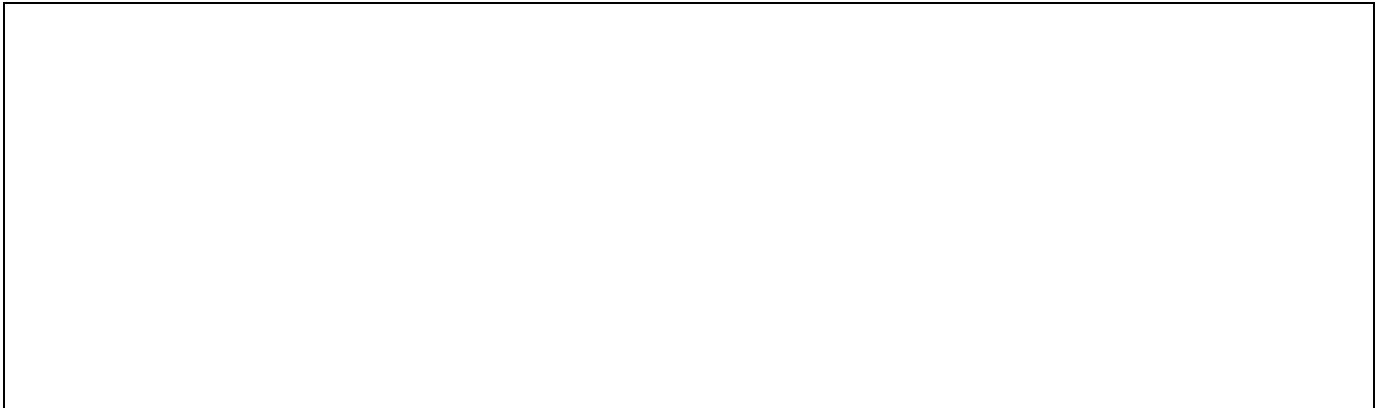
S, /S: tl = 0.7975 tr = 0.025 ns th = 0.7975 ns tf = 0.025 ns

Con valores de tensión: High Level = 1.20 V y Low Level = 0.00 V.

Captura del Diagrama de simulación (Visualizar entre 2 y 4 ciclos de la señal S)

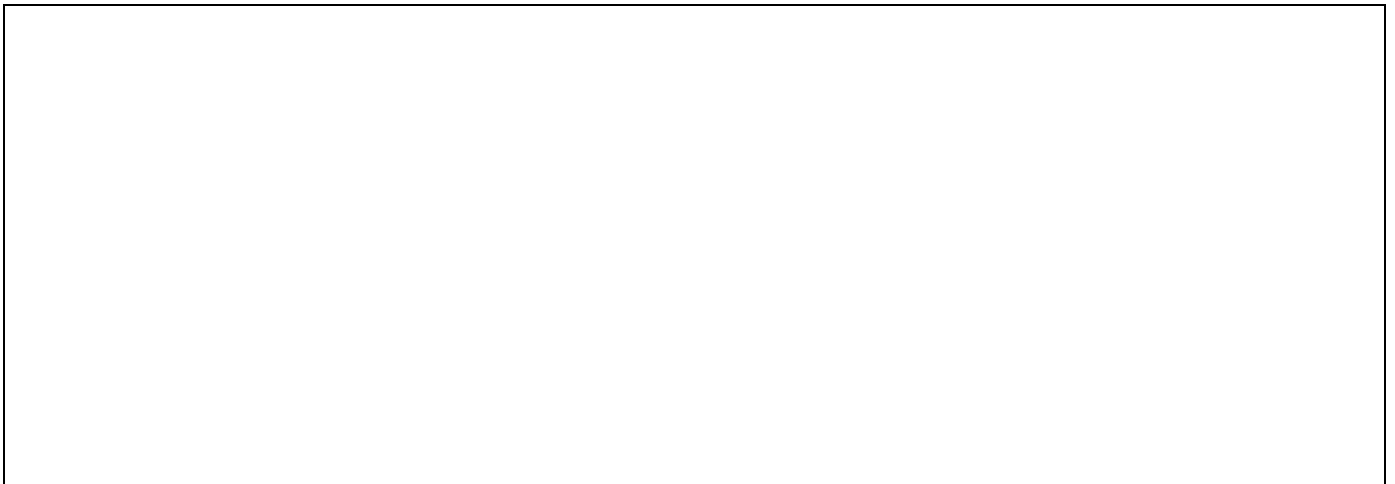


- d) Analizar los Resultados de simulación y elaborar la tabla de funcionamiento del circuito.



- e) Diseñar un circuito con igual funcionalidad utilizando solamente transistores semicustom nMOS $W=4\lambda$, $L=2\lambda$, $0,12\ \mu\text{m}$, realizar la simulación con las señales del apartado c y compare los resultados con los obtenidos en el apartado d).

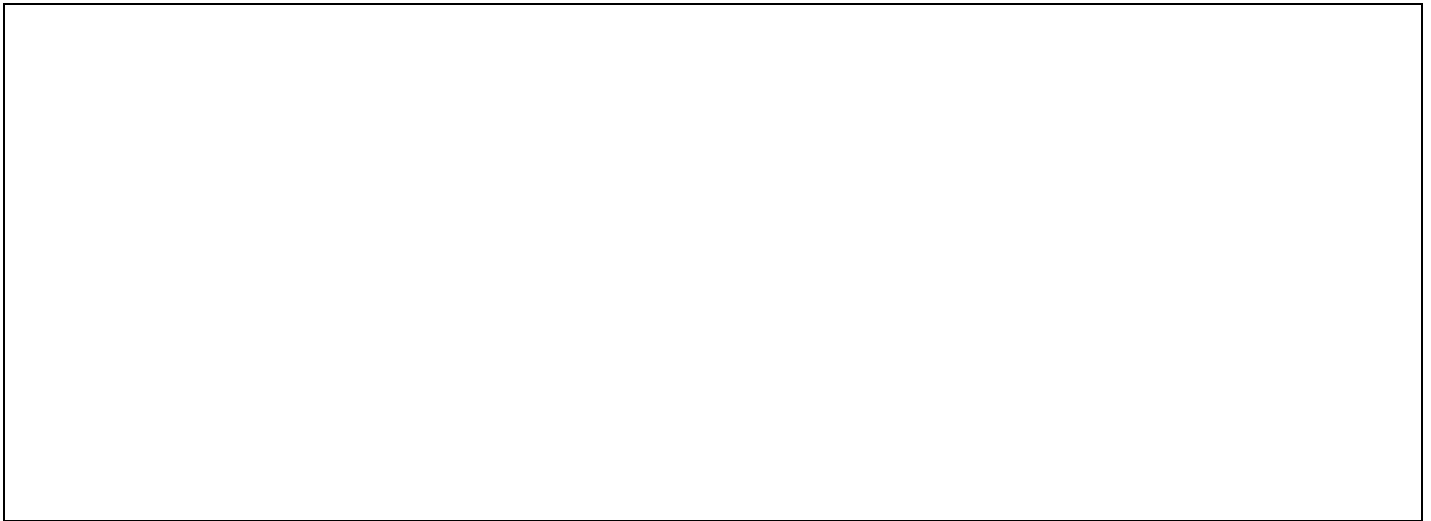
Esquemático del circuito:



Captura del diseño:



Captura del Diagrama de simulación:



Analizar y comparar los resultados:



Ejercicio 5: El diseño esquemático de la figura 5 corresponde a un multiplexor 2 a 1 con puertas de transmisión CMOS en tecnología de $0,18\text{ }\mu\text{m}$ semicustom, pMOS: $W=30\lambda$, $L=2\lambda$ y nMOS: $W=10\lambda$, $L=2\lambda$.

- a) Realizar el esquemático (Semicustom), e indicar los transistores n1, n2, p1 y p2.



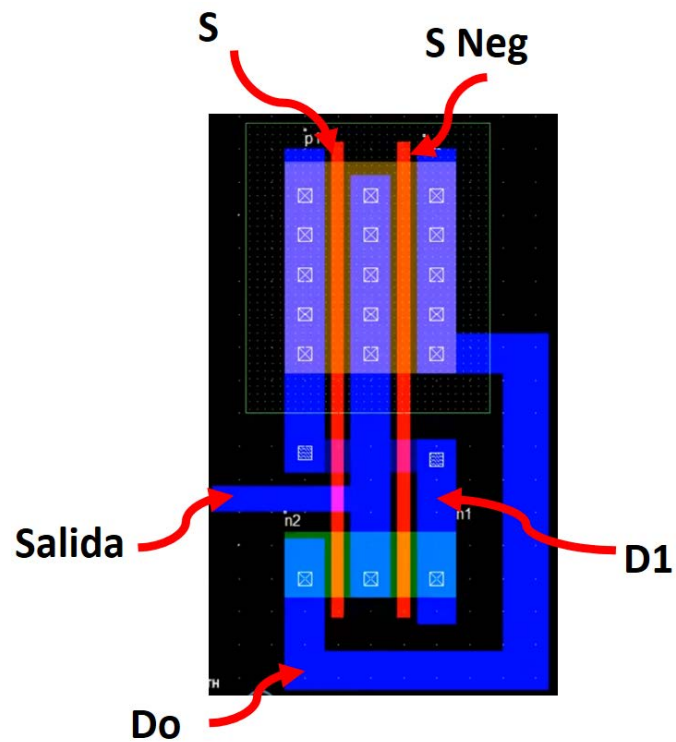
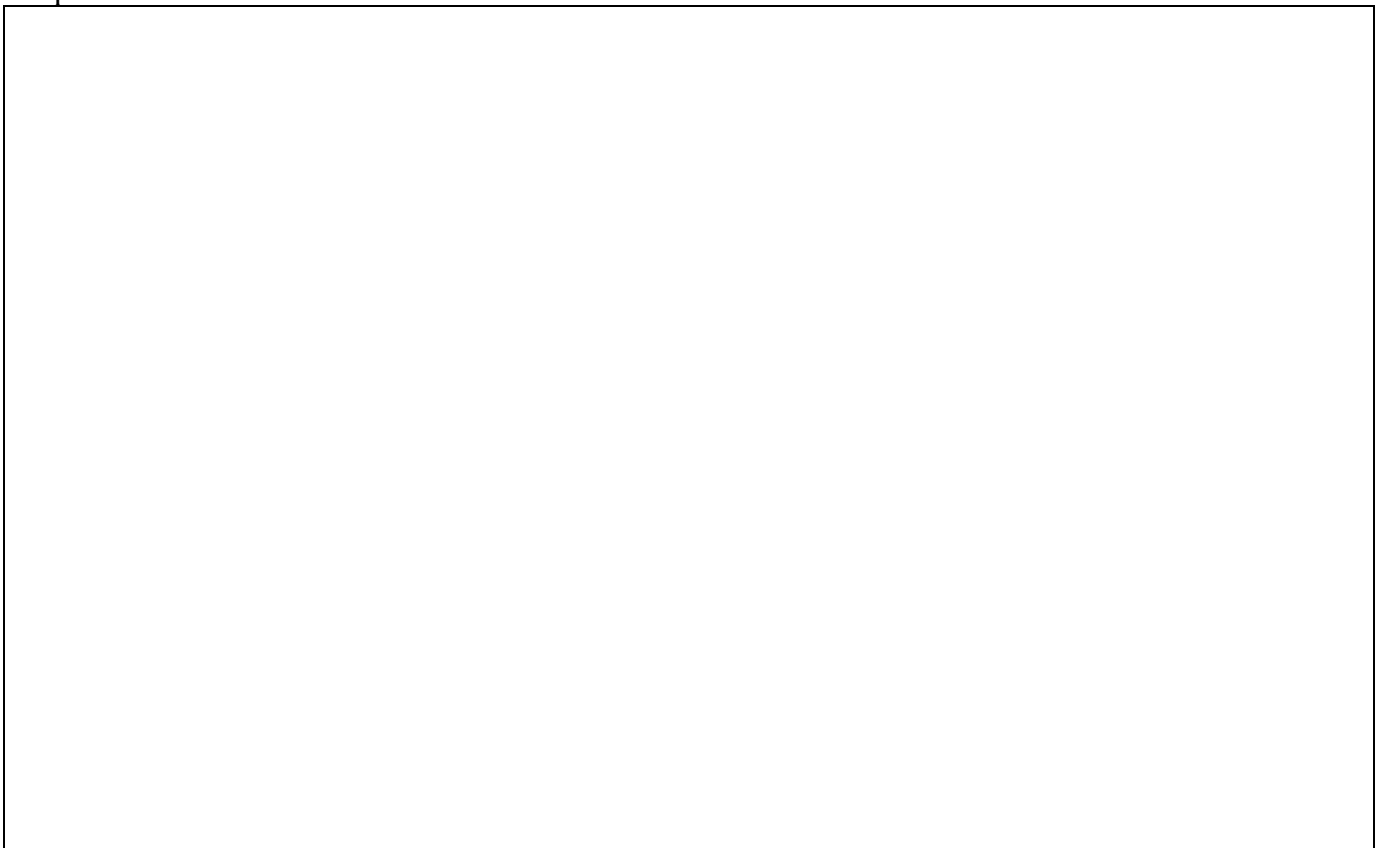


Figura 5

(Nota: D1 se conecta de n1 a p1 mediante la capa metal2).

- a) Implementar el diseño en MicroWind2 y comprobarlo con cortes transversales 2D y visualización 3D.

Captura 3D:



b) Incluir la señales de reloj y salida acorde a la siguiente tabla y realizar la simulación, comprobar que se cumple la relación: $Y = D_0 \bar{S} + D_1 S$

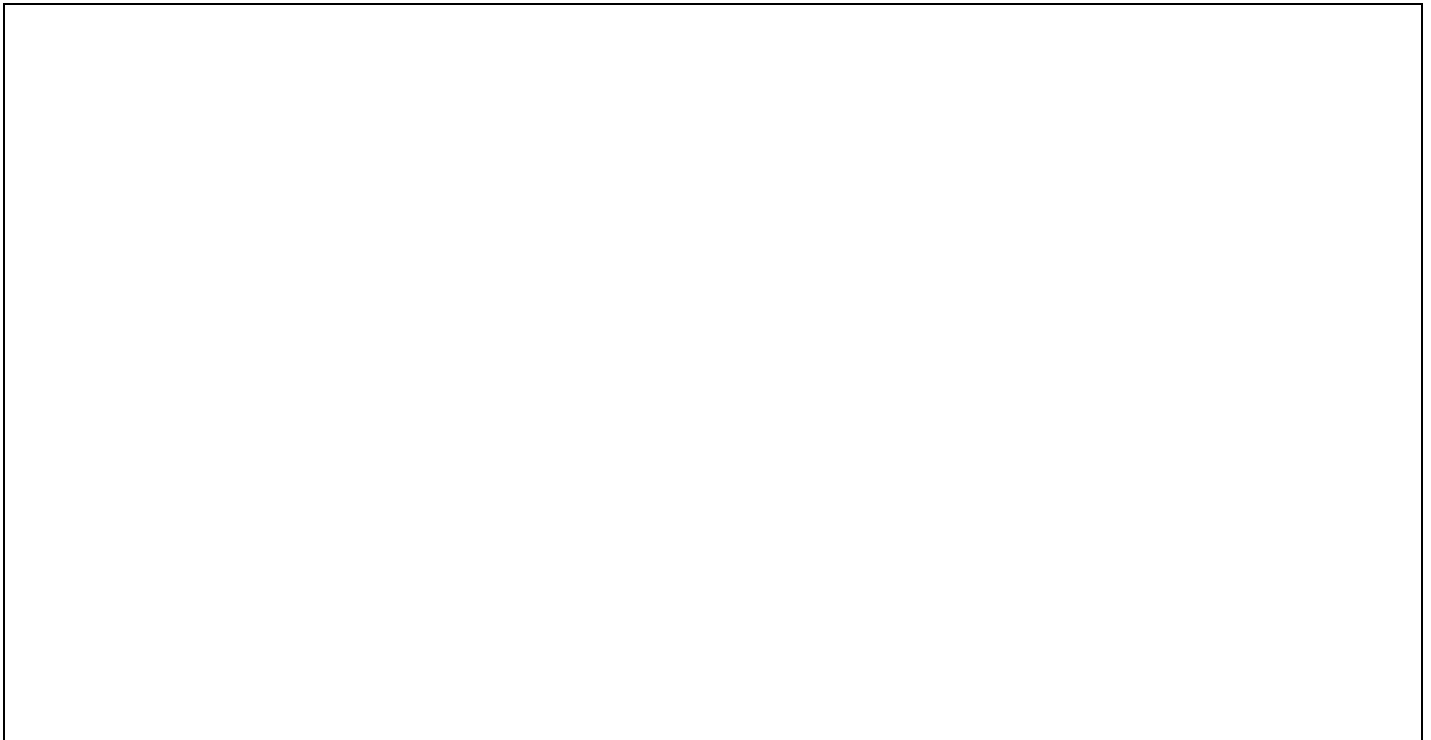
D0 : tl = 0.475 ns tr = 0.025 ns th = 0.475 ns tf = 0.025 ns

D1: tl = 0.225 ns tr = 0.025 ns th = 0.225 ns tf = 0.025 ns

S, /S: tl = 7.975 ns tr = 0.025 ns th = 0.7975 ns tf = 0.025 ns

Con valores de tensión: High Level = 1.20 V y Low Level = 0.00 V.

Captura del Diagrama de simulación (Visualizar entre 2 y 4 ciclos de la señal S)



c) Verificar la funcionalidad del circuito con los resultados de simulación.



d) Modificar el circuito de la Figura 5 solamente con transistores nMOS, simular nuevamente y comparar los resultados con los obtenidos en el epígrafe anterior.

Captura del Circuito

Captura de la simulación:

Análisis de resultados:

Ejercicio 6: Analizar el diseño esquemático de la figura 6.

a) Proponer un circuito esquemático para este diseño.

b) Proponer una función lógica para el diseño

c) Simular y comprobar el diseño geométrico.

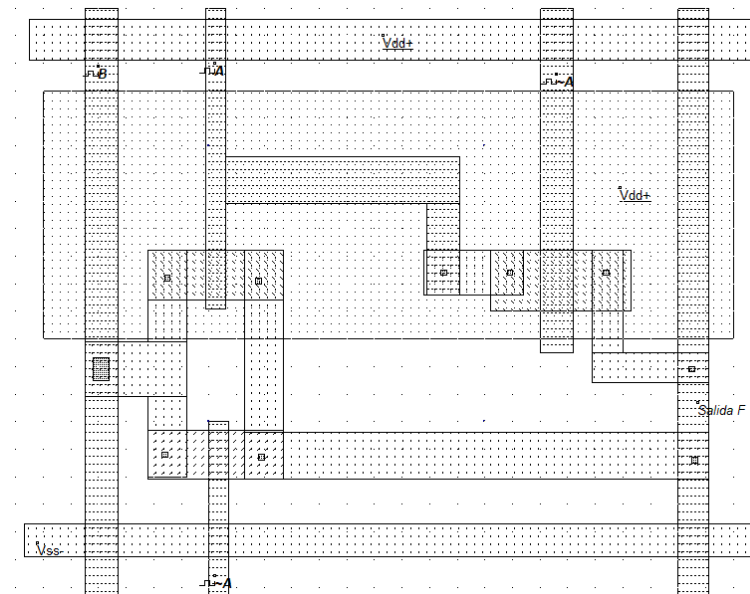


Fig 6 (versión BN)

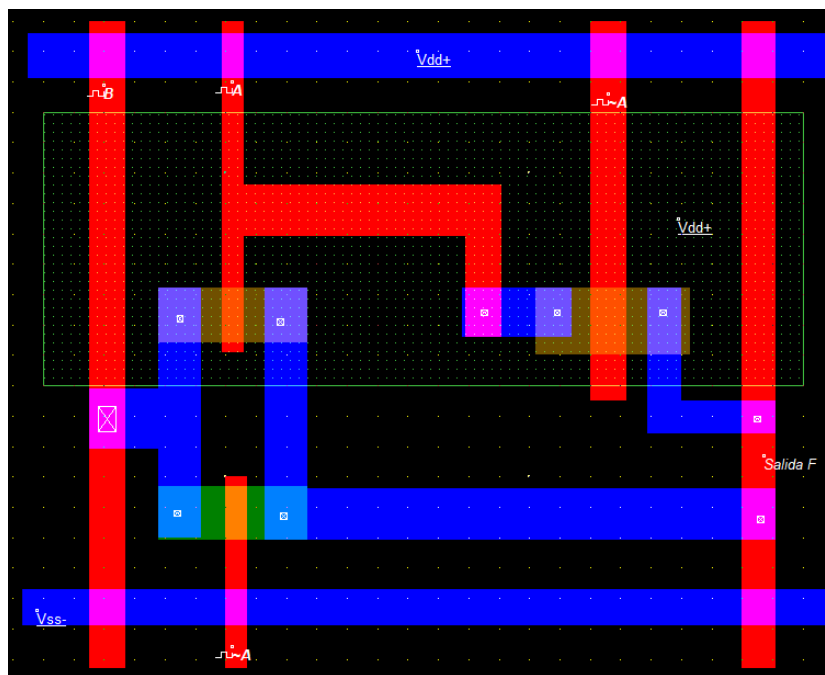


Fig 6 (versión Color)

Ejercicio 9: Diseñar en microwind2 un circuito combinacional fullcustom cuyo esquemático se muestra en la figura 3.9.1 .

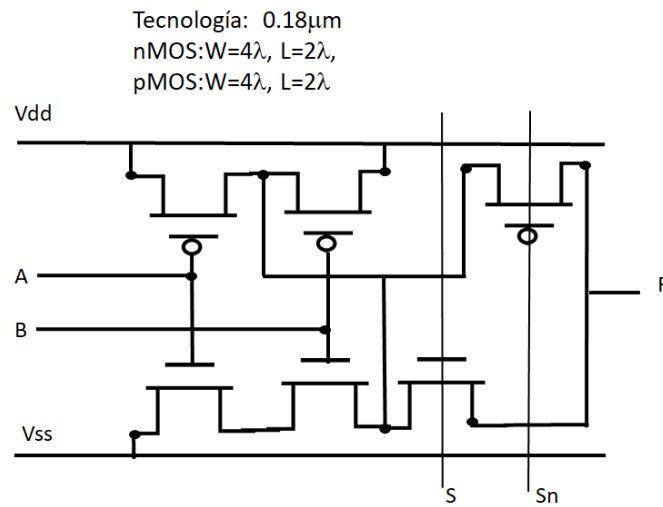
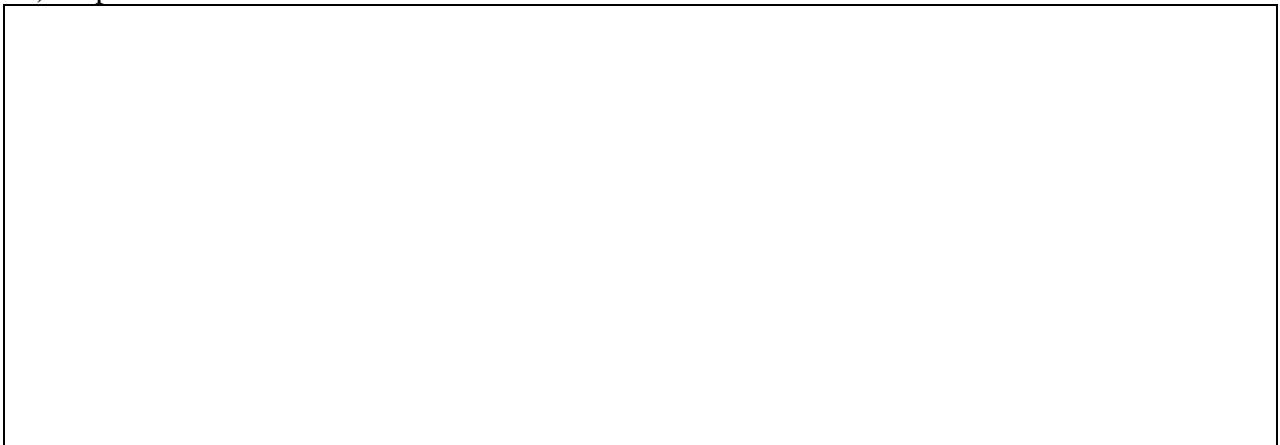
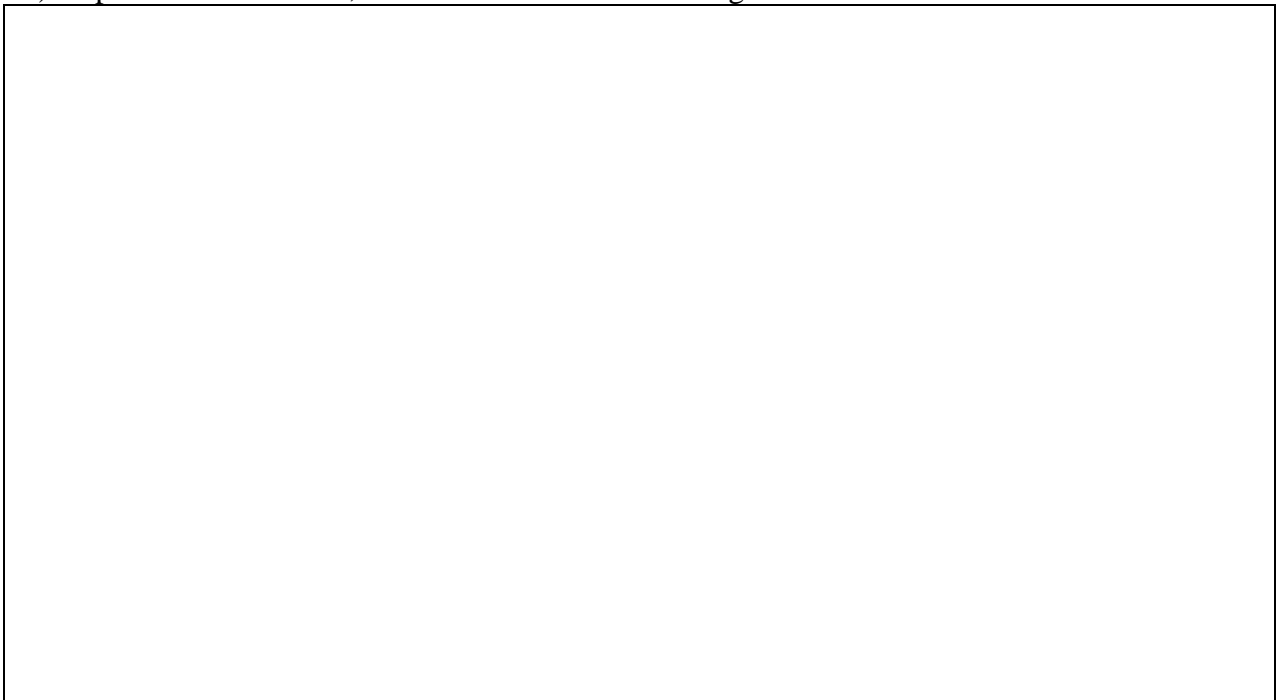


Fig 3.9.1

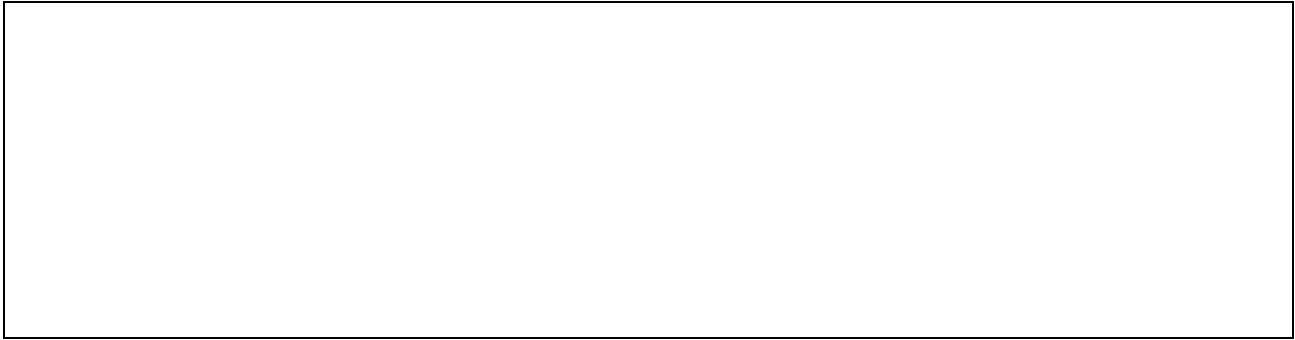
a) Captura del diseño:



b) Captura de simulación, indicar los momentos más significativos del funcionamiento.



c) Explicar la función que realiza el circuito.



Ejercicio 10: En la figura 3.10.1 se presenta un circuito esquemático de un biestable tipo D (Latch D) implementado con puertas de transmisión e inversores. Realizar un diseño semicustom en microwind2 para tecnología de 12 μm .

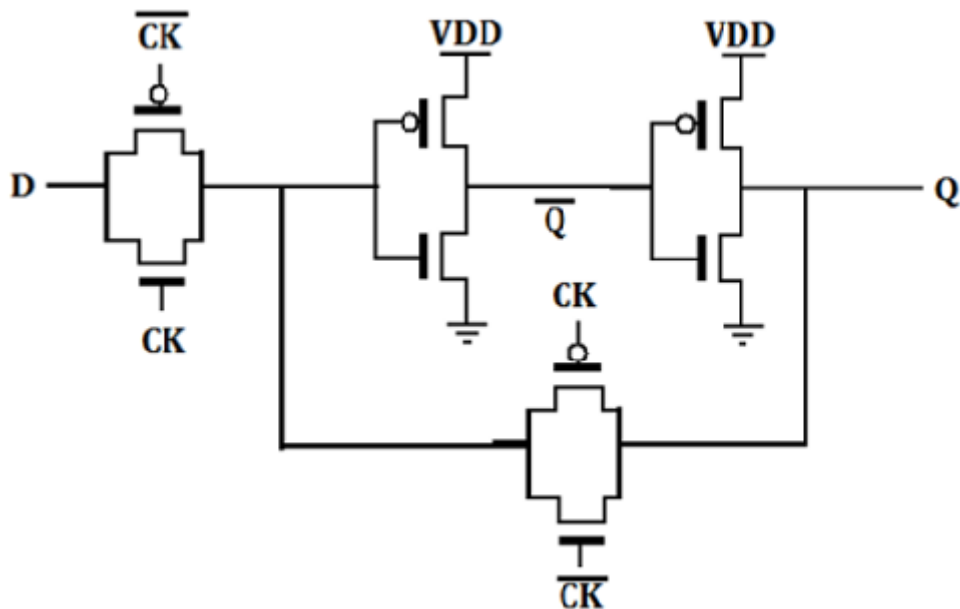
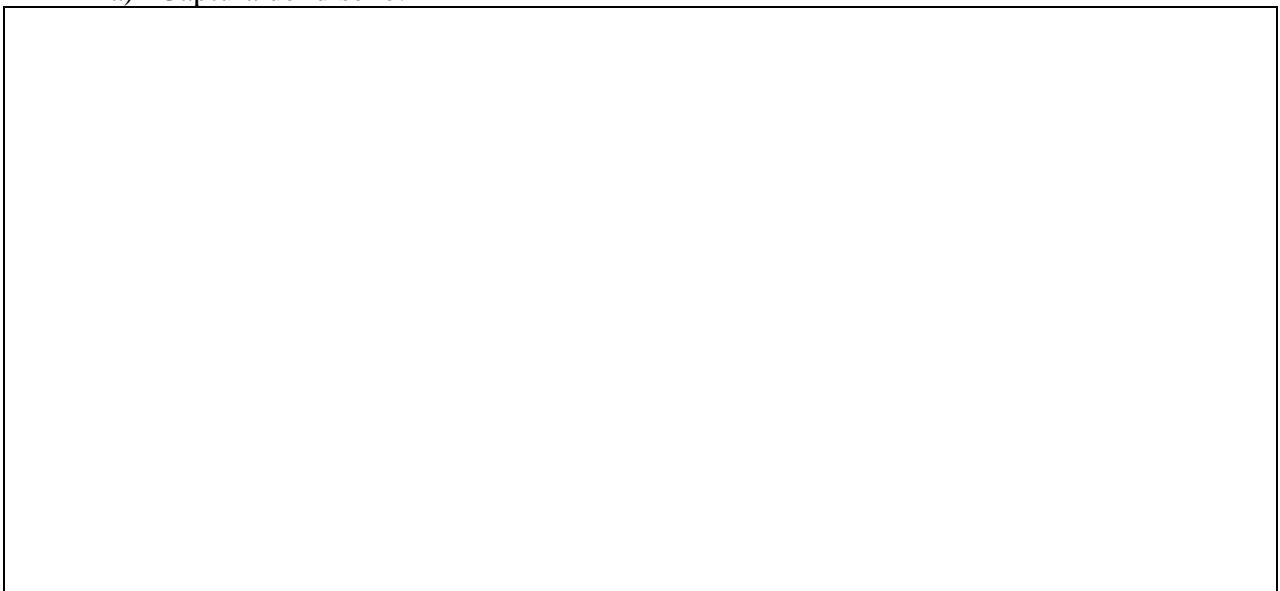
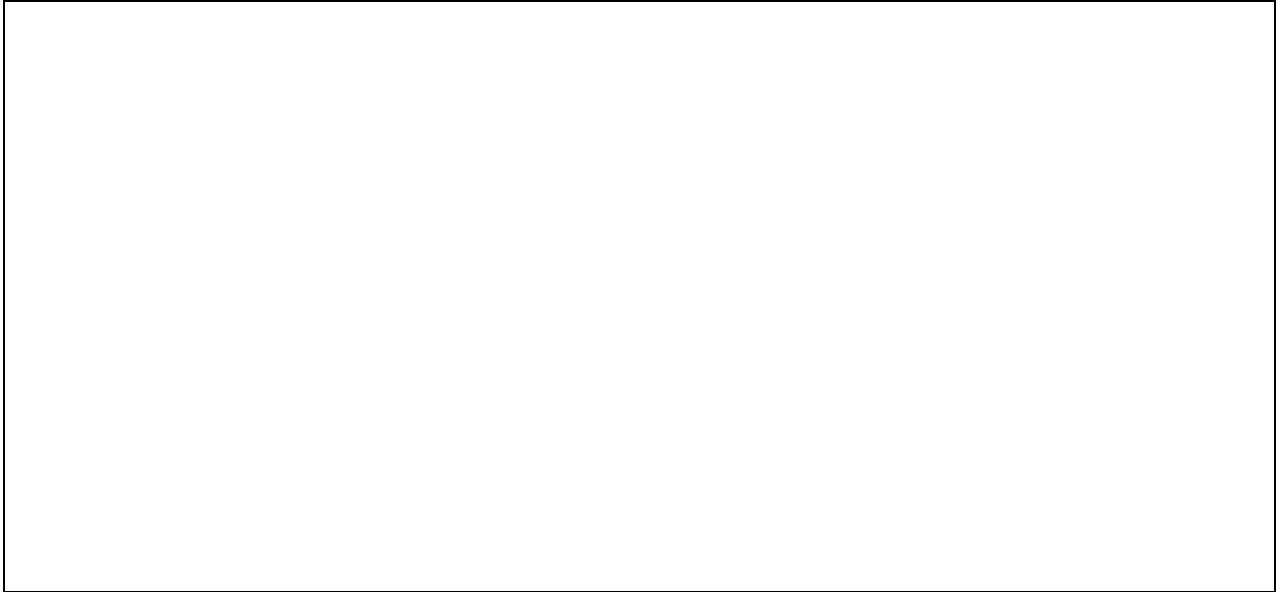


Fig 3.10.1

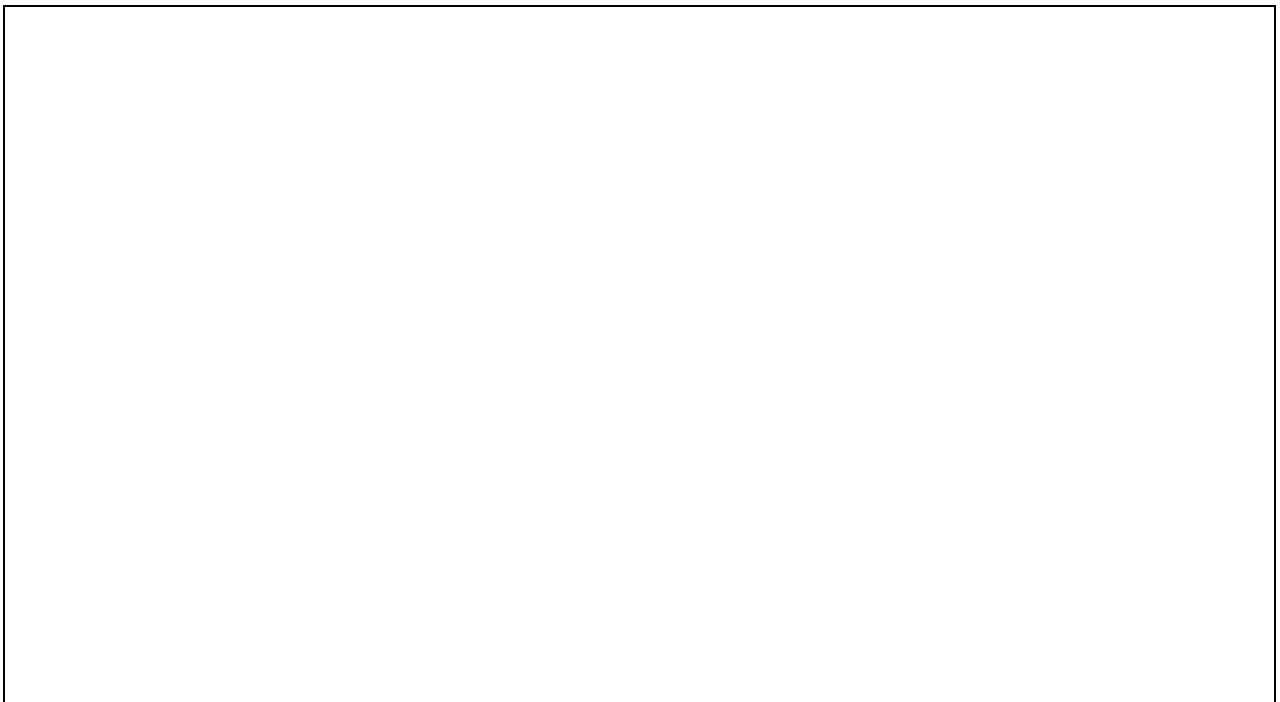
a) Captura del diseño:



b) Captura de simulación, indicar los momentos más significativos del funcionamiento.

A large, empty rectangular box with a thin black border, intended for the student to paste or draw a simulation capture.

c) Explicar el funcionamiento del circuito.

A large, empty rectangular box with a thin black border, intended for the student to write an explanation of the circuit's operation.

Ejercicio 11: En la figura 3.11.1 se presenta un circuito combinacional dinámico. Realizar un diseño semicustom en microwind2 para tecnología de 50 nm, con pMOS ($W/L=8/4$) y nMOS ($W/L=4/4$).

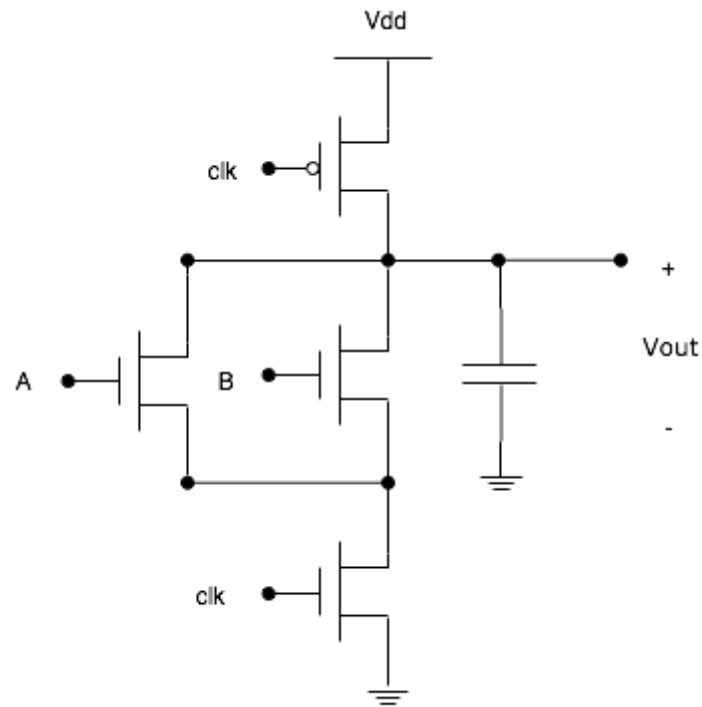
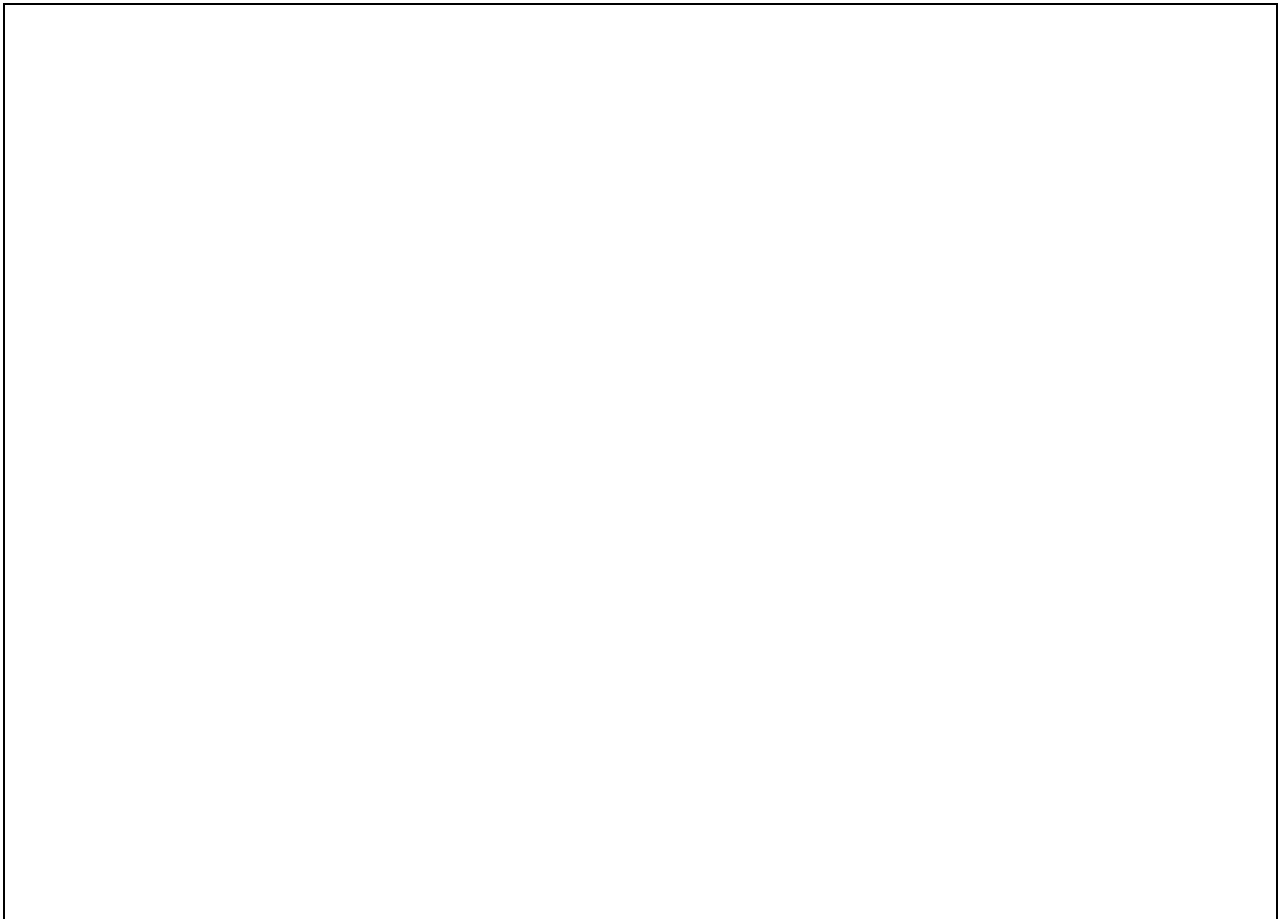


Fig 3.11.1

a) Captura del diseño:



b) Captura de simulación, indicar los momentos más significativos del funcionamiento.

c) Explicar el funcionamiento del circuito.

Ejercicio 12: En la figura 3.12.1 se presenta un circuito esquemático de una función lógica implementada con puertas de transmisión e inversores. Realizar un diseño semicustom en microwind2 para tecnología de 50 nm, con pMOS ($W/L=6/2$) y nMOS ($W/L=4/2$).

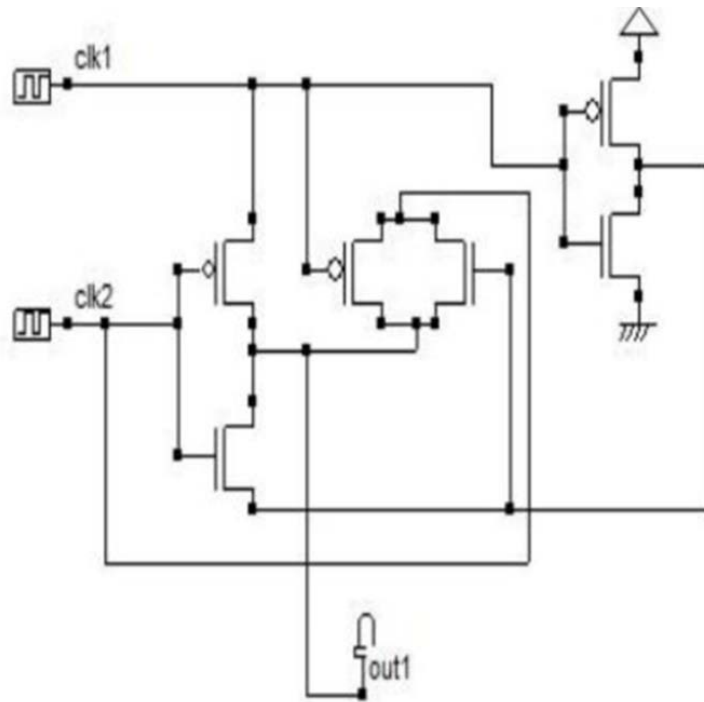
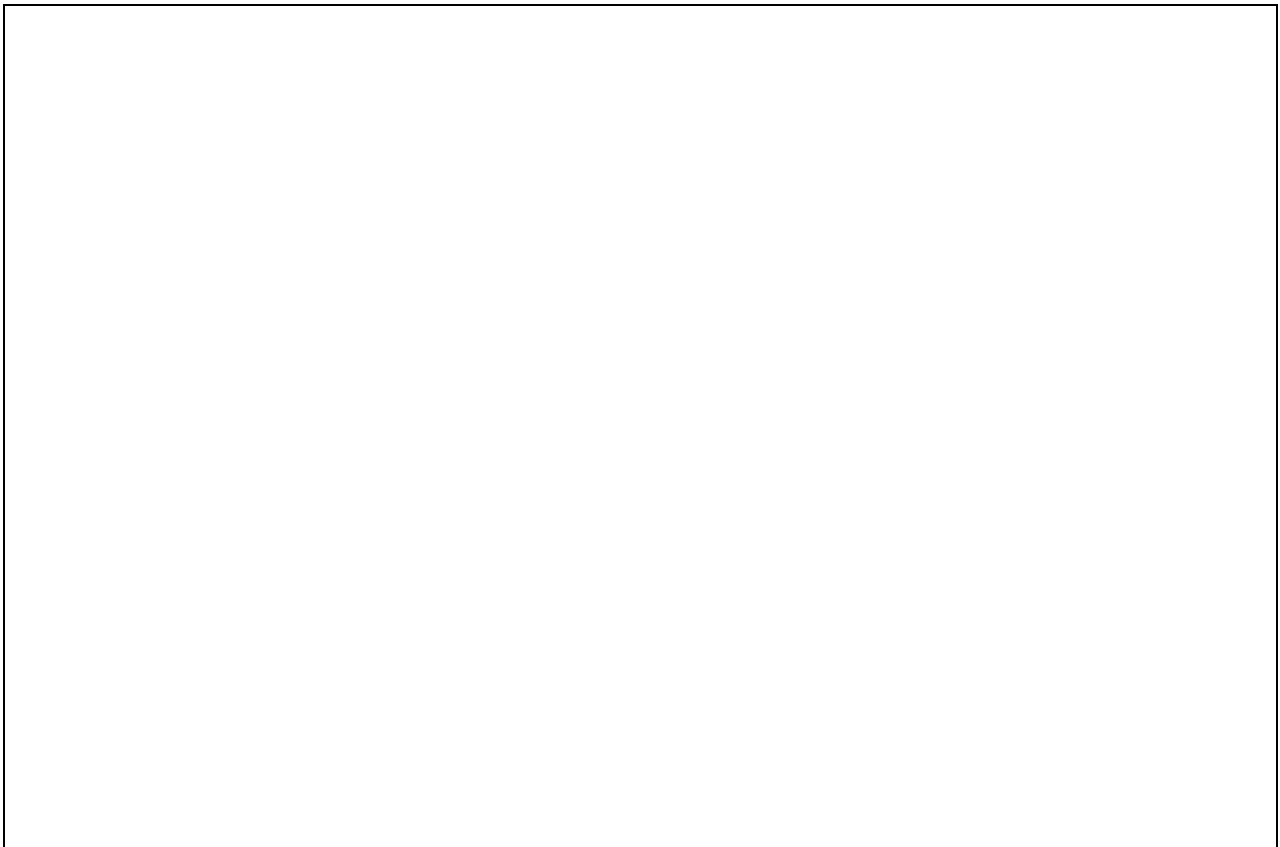
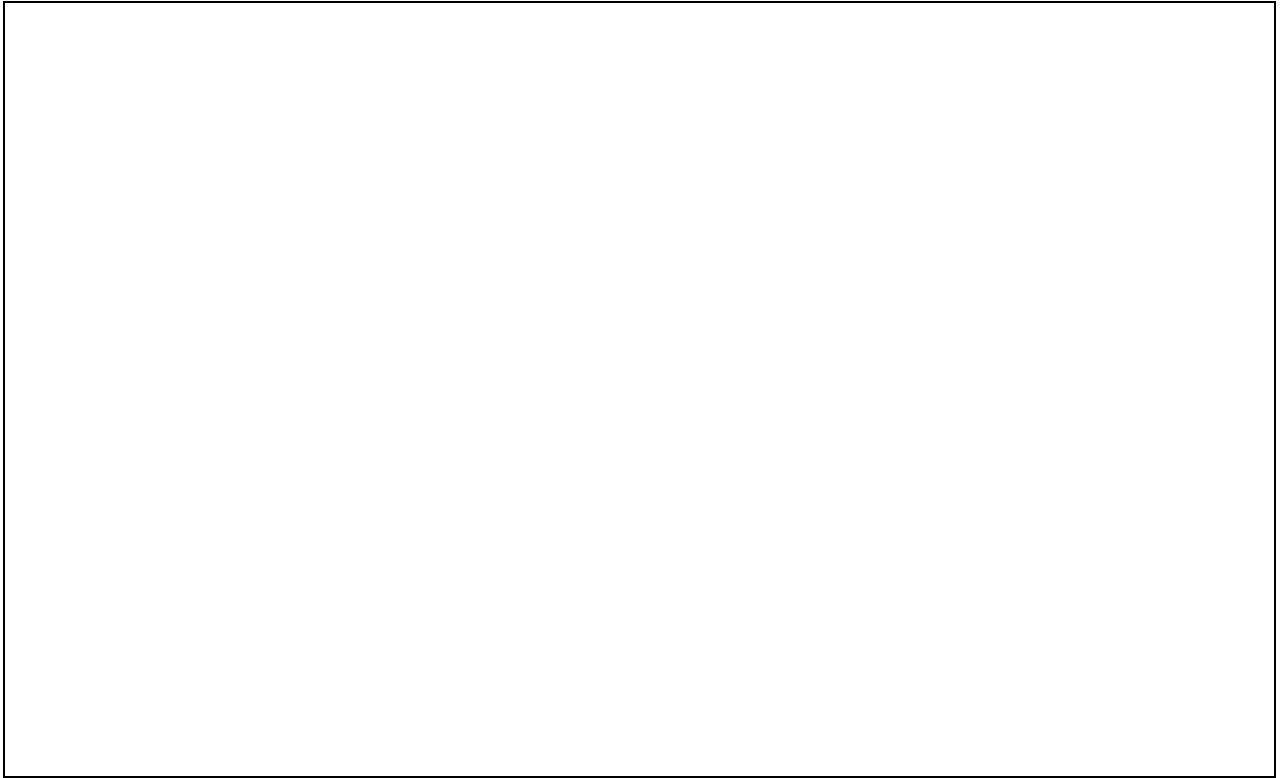


Fig 3.12.1

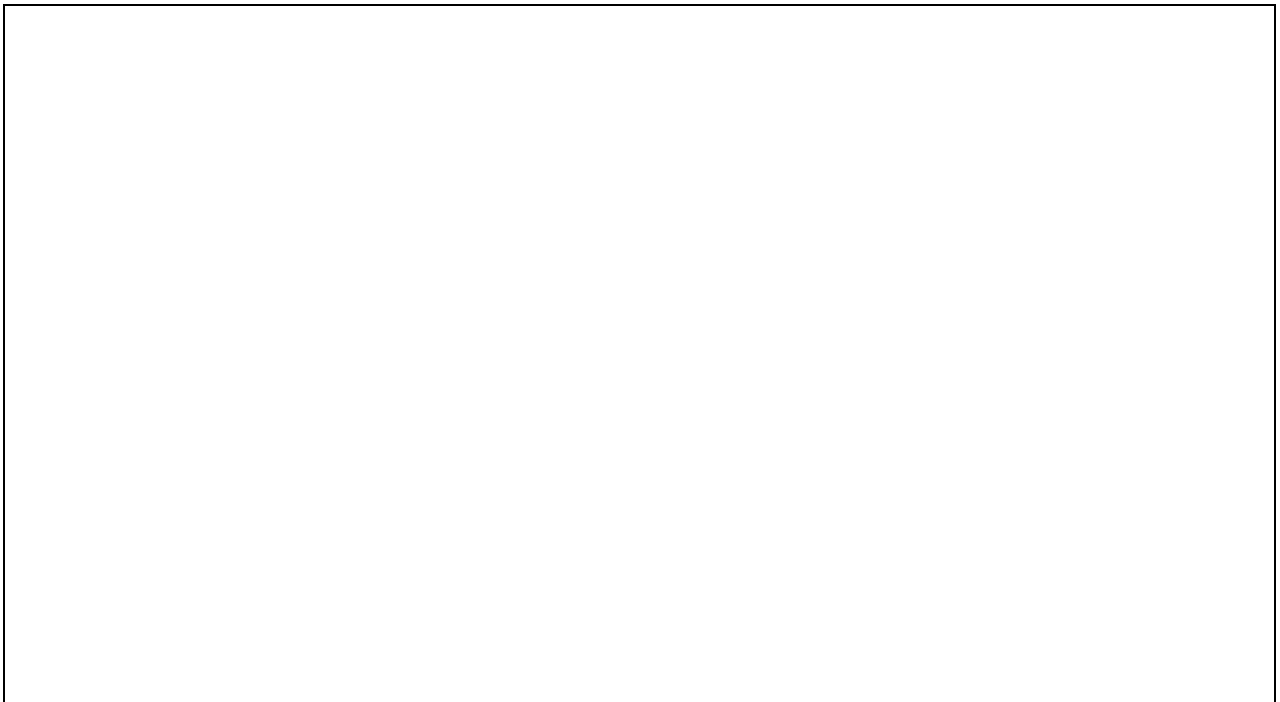
a) Captura del diseño:



b) Captura de simulación, indicar los momentos más significativos del funcionamiento.

A large, empty rectangular box with a thin black border, intended for the student to capture and paste simulation results.

c) Explicar el funcionamiento del circuito.

A large, empty rectangular box with a thin black border, intended for the student to write an explanation of the circuit's operation.