

## Lab one

105031212 吳紹齊

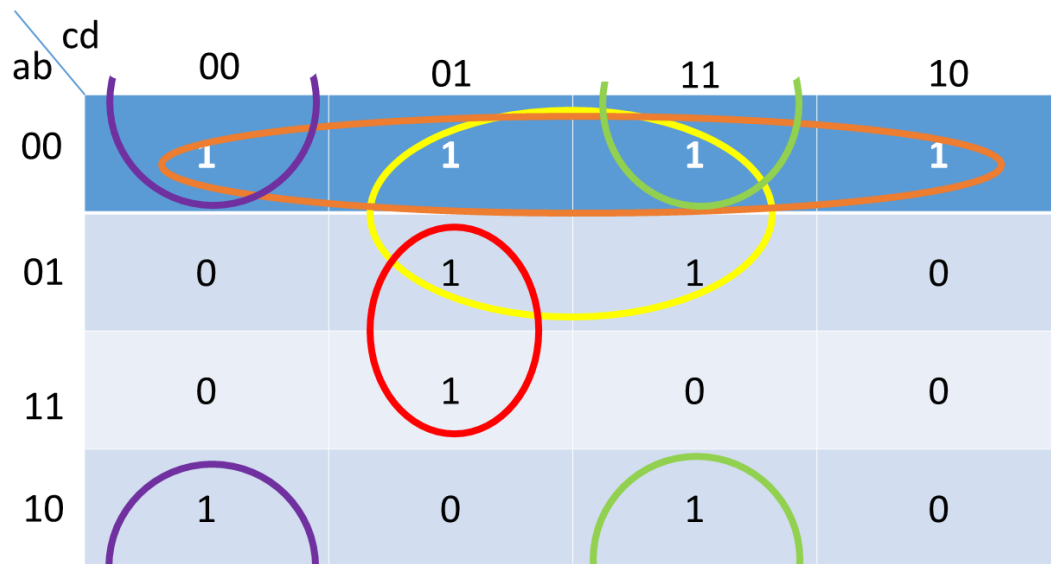
**2018.3.17**

要求：

作出 4-bit Fibonacci or Prime number detector 的電路。

 $(0, 1, 2, 3, 5, 7, 8, 11, 13)$ 

K-map 作圖：



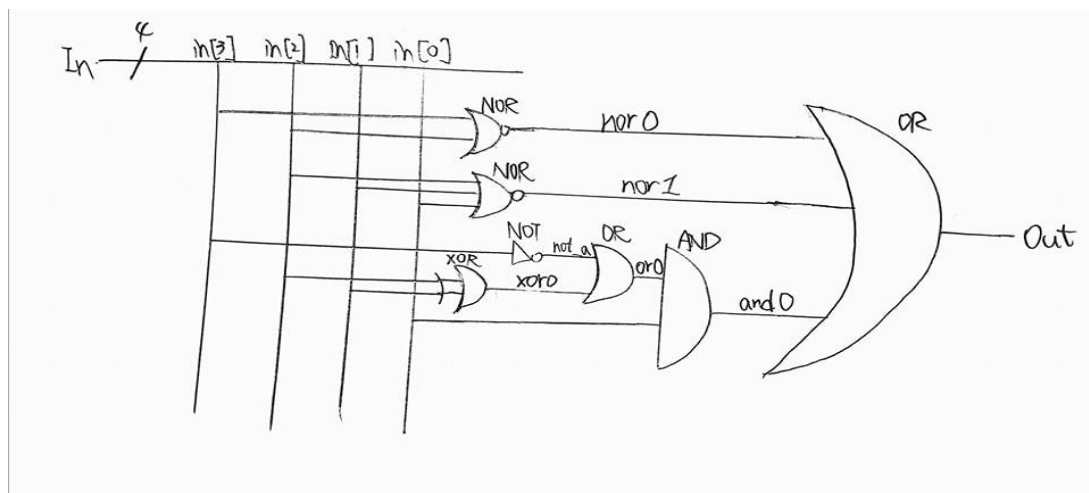
### K-map 結論：

$$\sim b \sim c \sim d + \sim a \sim b + \sim bcd + b \sim cd + \sim ad$$

可再化簡為：(有效減少 gate 數量)

$$\sim b \sim c \sim d + \sim a \sim b + d(\sim a + b \wedge c)$$

Schematic :



Ps. a = in[3] b = in[2] c = in[1] d = in[0]

模擬結果：(運用 ncverilog)

```

2. nthucad.cs.nthu.edu.tw
Writing initial simulation snapshot: worklib.fop_tb:v
Loading snapshot worklib.fop_tb:v ..... Done
*Verdi3* Loading libsscore_ius141.so
*Verdi3* : Enable Parallel Dumping.
ncsim> source /usr/cad/cadence/INCISIV/cur/tools/inca/files/ncsimrc
ncsim> run
time= 5,in=0000,out_G=1,out_D=1,out_B=1
Good job!!!
time= 10,in=0001,out_G=1,out_D=1,out_B=1
Good job!!!
time= 15,in=0010,out_G=1,out_D=1,out_B=1
Good job!!!
time= 20,in=0011,out_G=1,out_D=1,out_B=1
Good job!!!
time= 25,in=0100,out_G=0,out_D=0,out_B=0
Good job!!!
time= 30,in=0101,out_G=1,out_D=1,out_B=1
Good job!!!
time= 35,in=0110,out_G=0,out_D=0,out_B=0
Good job!!!
time= 40,in=0111,out_G=1,out_D=1,out_B=1
Good job!!!
time= 45,in=1000,out_G=1,out_D=1,out_B=1
Good job!!!
time= 50,in=1001,out_G=0,out_D=0,out_B=0
Good job!!!
time= 55,in=1010,out_G=0,out_D=0,out_B=0
Good job!!!
time= 60,in=1011,out_G=1,out_D=1,out_B=1
Good job!!!
time= 65,in=1100,out_G=0,out_D=0,out_B=0
Good job!!!
time= 70,in=1101,out_G=1,out_D=1,out_B=1
Good job!!!
time= 75,in=1110,out_G=0,out_D=0,out_B=0
Good job!!!
time= 80,in=1111,out_G=0,out_D=0,out_B=0
Good job!!!
Simulation complete via $finish(1) at time 80 NS + 0
./fop_tb.v:29 $finish;
ncsim> exit

```

討論：

Q1：硬體「描述」語言 Verilog 與軟體「程式」語言 C 的差異？

A1：Verilog 僅用來描述電路，程式碼沒有先後順序，是並行的，要讓它一步循序執行必須加入 clock。

Q2：位元運算 XOR 的符號？

A2：之前寫 C 語言時不曾用過 XOR，但是以後化簡電路會常用，上網查發現原來就是「^」。

Q3：「`timescale 1ns / 1ps」的「`」在哪裡？

A3：比起「'」「`」，這個「`」(Tab 上面)平常不太使用，容易導致誤用。

Q4：i=i+1 能不能寫成 i++？

A4：在 ncverilog 中無法判讀。

Q5：「always@(\*)begin」的「\*」代表什麼？

A5：原本應該放條件，放「\*」表示任何參數一旦改變就執行這個 always block

Q6：為什麼我的 for 迴圈不會動？

A6：因為 Delay 一定要給，否則時間不會跑。

問題：

Q1：登入工作站後如果常常顯示「Warning: environment variable DISPLAY not set.」會影響使用嗎？大概是什麼原因造成的呢？(看似未影響使用)

Q2：工作站有時會當機有辦法避免嗎？一般來說是哪一端出問題？

Q3：使用 Verilog 的習慣上什麼時候一定要給 4'b0001 這種形式而不是 1 呢？(感覺有時會很聰明的自己判斷是幾 bits)

Q4：查了一些資料，想與助教討論 K-map 所畫出的「最簡」電路跟「運用最少 gate」電路是否有落差？(以我的實作來看是有差異的)

Q6：如果把環境處理好，用 Sublime Text 3 寫 Verilog 會是個好主意嗎？

心得：

第一次做 machine problem，助教的範例與講義幫了很大的忙。這個 Lab 就結果論而言是簡單的，可是過程並不輕鬆。從拿到作業資訊那天，我和同學就一起討論 Linux 操作還有 Verilog 的基本語法，同時複習之前課本教的真值表、K-map、各種 gate.....等內容，雖然似乎不必要這麼大費周章，不過第一次自己摸索一個新的語言，總是願意花一堆時間，最後成果也令人感到滿意。

儘管事先熟悉的一段時間，寫起來還是會卡關。例如第一次用 ncverilog 跑程式想說應該要收工了，結果出現了 34 個 Error，多到睡不著，其實有些失落，但是久了就習慣了。還有一次盯著朋友的電腦找不出 code 的問題所在，突然靈感一來就跟他創作了一張梗圖，置於報告末與老師、助教分享：



參考資料：

<https://hackmd.io/s/BkbSKFMuM>

<https://www.jianshu.com/p/1607e2f48ecf>

<http://www.86duino.com/?p=1411&lang=TW>

<http://www.178linux.com/83952>