

四、简答题 (30 分)

1、什么是 VHDL 中的进程，他有什么特点？

End process;
END FullAdder

2、简述 VHDL 中函数和过程的异同。

3、简述 Quartus II 中，使用 VHDL 语言设计一个简单电路应包括的基本过程。

四、简答题

1、

进程 (process) 内部的语句是一种 顺序描述语句 其内部经常包括 if, wait, case 或 loop 语句。

特点：

- 1、进程与进程，或其它并发语句之间的并发性；
- 2、进程内部的顺序性；
- 3、要么使用敏感信号列表 (sensitivity list)，要么使用 wait 语句，二者不可同时使用。
- 4、进程必须包含在主代码段中，当敏感信号列表中的某个信号发生变化，或者 wait 语句的条件满足时，process 内部的代码就顺序执行一次；

2、

答：函数有零个或多个输入 (模式) 参数和一个返回值 (return 语句)，输入参数只能是 常量 (默认) 或信号，不能被改变，不能是变量。

过程可以具有多个输入/输出/双向模式的参数，可以是信号、变量和常量；对输入模式的参数，默认为常量 (不可改变)，对于输出和双向模式的参数，默认为变量 (可变) (无需使用 return 语句)；

函数调用是作为表达式一部分出现的，过程则可以直接调用；

函数和过程内部的 wait 和 component 都是不可综合的；

两者的存放位置相同。

3、

答：1、启动 Quartus II。

2、新建一个工程。

3、打开文本编辑器，输入 VHDL 代码，保存为 .vhd 文件。

4、编译代码，如有错误进行修改。

5、打开波形编辑器，建立波形文件。

6、添加输入输出信号进波形文件，然后进行适当的设置，保存为 .vwf 文件。

7、仿真得仿真波形文件结果。

8、观察 RTL 电路图。

1、2. 基于 EDA 软件的 FPGA/CPLD 设计流程为：原理图/HDL 文本输入 → A → 综合 → 适配 → B → 编程下载 → 硬件测试。P14

A. 功能仿真

B. 时序仿真

C. 逻辑综合

D. 配置

7. 电子系统设计优化，主要考虑提高资源利用率减少功耗 (即面积优化)，以及提高运行速度 (即速度优化)；下列方法中 A 不属于 面积优化。P238

A. 流水线设计

B. 资源共享

C. 逻辑优化

D. 串行化

- VHDL 注释符号: (--)
- VHDL 符号: (不分大小写)
- if 语句判断: (=)
- if 语句可以加 then 吗? (不行)
- if 语句可以加 end if 吗? (不行)
- if-else- 和 else-if 用的是什么关键词? (else if)
- VHDL 语言里写了 begin 和 end 后, 后面一定要写对应的 end 吗? (一定)
- VHDL 语言 and 与 or 有优先级之分吗? (没有)

- 并发语句只能描述组合电路吗?
答: 可以描述其他复杂的时序电路, 不仅描述组合电路, 比如可以描述 SR 锁存器。

- 下面的并发语句可以综合吗?
H <= "00", "01" after 10ns, "10" after 20ns;
答: 综合: 将 VHDL 描述的电路变成底层电路结构或加 H 文件。
仿真: 以可执行文件的形式将电路运行在计算机中。
上面的语言不能综合, 不能变成硬件。
因为它有延迟, 在硬件生成时会忽略。

- 并发语句可以理解为程序并行运行吗?
答: 不能, 是电路结构的描述。

- 顺序语句能描述组合电路吗?

答: 能, 也能描述时序电路。

- 顺序语句内部变量会被综合成寄存器吗?

答: 不一定, 一般不。

- 顺序语句中的信号赋值是会被综合成寄存器吗?

答: 不一定, 有可能是纯组合电路。

- 常量可以综合吗?

答: 基本都不行, 只能仿真。

- 能用 VHDL 仿真模拟电路?

答: 最新仿真软件可以。

- process 内部赋值运行结果和顺序有关吗?
答: 有关的, 但如果全是并发的话, 可能无关。比如
情况如下:

- process 内部对信号赋值是顺序的吗?

答: <= 赋值, 延迟赋值, process 结束对所有信号同时赋值。但把信号写在“未来值”和过程中是顺序的。

- process 内部插入 wait 语句对信号赋值有什么影响?

答: 运行到 wait 时, 会停在此之前即信号赋值全部完成一切赋值。

- process 在什么时候触发执行?

答: 敏感表有变动 / 第一运行 (无信号)

- process 执行期间对信号多次赋值, process 运行结束后信号是什么?

答: 每次赋值直接修改“未来值”, 最后信号是最后一切赋值。

- wait 语句有敏感表时如何触发它检查等待条件?

答: 用逻辑判断部分作为敏感表。

Wait [on Sensative List] [until Condition] [for Time exprept]

Wait on ~~XX~~ until Z=0 for 100ns;

无敏感表 \Rightarrow 作为敏感表

- if 判断不写号: /=

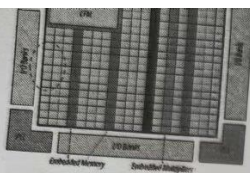
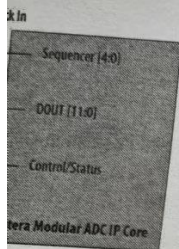
- 用 falling_edge 和 rising_edge 捕获时钟上升沿和下降沿?

2 种方法捕获: (上升沿)

① if (CLK_A'event and CLK_A='1') CLK 是 bit 型

② if (rising_edge(CLK_A)) CLK 是 std_logic 型

由于 std_logic 取值多, 例如 H \rightarrow 1 不是上升沿, 在 ① 中会判为上升沿, 因此 std_logic 用 ② 方法捕获时钟延迟。



Q&A

1. FPGA内部的PLL有哪些用处?
2. Intel FPGA内部的NIOS处理器是“软核”吗?
3. FPGA内部的分散了的大量小RAM是什么用?
4. FPGA片内能够使用DDR形式的触发器吗?
5. 有可编程模拟电路吗?

1. PLL(锁相环), 可以对输入到FPGA的时钟信号进行任意分频, 倍频, 相位调整, 占空比调整, 从而输出一个期望时钟.

2. 是“软核”.

3. 数据运算暂存.

4. 能

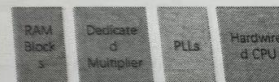
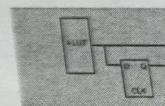
5. 有. 销量小, 市场小, 用途不多. 一些电源电路会使用.

电路优化

Resizable HDL code
Configurable
Low customized
Action
ible

Q&A

Building blocks in modern



- 可编程器件的优势是什么?
- 功耗? 逻辑密度? 速度? 价格?
- 大规模可编程器件基于“与阵列”和“或阵列”吗? **不是, 基于LUT**
- 反熔丝和熔丝型FPGA的编程单元有什么差别? **通电短路后连上 / 通电熔断**
- 熔丝/反熔丝的FPGA只有一次编程机会, 有什么存在的意义呢? **物理抗辐射**
- 配置FPGA的数据文件里面会有什么内容? **布线, LUT, 器件, 端口初始值**
- FPGA是怎么获得它的逻辑配置数据的?