

АВТОНОМНАЯ НЕКОММЕРЧЕСКАЯ ОРГАНИЗАЦИЯ ВЫСШЕГО  
ОБРАЗОВАНИЯ  
«РУССКИЙ УНИВЕРСИТЕТ МЕТАТЕХНОЛОГИЙ»

Кафедра ПС

Отчёт  
по лабораторной работе №7  
«Разработка устройств обработки сигналов на программных логических  
интегральных схемах»  
по дисциплине «Основы микропроцессорных систем»

Выполнил ст. гр. ПС-11  
Поскряков Н.В.  
Проверил: Электроник  
кафедры ПС  
Костицына К.О.

Йошкар-Ола  
2025

## **Теоретические сведения**

**ПЛИС** (программируемая логическая интегральная схема) - это электронное устройство, состоящие из большого количества логических элементов, которое можно программируемым образом настроить на выполнение нужной функции. Использование ПЛИС позволяет существенно ускорить разработку и производство электронной аппаратуры, поскольку значительная часть необходимой логики может быть реализована на одной микросхеме.

Программа может состоять из трёх основных файлов. Схематик, VHDL и файл конфигурации - INV.

## Практическая часть

### Задание 1

**Цель** – повторить шаги, изложенные в приведённом примере: создание проекта, реализация схемы в схемном редакторе и на языке VHDL, программирование ПЛИС.

### Ход работы

1. Реализуем схему в схемном редакторе:
  - Соберём схему из символов в редакторе

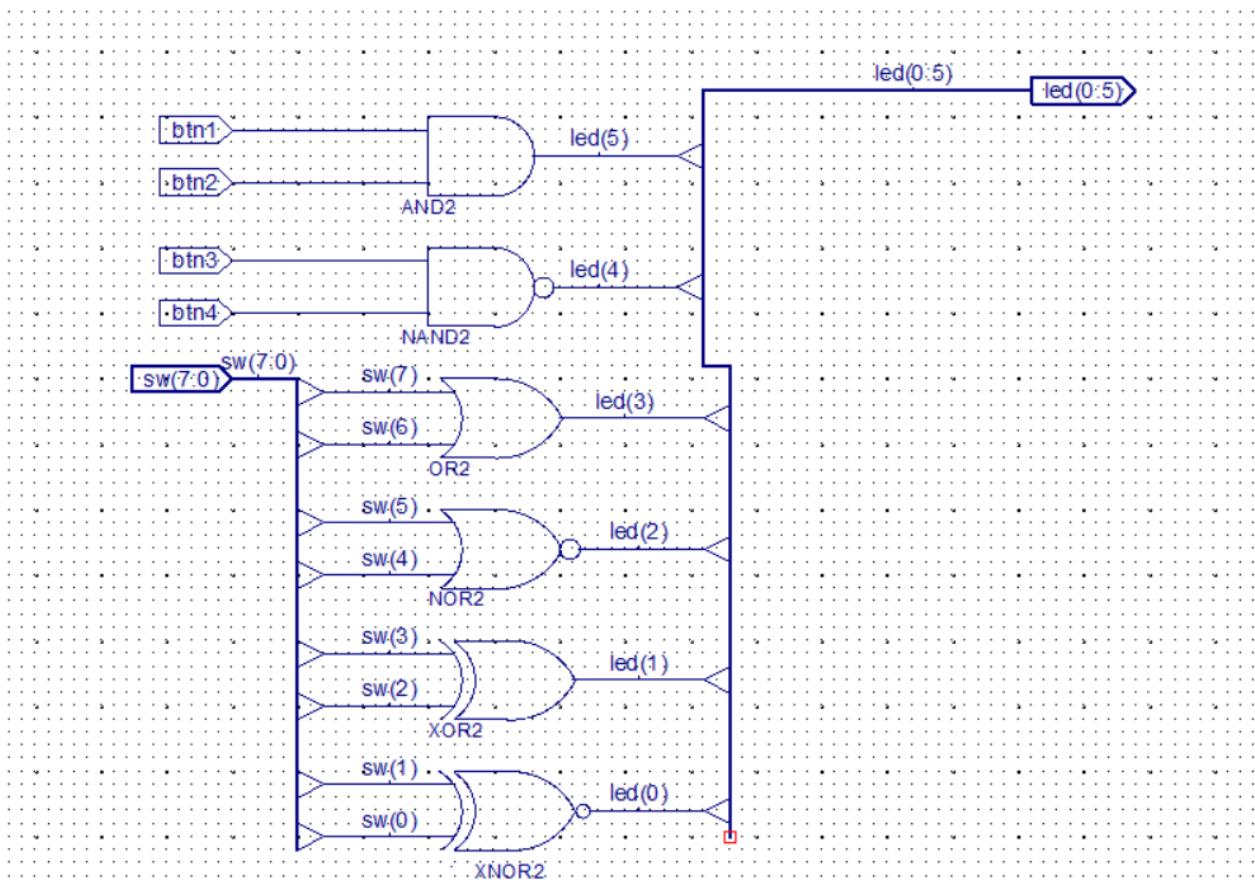


Рисунок 1. Схема, задание 1

- Напишем конфиг для соответствующих входов/выходов. С помощью конфига задаётся связь между входами и выходами на нашей схеме, с реальными на отладочной плате.  
Нумерация входов/выходов можно увидеть непосредственно рядом с элементом. [Ссылка на код](#)

```

1  NET "btn1" LOC="C4";
2  NET "btn2" LOC="B8";
3  NET "btn3" LOC="D9";
4  NET "btn4" LOC="C9";
5
6  NET "sw<0>" LOC="T10";
7  NET "sw<1>" LOC="T9";
8  NET "sw<2>" LOC="V9";
9  NET "sw<3>" LOC="M8";
10 NET "sw<4>" LOC="N8";
11 NET "sw<5>" LOC="U8";
12 NET "sw<6>" LOC="V8";
13 NET "sw<7>" LOC="T5";
14
15 NET "led<0>" LOC="R11";
16 NET "led<1>" LOC="M11";
17 NET "led<2>" LOC="U15";
18 NET "led<3>" LOC="U16";
19 NET "led<4>" LOC="V16";
20 NET "led<5>" LOC="V15";

```

Рисунок 2. Конфиг, задание 1

- Отладим программу и сравним значения выходов и входов со значениями в таблице истинности нашего выражения.

Таблица 1 - Таблица истинности  $led<5>$  и  $led<4>$

Btn1	Btn2	Led<5>	Btn3	Btn4	Led<4>
0	0	0	0	0	1
0	1	0	0	1	1
1	0	0	1	0	1
1	1	1	1	1	0

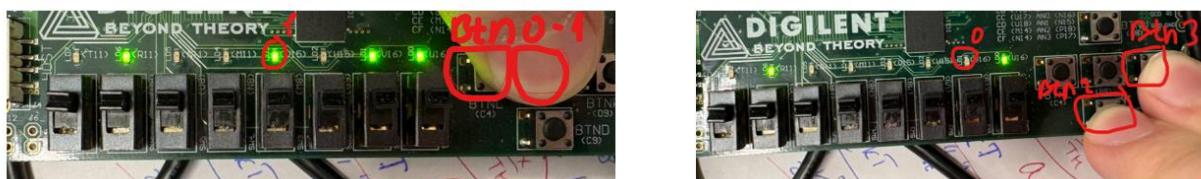


Рисунок 3. Экспериментальные значения, задание 1

Таблица 2 - Таблица истинности  $led<3>$  и  $led<2>$

$Sw<0>$	$Sw<1>$	$Led<3>$	$Sw<2>$	$Sw<3>$	$Led<2>$
0	0	0	0	0	1
0	1	1	0	1	0
1	0	1	1	0	0
1	1	1	1	1	0

Таблица 3 - Таблица истинности  $led<1>$  и  $led<0>$

$Sw<4>$	$Sw<5>$	$Led<1>$	$Sw<6>$	$Sw<7>$	$Led<0>$
0	0	0	0	0	1
0	1	1	0	1	0
1	0	1	1	0	0
1	1	0	1	1	1

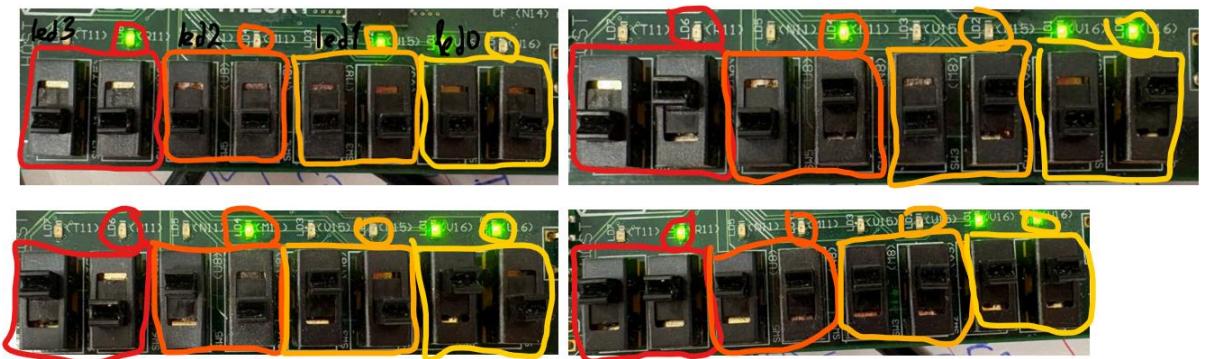


Рисунок 4. Экспериментальные значения, задание 1

2. Реализуем такую же программу, только на языке VHDL:

- Реализуем логические действия на языке VHDL [Ссылка на код](#):

```

41  architecture Behavioral of module is
42  begin
43      led(5) <= btn1 and btn2;
44      led(4) <= btn3 nand btn4;
45      led(3) <= sw(7) or sw(6);
46      led(2) <= sw(5) nor sw(4);
47      led(1) <= sw(3) xor sw(2);
48      led(0) <= sw(1) xnor sw(0);
49  end Behavioral;

```

Рисунок 5. Модуль VHDL, задание 1

**Вывод:** в результате выполнения задания 1, были составлены и протестированы: схема и VHDL программа. Для назначения входов/выходов устройства был создан конфигурационный файл. Для отображения значения каждой логической операции, были назначены выводы светодиодов. Для каждого значения входящего в диапазон функции, были назначены входы свитчей. Составлена таблица истинности всех логических операций. Экспериментальные результаты совпадают с теоретическими расчётами.

## Задание 2

**Цель** – выполнить задание в соответствии с Вариантом 6. Для каждого выражения составить программу с помощью схематики и VHDL, запрограммировать ПЛИС и сравнить экспериментальные значения с расчётными.

### Вариант 6

1. Составить таблицу истинности согласно следующему выражению:

39

$$F = W + \bar{X} \cdot (\bar{Y} + Z)$$

2. Составить таблицу истинности и нарисовать схему согласно следующему выражению:

$$F = X \cdot \bar{Y} + Y \cdot Z + \bar{Z} \cdot X$$

*Рисунок 6. Задание 2, вариант 6*

## Ход работы

1. Реализуем программу для первого выражения, с помощью Схемы и VHDL.

- Схема:

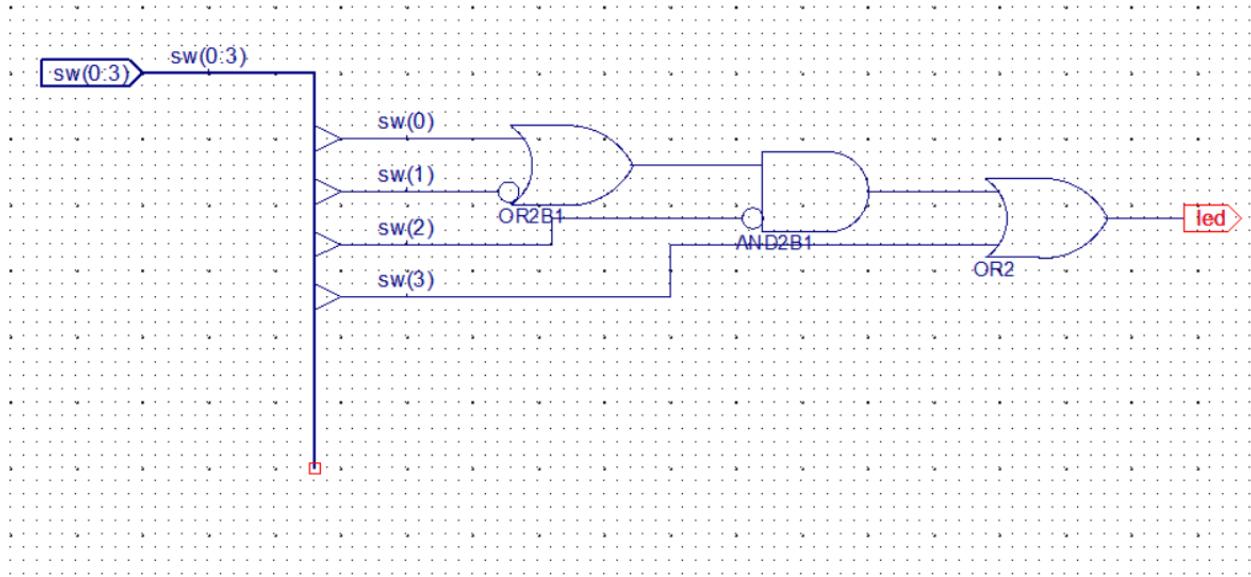


Рисунок 7. Схема, задание 2.1

- VHDL [Ссылка на код](#):

```
20 library IEEE;
21 use IEEE.STD_LOGIC_1164.ALL;
22
23 -- Uncomment the following library declaration if using
24 -- arithmetic functions with Signed or Unsigned values
25 --use IEEE.NUMERIC_STD.ALL;
26
27 -- Uncomment the following library declaration if instantiating
28 -- any Xilinx primitives in this code.
29 --library UNISIM;
30 --use UNISIM.VComponents.all;
31
32 entity main is
33     Port ( sw : in STD_LOGIC_VECTOR (3 downto 0);
34             led : out STD_LOGIC);
35 end main;
36
37 architecture Behavioral of main is
38 begin
39     led <= sw(3) or (not(sw(2)) and (not(sw(1)) or sw(0)));
40 end Behavioral;
41
```

Рисунок 8. VHDL код, задание 2.1

- Настроим конфигурацию [Ссылка на код](#):

```

1  NET "sw<0>" LOC="T10";
2  NET "sw<1>" LOC="T9";
3  NET "sw<2>" LOC="V9";
4  NET "sw<3>" LOC="M8";
5
6  NET "led" LOC="U16";

```

*Рисунок 9. Конфигурационный файл, задание 2.1*

2. Составим таблицу истинности первого выражения и сравним экспериментальные значения с ней.

*Таблица 2 - Таблица истинности первого выражения, задание 2.1*

Sw<3>	Sw<2>	Sw<1>	Sw<0>	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

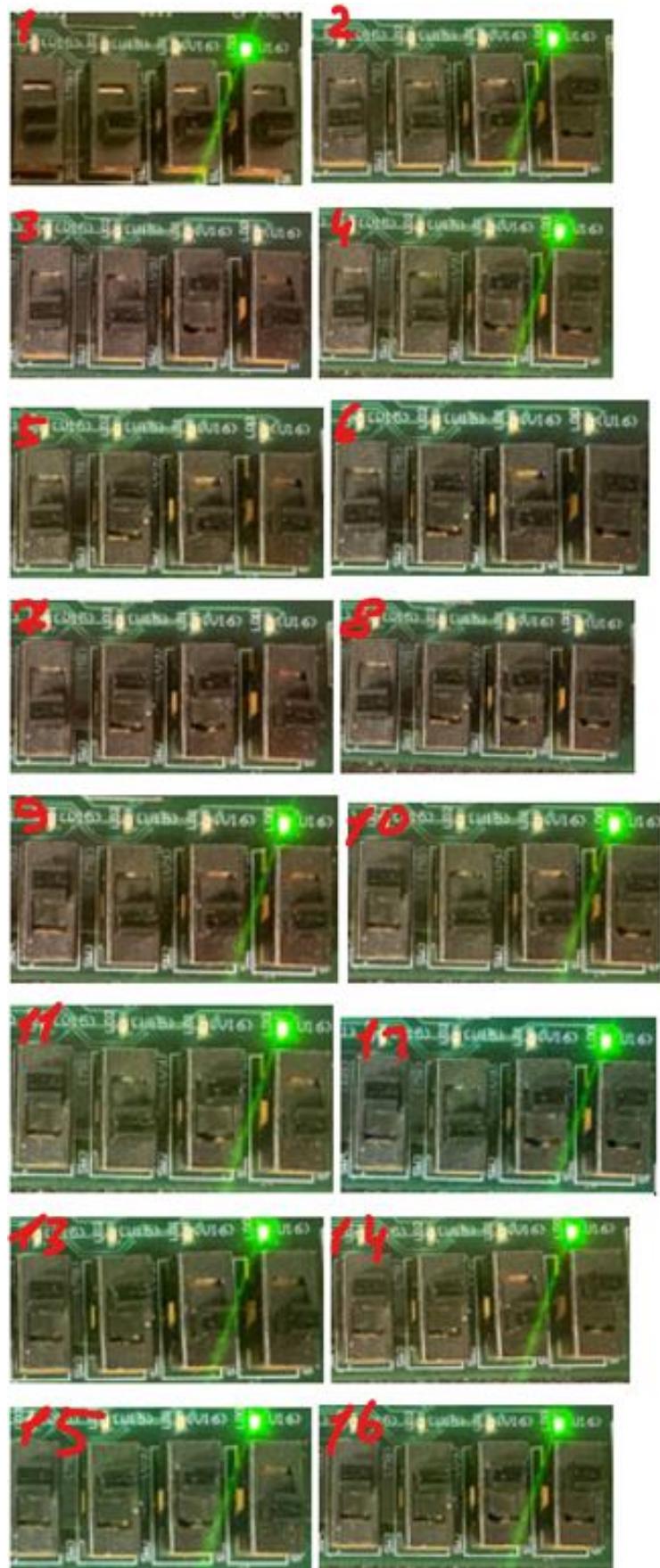


Рисунок 10. Экспериментальные значения, задание 2.1

### 3. Реализуем программу для второго выражения, с помощью Схемы и VHDL

- Схема:

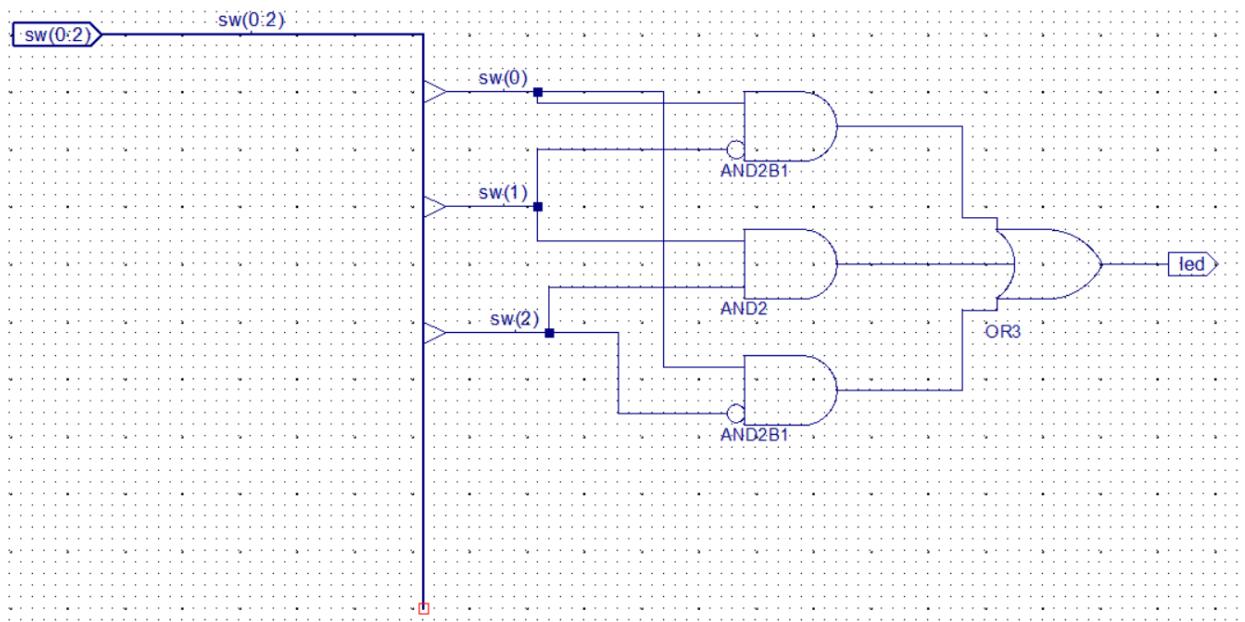


Рисунок 11. Схема, задание 2.2

- VHDL [Ссылка на код](#):

```
20 library IEEE;
21 use IEEE.STD_LOGIC_1164.ALL;
22
23 -- Uncomment the following library declaration if using
24 -- arithmetic functions with Signed or Unsigned values
25 --use IEEE.NUMERIC_STD.ALL;
26
27 -- Uncomment the following library declaration if instantiating
28 -- any Xilinx primitives in this code.
29 --library UNISIM;
30 --use UNISIM.VComponents.all;
31
32 entity main is
33     Port ( sw : in STD_LOGIC_VECTOR (2 downto 0);
34            led : out STD_LOGIC);
35 end main;
36
37 architecture Behavioral of main is
38 begin
39     led <= (sw(0) and not(sw(1))) or (sw(1) and sw(2)) or (not(sw(2)) and sw(0));
40 end Behavioral;
41
```

Рисунок 12. VHDL код, задание 2.2

- Конфигурационный файл [Ссылка на код](#):

```

1  NET "sw<0>" LOC="V9";
2  NET "sw<1>" LOC="T9";
3  NET "sw<2>" LOC="T10";
4
5  NET "led" LOC="U16";

```

*Рисунок 13. Конфигурационный файл, задание 2.2*

4. Составим таблицу истинности второго выражения и сравним экспериментальные значения с ней.

*Таблица 3 - Таблица истинности второго выражения, задание 2.2*

Sw<0>	Sw<1>	Sw<2>	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1



*Рисунок 14. Экспериментальные значения, задание 2.2.*

**Вывод:** в ходе выполнения задания, были разработаны программы, для двух логических выражений, с помощью схематики и ЯОА VHDL. Операнды логического выражения были назначены на свитчи. Результат логического выражения выводился на светодиод (U16). Были составлены таблицы истинности каждого логического выражения. Экспериментальные результаты полностью совпадают с теоретическими расчётами.

**Общий вывод:** в ходе выполнения лабораторной работы №7, были реализованы программы для ПЛИС, предназначенные для работы с логическим выражением. При разработке каждой программы, использовалось два способа: схемотехника и VHDL код. К каждого логического выражения, была составлена таблица истинности. Экспериментальные значения были сравнены с таблицей истинностью и полностью совпали. Изучены принципы описания цифровых схем, анализа их работы и реализации на ПЛИС.