# 串口通信模块设计

### 功能需求

1. 串口参数
   1. 波特率范围 ： 115200bps
   2. 起始位 ： 1 bit
   3. 数据位 ： 8 bit
   4. 停止位 ： 1 bit
   5. 校验位 ： None
   6. 流控 ： None
2. 其他需求
   1. 无

### 模块接口

|  |  |  |  |
| --- | --- | --- | --- |
| 接口名称 | 信号方向 | 信号位数 | 说明 |
| clk | input | 1 | 模块时钟信号 |
| rst\_n | input | 1 | 模块复位信号，低电平有效 |
| tx\_en | input | 1 | 串口发送使能信号，宽度为一个时钟周期 |
| tx | output | 1 | 串口发送信号 |
| tx\_dat | input | 8 | 串口发送数据，在tx\_en置时有效 |
| rx | input | 1 | 串口接收信号 |
| rx\_dat | output | 8 | 串口接收数据 |
| rx\_rdy | output | 1 | 串口接收数据有效信号，宽度为一个时钟周期 |
| baud\_div | parameter | / | 波特率分频参数，计算公式：  (时钟频率/波特率/2-1)  输入时钟为50Mhz时，该参数为216表示115200bps |
| cnt\_width | parameter | / | 波特率分频计数器位宽，根据baud\_div选择合适的位宽 |

### 功能描述

该模块的功能时控制串口数据的收发。

1. 串口发送

tx\_en和tx\_dat控制串口数据发送，tx为串口发送最终输出的单总线信号。

如图1所示，串口发送模块由tx\_en信号触发，tx\_en信号为一个时钟周期的脉冲信号。模块在tx\_en置高时会锁存住当前的tx\_dat数据，并将这个数据编码成单总线串口信号送到tx端口。在串口信号发送结束之后，tx会被拉高（总线空闲）。



图1. 串口发送信号(从上至下分别为tx\_en, tx 和tx\_dat 信号)

1. 串口接收

rx为串口输入的单总线信号，rx\_dat和rx\_rdy为串口接收数据及相应的有效信号。

如图2所示，串口接收模块在rx信号从高电平（总线空闲）变为低电平时开始工作，解码串口接收的起始位和8bit数据位，并将数据送出到rx\_dat端口，同时rx\_rdy置高一个周期表示此时的rx\_dat数据有效。



图2. 串口接收信号 (从上至下分别为rx, rx\_dat 和rx\_rdy 信号)

### 功能验证

1. 串口自收发仿真

图3为串口自收发仿真波形。其中，tx\_en信号直接连接rx\_rdy信号，tx\_dat连接rx\_dat。

串口数据为：0x30, 0x31, 0x32, 0x33, 0x34, 0x35, 0x36, 0x37, 0x38, 0x39, 0x30, 0x0d, 0x0a

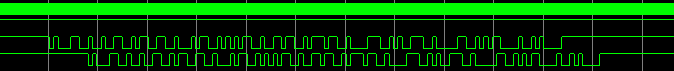


图3. 串口自收发仿真波形

（从上至下分别为50Mhz时钟，复位信号，串口接收信号，串口发送信号）

1. 板级实验

FPGA串口自收发实验，PC端使用串口助手进行调试，参数设置与模块相同。连续发送接收，结果良好。误码率未测试。

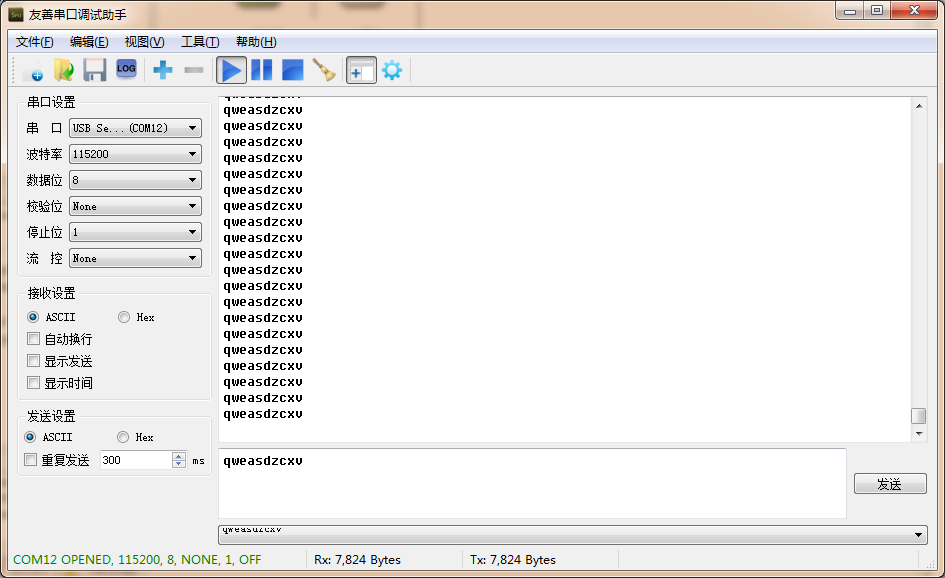


图4. 串口模块板级测试