# 串口接收转FIFO模块

uart\_fifo\_rx.v

## 功能描述

本模块的功能为

1. 串口接收数据。其中串口参数如表1。

表1

|  |  |
| --- | --- |
| 波特率 | 115200bps |
| 数据位 | 8bit |
| 起始位 | 1bit |
| 停止位 | 1bit |
| 校验位 | None |
| 流控制 | None |

1. 将接收得到数据以8个byte为一组，转换成64 bit数据。若此时FIFO未满，则将数据存入FIFO。若FIFO已满，则不存储。其中FIFO的宽度为64bit，深度为512。

## 接口描述

模块接口如表2。

表2

|  |  |  |  |
| --- | --- | --- | --- |
| PIN | 方向 | 位数 | 功能 |
| clk | input | 1 | 模块时钟信号 |
| rst\_n | input | 1 | 模块复位信号，低电平有效 |
| uart\_rx | input | 1 | 串口单总线接收引脚 |
| fifo\_dout | output | 64 | FIFO数据输出口 |
| fifo\_full | output | 1 | FIFO满标志位 |
| fifo\_empty | output | 1 | FIFO空标志位 |
| fifo\_rd\_en | input | 1 | FIFO读使能信号 |
| baud\_div | parameter | / | 波特率分频参数，计算公式：  (时钟频率/波特率/2-1)  输入时钟为50Mhz时，该参数为216表示115200bps |
| cnt\_width | parameter | / | 波特率分频计数器位宽，根据baud\_div选择合适的位宽 |

## 仿真验证

用串口连续循环发送数据0x00-0xFF（当发送完0xFF之后，发送0x00开始下轮循环）直至发送共计4096 bytes（等于FIFO的存储容量512\*8=4096 bytes）。然后通过串口连续发送0xAA，以验证FIFO满之后新接收到的数据不会覆盖之前的数据。最后读取FIFO数据观察数据是否正确。

如图1，当发送完前8 bytes（0x00 – 0xFF）后，可以看到FIFO\_EMPTY被拉低，证明数据写入FIFO成功。

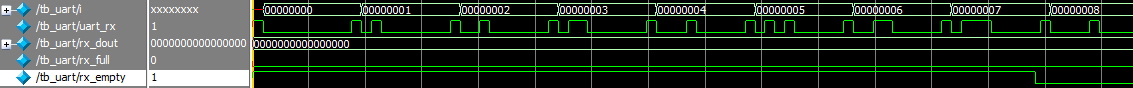


图1

如图2，当发送完4096个数据之后FIFO满标志位被置起。

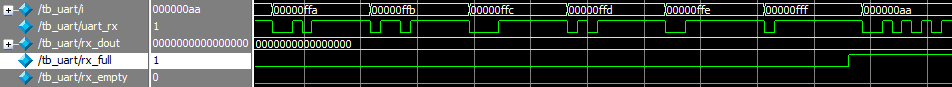


图2

如图3，读取第一个FIFO数据为0x0706050403020100，与发送的前8个byte相同，且不为0xAAAAAAAAAAAAAAAA。说明FIFO满后数据不会再被写入FIFO。也说明串口数据接收并写入FIFO功能正常。

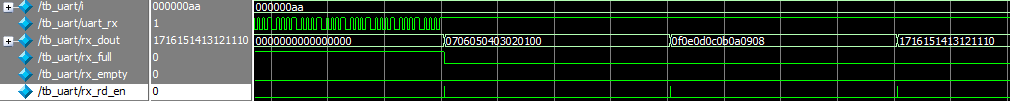


图3

# FIFO转串口发送模块

uart\_fifo\_tx.v

## 功能描述

本模块的功能为：

当接收到外部使能信号（*暂定为一个时钟周期的脉冲信号*）时，从FIFO中取出一个64bit数据，转换为8byte数据通过串口发送出去。其中串口参数如表1。

表1

|  |  |
| --- | --- |
| 波特率 | 115200bps |
| 数据位 | 8bit |
| 起始位 | 1bit |
| 停止位 | 1bit |
| 校验位 | None |
| 流控制 | None |

FIFO的宽度为64bit，深度为128。

## 接口描述

模块接口如表2。

表2

|  |  |  |  |
| --- | --- | --- | --- |
| PIN | 方向 | 位数 | 功能 |
| clk | input | 1 | 模块时钟信号 |
| rst\_n | input | 1 | 模块复位信号 |
| uart\_tx | input | 1 | 串口单总线发送引脚 |
| fifo\_din | input | 64 | FIFO数据输入口 |
| fifo\_full | output | 1 | FIFO满标志位 |
| fifo\_empty | output | 1 | FIFO空标志位 |
| fifo\_wr\_en | input | 1 | FIFO写使能信号 |
| enable | input | 1 | 模块使能信号（*暂定为一个时钟周期的脉冲信号*） |
| busy | output | 1 | 模块忙标志位，置1时表示当前发送动作还未结束 |
| baud\_div | parameter | / | 波特率分频参数，计算公式：  (时钟频率/波特率/2-1)  输入时钟为50Mhz时，该参数为216表示115200bps |
| cnt\_width | parameter | / | 波特率分频计数器位宽，根据baud\_div选择合适的位宽 |

## 仿真验证

向FIFO中写入一个数据，发送模块使能信号，观察串口发送波形是否正确。此时FIFO为空，再发送一个模块使能信号，应观察到串口没有数据输出，且busy信号一直为0。

如图4，写入FIFO数据并发送模块使能信号后，可以看到串口有数据输出，且通过对比，数据与写入FIFO的数据一致。

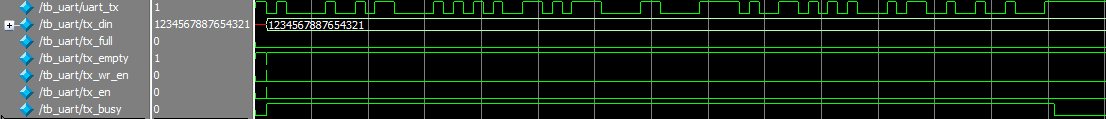


图4

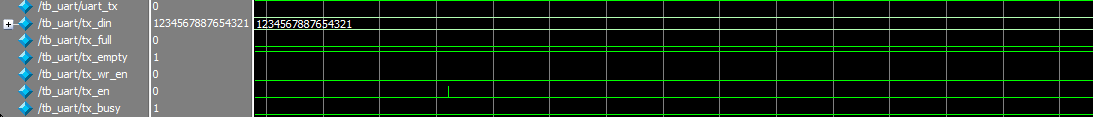
如图5，当FIFO为空的时候，发送模块使能信号，串口无数据发送，且busy信号一直为0。

图5

# 板级验证

已验证。