

درس مدار های واسط

مستند پروتکل QPSI

استاد فصحتی

سید محمد پویان شمس الدین

401110812

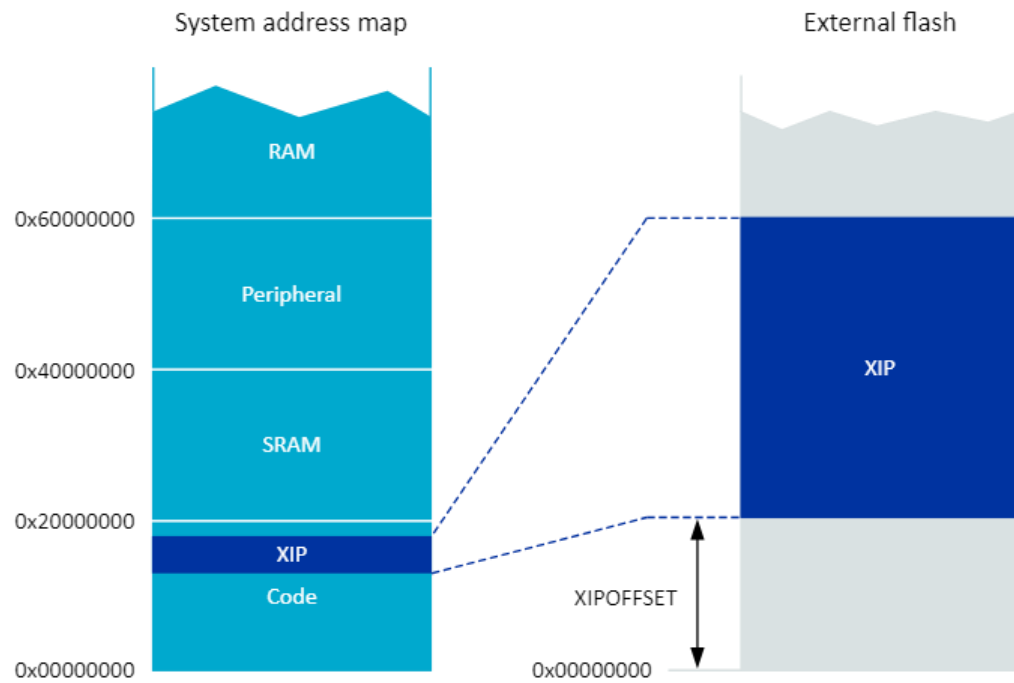
پروتکل Quad Serial Peripheral Interface : SPI

این رابط یک نسخه بهبود یافته از رابط استاندارد SPI (Serial Peripheral Interface) است و یک پروتکل پیشرفته ارتباط سریال است که به طور خاص برای ارتباط با حافظه‌های فلش طراحی شده است. و برای انتقال داده‌ها با سرعت بالا بهینه‌سازی شده است. به همین دلیل، QSPI در برنامه‌هایی که نیاز به دسترسی سریع به حجم زیادی از داده‌ها دارند، بسیار مفید است.

تفاوت اصلی در این است که SPI استاندارد تنها از یک خط داده برای انتقال استفاده می‌کند، در حالی که QSPI با بهره‌گیری از چهار خط داده (معمولاً با نام‌های I0 I1 I2 I3) امکان انتقال چهار بیت در هر چرخه کلاک را فراهم می‌آورد. به این ترتیب، پهنای باند QSPI به طور قابل توجهی نسبت به SPI افزایش می‌یابد و با اضافه کردن حالت‌های پیشرفته‌تر، امکان انتقال داده با سرعت بسیار بالاتر را فراهم کرده است.

همچنین این پروتکل برخلاف SPI از ویژگی XIP استفاده می‌کند (execute in place) که این ویژگی ه پردازنده اجازه می‌دهد تا کد اجرایی را مستقیماً از حافظه فلش بخواند و بدون نیاز به کپی کردن در حافظه اصلی اجرا کند. این باعث صرفه جویی در RAM و همچنین افزایش سرعت برنامه می‌شود.

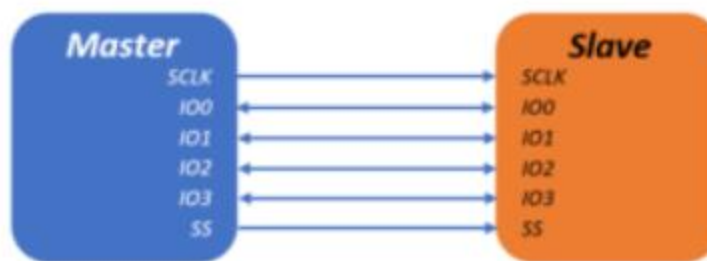
تصویری از نحوه عملکرد XIP : (هنگام دسترسی به منطقه حافظه XIP، آدرس شروع این منطقه حافظه XIP به آدرس XIPOFFSET فلاش خارجی نگاشت می‌شود).



کاربرد های این پروتکل:

QSPI به دلیل سرعت بالا، مصرف انرژی پایین و قابلیت انتقال داده‌ها بدون نیاز به CPU، در کاربردهای متنوعی مانند سیستم‌های توکار دستگاه‌های IoT، برنامه‌های چندرسانه‌ای (دوربین‌ها و پخش‌کننده‌های ویدیویی)، سیستم‌های خودرویی (مانند ناوبری و Infotainment)، مبدل‌های آنالوگ به دیجیتال (ADC)، حافظه‌های خارجی (مانند NOR Flash)، سیستم‌های صنعتی، دستگاه‌های ذخیره‌سازی قابل حمل، سیستم‌های ارتباطی و شبکه‌ای، دستگاه‌های پزشکی، و سیستم‌های امنیتی و پردازش تصویر استفاده می‌شود.

همچنین در سیستم‌های ذخیره‌سازی با کارایی بالا مانند کنترل‌کننده‌های RAID و حافظه‌های بافر جهت انتقال سریع داده استفاده می‌شوند؛ بسیاری از FPGA ها و سیستم‌های SoC از کنترلرهای پیکربندی‌پذیر QSPI بهره می‌برند و همچنین در سیستم‌های صنعتی و خودروسازی از حافظه‌های QSPI بهره گرفته می‌شود.



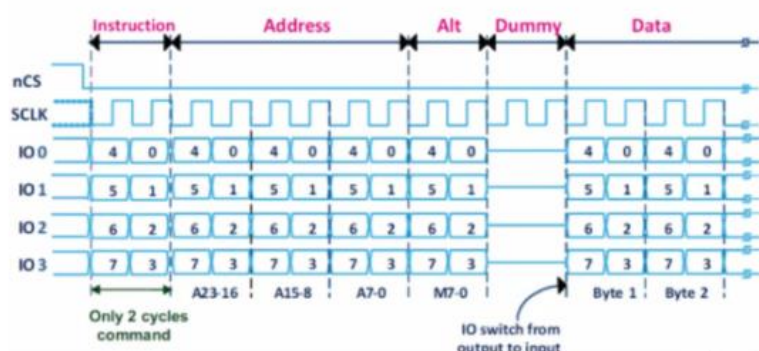
پیکربندی و سیگنال های این پروتکل:

به طور کلی این پروتکل شامل سیگنال CLK (سیگنال ساعت همزمان با انتقال داده)، سیگنال CS (برای فعالسازی دستگاه هدف) و سیگنال خطوط داده IO0 تا IO3 برای انتقال داده است.

این پروتکل همانطور که در عکس بالا مشاهده میشود از 4 خط داده به نام‌های IO0, IO1, IO2, IO3 استفاده می‌کند. این رابط از یک data queue با Pointers بهره می‌برد که امکان انتقال داده‌ها را بدون نیاز به دخالت CPU فراهم می‌کند. علاوه بر این، QSPI دارای یک حالت Wrap-Around است که امکان انتقال پیوسته داده‌ها از صف را فراهم می‌کند.

چگونگی تبادل در این پروتکل: در مرحله اول کنترلر ابتدا دستور مورد نظر را از طریق خطوط I/O ارسال می‌کند. سپس آدرس حافظه و در صورت نیاز، فیلد Alt که به صورت اختیاری توسط حافظه فلش تعریف شده است نیز ارسال می‌شود و پس از ارسال دستور و آدرس، به مدت دو چرخه کلاک، انتقال داده به صورت موقتی متوقف می‌شود. (برای اینکه کنترلر جهت خطوط I/O را تغییر دهد)

در ادامه داده‌ها از حافظه فلش به سمت میکروکنترلر منتقل می‌شوند. با استفاده از چهار خط داده، در هر چرخه کلاک چهار بیت اطلاعات ارسال می‌شود. در تصویر زیر این مراحل توضیح داده شده نمایش داده شده است:



انواع حالت‌ها در این پروتکل:

پروتکل QSPI از چندین حالت مختلف برای انتقال داده‌ها استفاده می‌کند

حالت استاندارد SPI: در این حالت، تنها از یک خط داده (MOSI) برای ارسال و یک خط داده (MISO) برای دریافت استفاده می‌شود. حالت Dual SPI در این حالت، از دو خط داده برای انتقال اطلاعات استفاده می‌شود که باعث افزایش سرعت انتقال داده نسبت به حالت استاندارد می‌شود. و حالت Quad SPI که در این حالت، از چهار خط داده برای انتقال داده‌ها استفاده می‌شود که امکان انتقال ۴ بیت داده در هر چرخه کلاک را فراهم می‌کند و در نتیجه سرعت انتقال داده به‌طور قابل توجهی افزایش می‌یابد.

در برخی کاربردها از 8 خط داده نیز استفاده می‌شود.

قابلیت تشخیص و تصحیح خطا:

این پروتکل به‌طور ذاتی قابلیت تصحیح خطا (ECC) یا تشخیص خطا (CRC) را ندارد، اما برخی از حافظه‌های فلش که از QSPI استفاده می‌کنند، دارای مکانیسم‌های داخلی برای تشخیص و تصحیح خطا هستند. این ویژگی‌ها معمولاً توسط خود تراشه حافظه مدیریت می‌شوند.

برخی از حافظه‌های QSPI از کد تصحیح خطا برای شناسایی و اصلاح خطاهای تک‌بیتی یا چندبیتی استفاده می‌کنند. همچنین، بررسی افزونگی چرخشی برای تأیید صحت داده‌های انتقال‌یافته به کار می‌رود. در برخی موارد، بیت parity برای تشخیص خطاهای یک‌بیتی استفاده می‌شود. علاوه بر این، برخی حافظه‌ها دارای spare blocks هستند که در صورت شناسایی بلاک معیوب، داده‌ها را به یک بلاک سالم منتقل می‌کنند. اگر حافظه ECC داخلی نداشته باشد،

می‌توان از الگوریتم‌های نرم‌افزاری مانند Hamming Code، Reed-Solomon یا BCH برای تصحیح خطا استفاده کرد.

انواع بسته ها و پکت ها :

فرایند انتقال داده به چندین بخش تقسیم می‌شود که هر کدام نقش مشخصی دارند. به طور معمول، ابتدا سیگنال انتخاب تراشه (CS) فعال شده و سپس بسته دستوری (Command Packet) ارسال می‌شود؛ این بسته معمولاً یک بایت است که عملیاتی مانند خواندن، نوشتن یا پاک کردن را مشخص می‌کند. بعد از آن، بسته آدرسی (Address Packet) فرستاده می‌شود که معمولاً شامل ۳ یا ۴ بایت اطلاعات است و موقعیت دقیق داده در حافظه را تعیین می‌کند. در برخی از عملیات، به‌ویژه در خواندن داده، پس از آدرس‌گذاری چند چرخه دوراهی یا "Dummy Cycles" به کار گرفته می‌شود تا زمان لازم برای آماده‌سازی حافظه جهت انتقال داده فراهم گردد؛ این چرخه‌های خالی به انتقال سیگنال کمک می‌کنند بدون اینکه داده واقعی ارسال شود. سپس بسته داده (Data Packet) که حاوی اطلاعات واقعی مورد نظر است، از طریق خطوط داده (معمولاً چهار خط در حالت Quad) انتقال می‌یابد. در برخی از تراشه‌های حافظه، ممکن است پس از عملیات خواندن یا نوشتن، بسته‌ای جهت ارسال وضعیت (Status/Response Packet) جهت اعلام موفقیت یا خطا وجود داشته باشد؛ این بسته معمولاً توسط رجیستر وضعیت حافظه تولید شده و نشان‌دهنده وضعیت انجام عملیات (مانند اتمام عملیات، وجود خطا یا وضعیت قفل/باز بودن حافظه) است. همچنین بسته‌ها و فریم‌های ارسالی در QSPI می‌توانند بسته به مد انتخابی تغییر کنند؛ مثلاً در حالت DDR QSPI، داده‌ها در هر لبه ساعت (بالارونده و پایین‌رونده) ارسال می‌شوند تا سرعت انتقال افزایش یابد. به این ترتیب، هر بسته از یک توالی مشخص شامل دستور، آدرس، چرخه‌های خالی (در صورت نیاز)، داده و در نهایت وضعیت تشکیل می‌شود.

چالش‌های QSPI :

با وجود مزایای زیاد مثل سرعت بالا، کاهش بار پردازنده و پشتیبانی از XIP، این پروتکل با چالش‌هایی دارد که در ادامه بررسی می‌کنیم:

پیچیدگی طراحی سخت‌افزار که در مقایسه با QSPI به چهار خط داده (IO0 - IO3) نیاز دارد. این باعث می‌شود طراحی بردهای الکترونیکی کمی پیچیده‌تر شود، زیرا نیاز به اتصال دقیق و مدیریت چندین سیگنال داده وجود دارد. طراحی PCB باید نویزپذیری کمتر و خطوط داده با تأخیر کم داشته باشد تا از مشکلات همگام‌سازی داده‌ها جلوگیری شود همچنین همه‌ی دستگاه‌هایی که از SPI پشتیبانی می‌کنند، الزاماً از QSPI پشتیبانی نمی‌کنند. این یعنی اگر بخواهیم یک دستگاه QSPI را به سیستمی که فقط SPI را پشتیبانی می‌کند متصل کنیم، ممکن است نیاز به تغییرات سخت‌افزاری یا نرم‌افزاری داشته باشیم

در حالت Quad Mode، به دلیل استفاده از چهار خط داده به‌صورت همزمان، مصرف توان ممکن است بالاتر از SPI باشد.

اجرای مستقیم برنامه از حافظه فلش (XIP) باعث کاهش تأخیر در بارگذاری می‌شود، اما مدیریت آن بهینه‌سازی دقیقی نیاز دارد.

در سیستم‌هایی که XIP با QSPI استفاده می‌شود، اگر فلش مموری کند باشد یا خطوط داده دچار تأخیر شوند، ممکن است عملکرد کلی سیستم کاهش یابد.

به دلیل استفاده از چهار خط داده همزمان، QSPI نسبت به SPI معمولی حساس‌تر به نویز الکترومغناطیسی و تداخل سیگنال‌ها است و نیاز به طراحی دقیق مسیرهای داده، استفاده از فیلترهای مناسب و شیلدینگ دارد. و همچنین همه‌ی میکروکنترلرها و پردازنده‌ها از QSPI به صورت پیش فرض پشتیبانی نمی‌کنند. برخی از آن‌ها نیاز به کنترلرهای خارجی یا درایورهای خاص نرم‌افزاری دارند.

چون QSPI از تعداد بیشتری خط داده، حافظه‌های خاص و کنترلرهای پیچیده‌تر استفاده می‌کند، هزینه‌ی پیاده‌سازی آن نسبت به SPI معمولی بالاتر است.

مسیریابی و آدرس دهی :

برای آدرس دهی و انتقال داده‌ها از ساختاری ساده ولی انعطاف پذیر استفاده می‌کند. آدرس دهی در این پروتکل با ارسال یک دستور Command آغاز می‌شود که نوع عملیات (خواندن یا نوشتن) را مشخص می‌کند. پس از دستور، آدرس حافظه یا رجیستر هدف ارسال می‌گردد. طول آدرس معمولاً ۳ یا ۴ بایت است و بستگی به ظرفیت حافظه دارد: حافظه‌های کوچکتر (تا ۱۶ مگابایت) از آدرس ۳ بیتی و حافظه‌های بزرگتر (مثلاً ۴ گیگابایت) از آدرس ۴ بیتی استفاده می‌کنند. در برخی دستگاهها، قابلیت‌هایی مانند Bank Addressing یا آدرس دهی توسعه یافته برای دسترسی به فضای حافظه بزرگتر وجود دارد. پس از آدرس، داده‌های موردنظر (برای نوشتن) یا فضای خالی برای دریافت داده (در عملیات خواندن) انتقال می‌یابند.

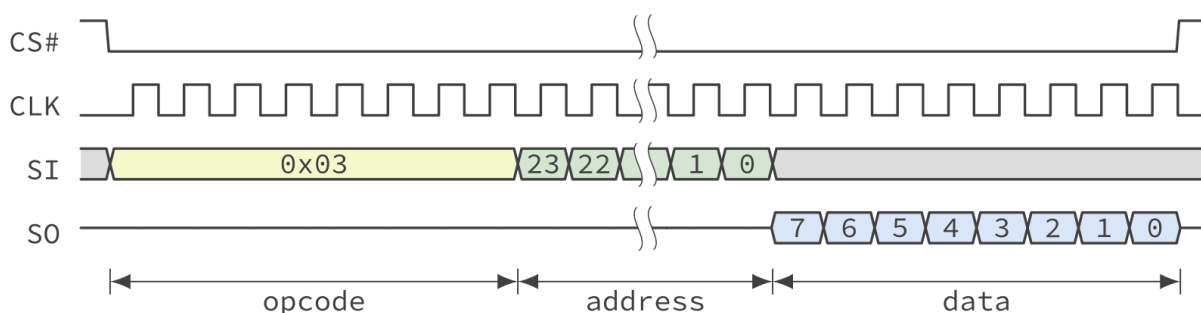
در مورد مسیریابی به شکل سنتی از مسیریابی شبکه پشتیبانی نمی‌کند، زیرا برای ارتباط یک به یک بین یک کنترلر و یک دستگاه جانبی (مانند حافظه فلش) طراحی شده است. و در سیستم‌هایی که چندین دستگاه QSPI به یک کنترلر متصل هستند، از پایه‌های Chip Select (CS) برای انتخاب دستگاه هدف استفاده می‌شود. هر دستگاه یک پایه CS اختصاصی دارد و کنترلر با فعال کردن این پایه، ارتباط با دستگاه موردنظر را آغاز می‌کند. در برخی پیکربندی‌های پیشرفته، دستگاهها به صورت daisy chain به یک پایه CS متصل می‌شوند و داده‌ها به ترتیب از طریق آنها عبور می‌کنند. همچنین با توجه به ویژگی XIP، آدرس دهی و انتقال داده با سرعت بالاتری انجام می‌شود.

در اکثر تراکنش‌های QSPI فرایند به چند فاز تقسیم می‌شود:

Instruction Phase: کنترلر یک (opcode) را ارسال می‌کند. این انتقال می‌تواند به صورت تک خطی یا چند خطی انجام شود. فاز آدرس یک آدرس چند بایتی به حافظه ارسال می‌شود. در حالت‌های Dual یا Quad، حتی انتقال آدرس می‌تواند از چندین خط انجام شود که موجب کاهش تأخیر می‌گردد.

Dummy cycles: دوره‌های بدون داده جهت فراهم آوردن زمان لازم برای آماده‌سازی داده از حافظه درج می‌شود. تعداد این دوره‌ها بین کنترلر و دستگاه حافظه هماهنگ می‌شود.

Data phase: داده‌ها از طریق خطوط داده به صورت همزمان منتقل می‌شوند. در حالت Quad، ۴ بیت داده در هر چرخه ساعت انتقال پیدا می‌کند.



مقایسه این پروتکل با سایر پروتکل‌ها:

Protocol	Speed	Pin Count	Use Case	Key Advantage
SPI	~50 Mbps	4-6	Sensors, EEPROMs	Simple, widely supported
QSPI	~400 Mbps	6+	Flash memory, XIP execution	High speed, flexible
I2C	~3.4 Mbps	2	Low-speed peripherals	Multi-device support
UART	~3 Mbps	2	Debugging, low-speed comms	Simple, asynchronous
SDIO	~200 Mbps	4-8	SD cards, Wi-Fi modules	High throughput
CAN	~1 Mbps	2	Automotive, industrial	Robust, multi-master
Ethernet	~1 Gbps	4+	Networking	Very high speed, networked

QSPI با سرعتی حدود 400 مگابیت بر ثانیه عملکرد بهتری نسبت به SPI دارد و از حداقل 6 پایه برای انتقال سریع‌تر داده‌ها بهره می‌برد. این پروتکل به‌طور گسترده در حافظه‌های فلش و اجرای مستقیم کد (XIP) مورد استفاده

قرار می‌گیرد و به دلیل انعطاف‌پذیری بالا، امکان تغییر جهت خطوط داده را در حین اجرا فراهم می‌کند. با استفاده از چهار خط داده، در هر سیکل کلاک 4 بیت داده منتقل می‌شود که پهنای باند را بهبود می‌بخشد و بهره‌وری انتقال را افزایش می‌دهد، بنابراین در سیستم‌های تعبیه‌شده، FPGA ها و دستگاه‌هایی که نیاز به حافظه‌های پرسرعت دارند، کاربرد فراوانی دارد.

منابع استفاده شده:

<https://www.prodigytechno.com/qspi-protocol>

<https://www.infineon.com/cms/en/product/memories/nor-flash/serial-nor-flash/quad-spi-flash/>
https://docs.nordicsemi.com/bundle/ps_nrf52840/page/qspi.html
https://onlinedocs.microchip.com/oxy/GUID-450989FA-38E4-4D68-AB61-15ADB29AD718-en-US-4/GUID-64ACC906-AAF6-4A27-A75B-F67FC4E59467_3.html

<https://chromitem-soc.readthedocs.io/en/stable/qspi.html>