2023 Digital IC Design Homework 3

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| NAME | 吳欣航 | | | | |
| Student ID | E14086525 | | | | |
| **Simulation Result** | | | | | |
| Functional simulation | | Score | | Gate-level simulation | Score |
| 一張含有 文字 的圖片  自動產生的描述 | | | | 一張含有 文字 的圖片  自動產生的描述 | |
| **Synthesis Result** | | | | | |
| Total logic elements | | | 969 | | |
| Total memory bits | | | 0 | | |
| Embedded multiplier 9-bit elements | | | 1 | | |
| Total cycle used | | | 2231 | | |
| Clock width | | | 20 | | |
|  | | | | | |
| **Description of your design** | | | | | |
| 使用FMS，state有DATAIN, POSTFIX, CALCULATE, OUT, WAIT，此外還有使用一個組合電路，ascii\_in為輸入，data\_in為輸出，DATAIN將經過ascii轉換的data存到arraydata中。POSTFIX則是將一般的數學表達是轉換成postfix，其中分別對arraydata的元素做檢查，並用case來決定哪種operator or operand要做甚麼事情，基本上照著作業pdf即可，比較特別的是當遇到優先級相同或較高的運算子，需要一直做，直到優先級條件解決。將arraydata處理好成postfix並存到out中，接下來進到CALCULATE中，也是一個一個檢查out，並針對每一種不同的operator, operand做不同的運算，當stack的pointer==0時跳到OUT。OUT則是將valid拉高輸出result，一個cycle後進到WAIT，等待下筆資料近來。  我有使用Quartus\_constraint PPT的方法改變clock period為0.5ns，可以使我testbench的cycle time 有效降低。 | | | | | |

*Scoring = Area cost \* Timing cost*

*Area cost = Total logic elements + Total memory bits + 9\*Embedded multipliers 9-bit elements*

*Timing cost = Total cycle used \* Clock width*

**\* Total logic elements must not exceed 1500.**