



دانشکده مهندسی کامپیوتر

آزمایشگاه طراحی سیستم‌های دیجیتال

آزمایش دوم - طراحی مدارهای ترتیبی

دکتر اجلالی، مهندس اثنی عشری

امیرمهدی کوششی — ۹۸۱۷۱۰۵۳

ایمان محمدی — ۹۹۱۰۲۲۰۷

شایان صالحی — ۹۹۱۰۵۵۶۱

فهرست مطالب

| | | |
|-----|-------------------------|---|
| ۱ | مقدمه | ۳ |
| ۲ | شرح آزمایش | ۳ |
| ۱.۲ | بررسی خروجی‌های مدار | ۳ |
| ۳ | ساختار مدار | ۴ |
| ۱.۳ | D فلیپ فلاپ | ۴ |
| ۲.۳ | فلیپ فلاپ حساس به لبه | ۴ |
| ۳.۳ | فلیپ فلاپ حساس به لبه T | ۴ |
| ۴.۳ | شمارنده | ۵ |
| ۵.۳ | مدار کلی اتاق | ۵ |
| ۴ | شیبه‌سازی مدار | ۶ |
| ۵ | فرکانس کاری مدار | ۷ |

۱ مقدمه

هدف از این آزمایش، طراحی یک مدار ترتیبی است که یک اتاق انتظار را شبیه سازی کند. شبیه سازی اتاق انتظار، به کمک یک شمارنده‌ی دو جهته‌ی بالا و پایین انجام شده که عدد نشان داده شده توسط آن، بیانگر تعداد افراد حاضر در اتاق انتظار است. هرگاه این عدد به ۱۵ رسید ورودی بسته و به صفر رسید خروجی بسته می شود. آزمایش به کمک نرم افزار کورتنوس انجام شده است.

۲ شرح آزمایش

در اینجا می‌خواهیم عملکرد یک اتاق انتظار که دارای ظرفیت ۱۵ نفر است را شبیه‌سازی کنیم. در اینجا دو در خواهیم داشت که یکی از آنها برای ورودی و دیگری برای خروجی استفاده می‌شود. به طور کلی مدار دارای شش ورودی بوده و با استفاده از شش خروجی وضعیت اتاق را به نمایش درمی‌آورد.

۱.۲ بررسی خروجی‌های مدار

خروجی بسته بودن در هنگامی صفر می‌شود که حداقل یکی از بیت‌های عدد نشان داده شده توسط شمارنده، مقدار داشته باشد؛ در نتیجه، اگر عدد شماره صفر باشد (و کسی در اتاق نباشد)، این خروجی یک و در بسته می‌شود، همچنین خروجی باز بودن در زمانی یک می‌شود که تمام شرط‌های زیر برقرار باشد:

- ورودی T یک باشد.
- ورودی Enter یک باشد.
- ورودی باز بودن در یک باشد.
- ظرفیت اتاق پر نشده باشد.

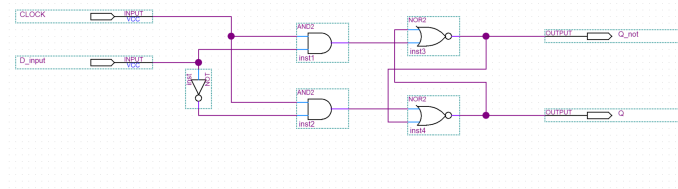
در نهایت خروجی UP/DOWN زمانی یک است که هم ورودی Open و هم ورودی Out صفر باشد زیرا که اگر این دو ورودی یک باشند یک نفر وارد شده و همزمان یک نفر خارج می‌شود و نباید تعداد افراد درون اتاق تغییری پیدا کند.

۳ ساختار مدار

در اینجا به توضیح مدارهای طراحی شده برای آزمایش می‌پردازیم.

۱.۳ D فلیپ فلاپ

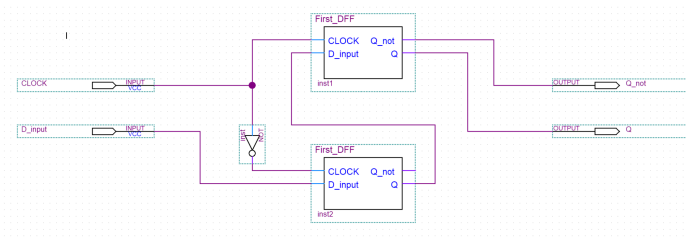
در اینجا با استفاده از گیت‌های NOR و NAND و اتصال ترتیبی آنها به شکل زیر یک فلیپ فلاپ ساخته‌ایم.



شکل ۱: مدار طراحی شده برای D فلیپ فلاپ

۲.۳ فلیپ فلاپ حساس به لبه

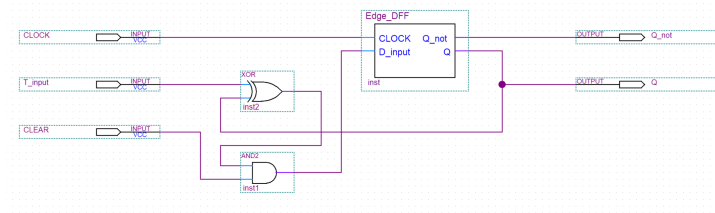
در اینجا برای ساخت یک فلیپ فلاپ حساس به لبه باید دو D فلیپ فلاپ را به صورت متوالی به شکل زیر متصل کنیم.



شکل ۲: مدار طراحی شده برای فلیپ فلاپ حساس به لبه

۳.۳ فلیپ فلاپ حساس به لبه T

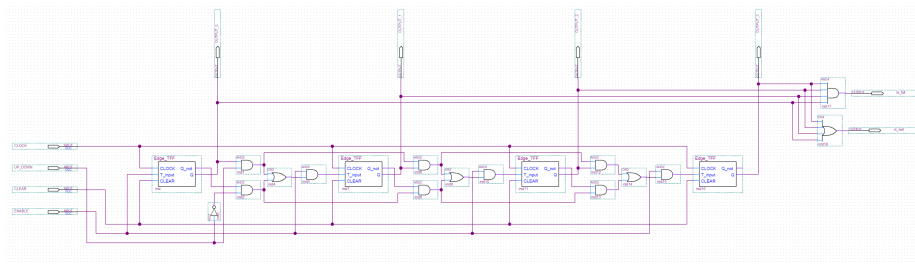
حال با استفاده از یک فلیپ فلاپ حساس به لبه به صورت زیر می‌توانیم یک TFF بسازیم که در ساختن شمارنده از آن استفاده می‌کنیم.



شکل ۳: مدار طراحی شده برای فلیپ فلاپ حساس به لبه

۴.۳ شمارنده

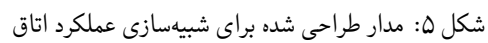
در اینجا شاهد طراحی مدار شمارنده هستیم که برگرفته شده از چهار TFF است. در اینجا کلاک برای تمامی فلیپ فلاپ‌ها از ورودی CLOCK گرفته می‌شود. و هرکدام براساس سیگنال UP/DOWN و ENABLE فعال می‌شوند. همچنین دو خروجی is-full و is-null از AND و OR گرفتن تمام خروجی‌ها حاصل می‌شود.



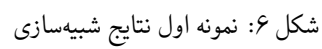
شکل ۴: مدار طراحی شده برای شمارنده

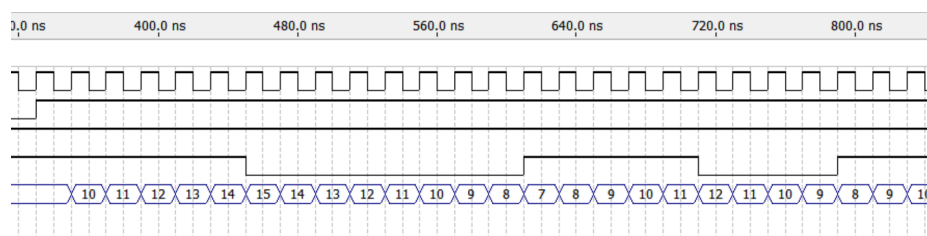
۵.۳ مدار کلی اتاق

در اینجا شاهد به کار بردن سیگنال‌های ورودی مشخص شده در شرح آزمایش و به کار بردن شمارنده چهار بیتی برای شبیه‌سازی عملکرد اتاق هستیم. همانگونه که در بالاتر اشاره شده خروجی هر سیگنال بر اساس ورودی‌ها براساس شرایط خاصی مشخص شده و در نهایت تعداد افراد حاضر در اتاق با خروجی‌های output مشخص می‌شود.



در این قسمت دو نمونه از شبیه‌سازی کارایی مدار بر اساس ورودی‌های رندوم مشخص شده است.





شکل ۷: نمونه دوم نتایج شبیه‌سازی

۵ فرکانس کاری مدار

همانطور که از نتیجه کامپایل مدار مشخص است نرم‌افزار کوآرتوس ماکسیموم فرکانس کاری را 388.8MHz محاسبه کرده است.

| Fmax Summary | | | | |
|--------------|-----------|-----------------|------------|------|
| | Fmax | Restricted Fmax | Clock Name | Note |
| 1 | 388.8 MHz | 388.8 MHz | CLK | |

شکل ۸: نمونه اول نتایج شبیه‌سازی