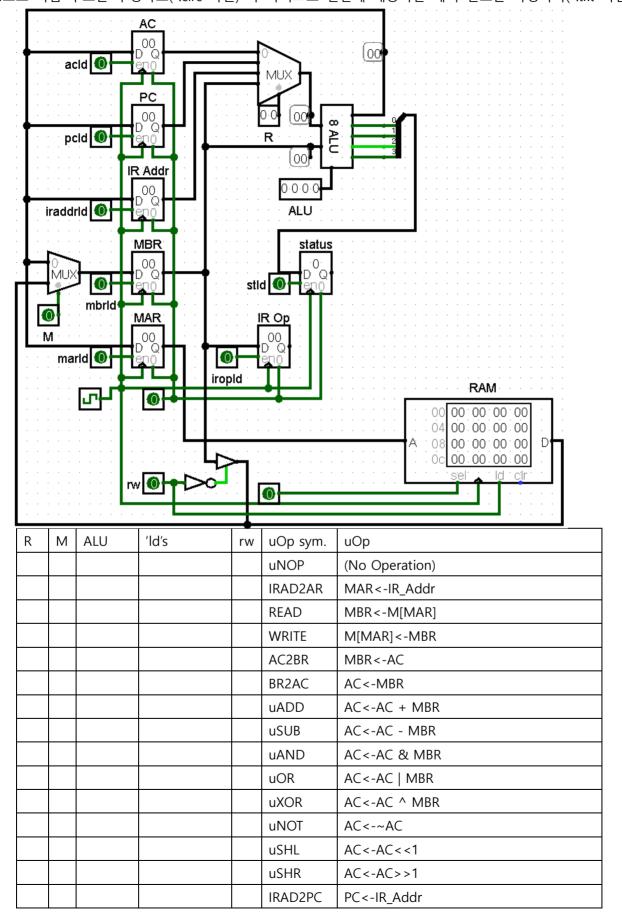
컴퓨터구조(2023 봄)숙제#06

logisim으로 다음 구조를 구성하고(*.circ 파일) 각 마이크로 연산에 대응하는 제어 신호를 작성하라(*.txt 파일).



'ld's = 7bits(acld pcld iraddrld mbrld marld iropld stld)

Note:

- Instruction은 2byte 길이로, opcode, operand 각각 1byte로 구성된다고 가정하고, 각각 "IR Op", "IR Addr" 레지스터에 저장됨
- Register, Mux, RAM은 logisim에서 제공해주는 기본 라이브러리를 사용.
- ALU는 숙제#04에서 완성한 8bit ALU 사용하되 기능선택입력을 하나의 4비트 입력으로 구성하여 사용함. (S2 S1 S0 Ci 순서)
- 위의 예에서는 총 15bit(Mux선택(R,M) 3bit, 레지스터 load 7bit, ALU선택 4bit, RAM R/W 1bit)의 제어점이 존재함. 레지스터 load는 (acld, pcld, iraddrld, mbrld, marld, iropld, stld의 순서로 7bit이라 간주)
- 추가될 Control Unit의 입력은 IR Op레지스터와 status 레지스터이며, 출력은 각 제어점의 신호가 됨.