

第四章 PLL 电路的设计与制作

在通信机等所使用的振荡电路，其所要求的频率范围要广，且频率的稳定度要高。

在上章中所介绍的 LC 振荡电路的频率变化为改变电感值或电容值，为了达到振荡频率的稳定，除了电路的构成要注意以外，且必须选择最适当的零件。

但是，无论多好的 LC 振荡电路，其频率的稳定度，都无法与晶体振荡电路比较。但是，晶体振荡器除了可以使用数字电路分频以外，其频率几乎无法改变。

如果采用 PLL(相位锁栓回路，PhaseLockedLoop)技术，除了可以得到较广的振荡频率范围以外，其频率的稳定度也很高。此一技术常使用于收音机，电视机的调谐电路上，以及 CD 唱盘上的电路。

4-1PLL 电路的基本构成

■PLL 电路的概要

图 1 所示的为 PLL 电路的基本方块图。此所使用的基准信号为稳定度很高的晶体振荡电路信号。

此一电路的中心为相位比较器。相位比较器可以将基准信号与 VCO (Voltage Controlled Oscillator.....电压控制振荡器)的相位比较。如果此两个信号之间有相位差存在时，便会产生相位误差信号输出。

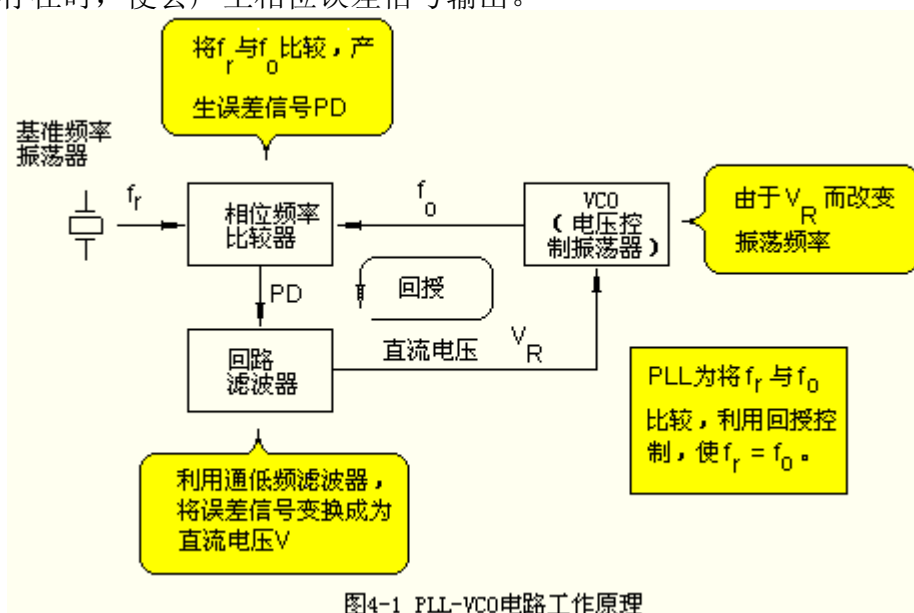


图4-1 PLL-VCO电路工作原理

(将 VCO 的振荡频率与基准频率比较，利用反馈电路的控制，使两者的频率为一致。)

利用此一误差信号，可以控制 VCO 的振荡频率，使 VCO 的相位与基准信号的相位(也即是频率)成为一致。

■PLL 的构成

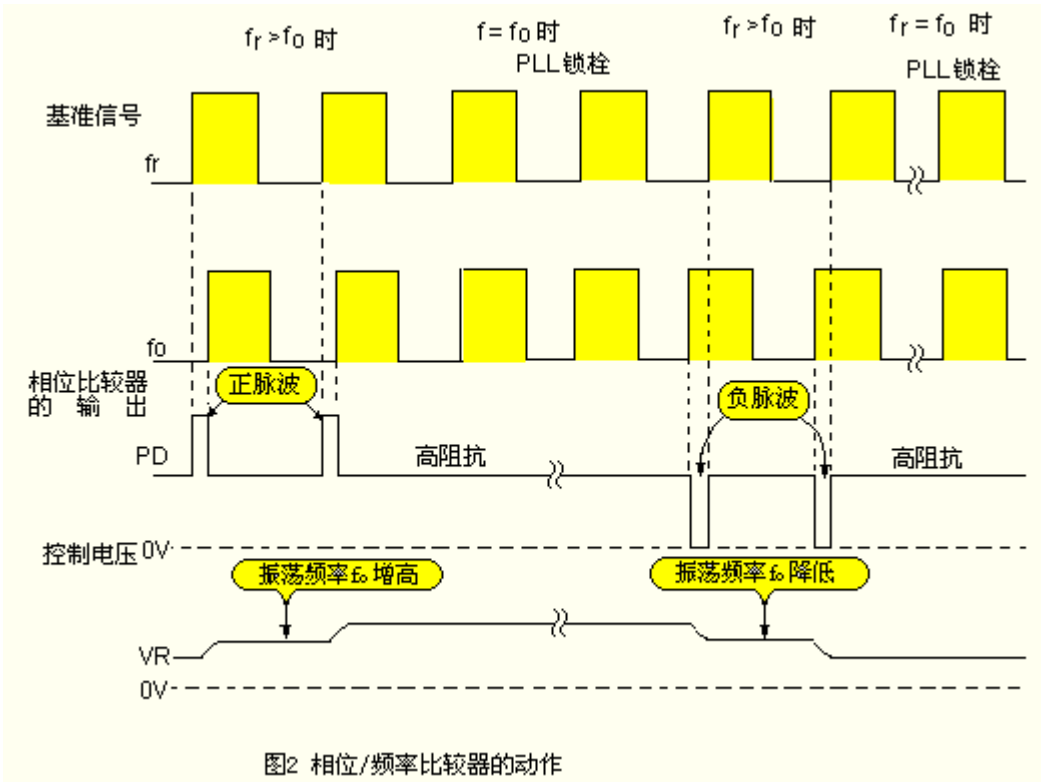
PLL 可以使高频率振荡器的频率与基准频率的整数倍的频率相一致。由于，基

准振荡器大多为使用晶体振荡器，因此，高频率振荡器的频率稳定度可以与晶体振荡器相比美。

只要是基准频率的整数倍，便可以得到各种频率的输出。

从图 1 的 PLL 基本构成中，可以知道其是由 VCO，相位比较器，基准频率振荡器，回路滤波器所构成。在此，假设基准振荡器的频率为 f_r ，VCO 的频率为 f_o 。

在此一电路中，假设 $f_r > f_o$ 时，也即是 VCO 的振荡频率 f_o 比 f_r 低时。此时的相位比较器的输出 PD 会如图 2 所示，产生正脉波信号，使 VCO 的振荡器频率提高。相反地，如果 $f_r < f_o$ 时，会产生负脉波信号。



(此为利用脉波的边缘做二个信号的比较。如果有相位差存在时，便会产生正或负的脉波输出。)

此一 PD 脉波信号经过回路滤波器(LoopFilter)的积分，便可以得到直流电压 V_R ，可以控制 VCO 电路。

由于控制电压 v_r 的变化，VCO 振荡频率会提高。结果使得 $f_r = f$ 。在 f 与 f 的相位成为一致时，PD 端子会成为高阻抗状态，使 PLL 被锁栓(Lock)。

■相位比较器的工作原理

此所说明的相位比较器为相位．频率比较器(PFC: Phase-Frequency Comparator)之型式，后述之 LSI MC145163P 便内藏有此一电路。

此一型式的相位比较器并非只做相位的比较，也即是，并非只做 $\theta(= 2\pi ft + \theta_0)$ 之比较，在频率 f 不同的场合，也可以做为频率比较器工作原理。所谓相位差 $\Delta\theta$ 与时间 t 的关系为 $\Delta\theta = 2\pi(f_o - f_r)t(\text{rad})$

在只做相位检出的场合，例如，可能分辨不出是延迟 300° 或前进 60° 。可是，在相位-频率比较器中，如果 $f_r > f_o$ 则被视为是相位延迟。

回路滤波器的选择方法
回路滤波器的时间常数与 PLL 控制的良否有很大的关系。其详细的计算方法虽然不在此说明，但是，基准频率 f_r 为 10kHz 时，输往回路滤波器的脉波周期为 0.1mS 。
为了保持电压值 V_R 而增大回路滤波器的时间常数时，便无法追踪 VCO 的振荡频率的变化。如果时间常数太小时，会在 V_R 上出现涟波，使 PLL 的稳定度恶化。
因此，根据经验，回路滤波器的时间常数，选择大约为基准频率的周期 $(1/f_r)$ 的数百倍。在此选择约为数十 mS 。

4-2PLL-VCO 的设计·制作第一部分

在此说明以晶体振荡器做为基准振荡器，将其与 VCO 以及 PLL 电路组合成为信号产生器的情形也被称为频率合成器。
此一 PLL-VCO 电路的设计规格如表 I 所示。振荡频率范围为 $40\text{M}\sim 60\text{MHz}$ 内的 10MHz 宽。每一频率阶段(step)宽幅为 10kHz 。频率的稳定度目标与晶体振荡电路相近。

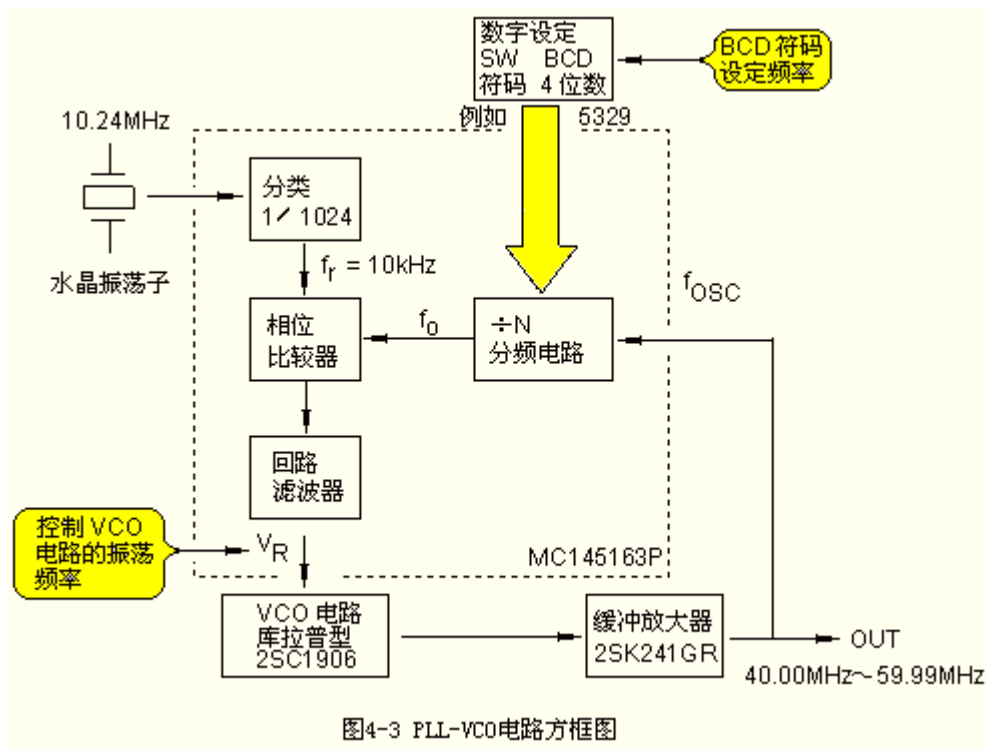
PLL-VCO 的工作原理

表一 PLL-VCO 的设计规格	
振荡频率	40M-60MHz 中的 10MHz 宽幅
频率阶段	10KHz
频率稳度	与晶体振荡器同等
振荡波形	正弦波
温度范围	0-50℃
电源电压	12~15V

表 1 PLL-VCO 的设计规格

(根据使用目的与规格，决定振荡频率与频率阶段。频率稳定度高，且可以做阶段性变化。)

图 3 所示的为此将制作的 PLL. VCO 电路之方块图。假设 VCO 电路的振荡频率为 53.29MHz 工作原理。



(利用数字设定用 SW 设定 BCD 符码，做为频率的设定，将晶体与 VCO 电路做相位比较，以达频率稳定化。)

首先，利用晶体产生 10.24MHz 之振荡。再将此做 1024 分频，产生 $f_r=10\text{kHz}$ 的基准频率。

另外，将 VCO 电路之振荡频率 f_{osc} 利用 N 分频电路做 N 分频成为 f_0 也即是， $f_0=f_{osc}/N$ 。此一分频比 N 之值，是利用数字设定用 SW，根据 BCD (Binary Coded Decimal) 符码而设定的。

接着，利用相位比较器做 f_r 与 f_0 的相位比较。如果 $f_r \neq f_0$ 时，会发生误差检出脉波。此再利用回路滤波器积分成为直流电压，以此控制 VCO 振荡电路，使 $f_r=f_0$ 。

在 PLL 电路成为锁栓(Locked)状态时，VCO 的振荡频率应该为 $f_{osc}=N \times f_0=N \times f_r$

假设数字设定用 SW 所设定的数字为"5329"时， f_{osc} 成为 $f_{osc}=5329 \times 10\text{kHz}=53.29\text{MHz}$

所以，只要改变数字设定用 SW 所设定的数字，便可以改变 VCO 的振荡频率。

因此，PLL 电路为利用频率反馈控制，使 $f_r=f_o$ 。而且由于 f_r 是经由晶体振荡器的频率分频而得，所以，PLL 的 VCO 所产生的频率稳定度可以与晶体振荡器媲美。

■PLL 用 IC MC145163P

此所使用的 PLL 用 IC 为 Motorola 公司的 MC145163P。图 4 所示的为 MC145163P 的特性与端子连接图，以及方块图。

此一 IC 内含有可以产生基准频率 f_r 的晶体振荡电路与分频电路，将 VCO 信号分频用的 N 分频电路，以及将 f_o 与 f_r 做为比较用的相位比较电路。

此一 IC 为 28 个端子 DIP 型。电源电压为 3~9V 工作原理，工作原理频率为 30MHz(电源电压 5V)，如果电源电压成为 9V 时，工作原理频率可以延伸至 80MHz。因此，对于设计规格为 40M~60MHz 而言，不会有问题。

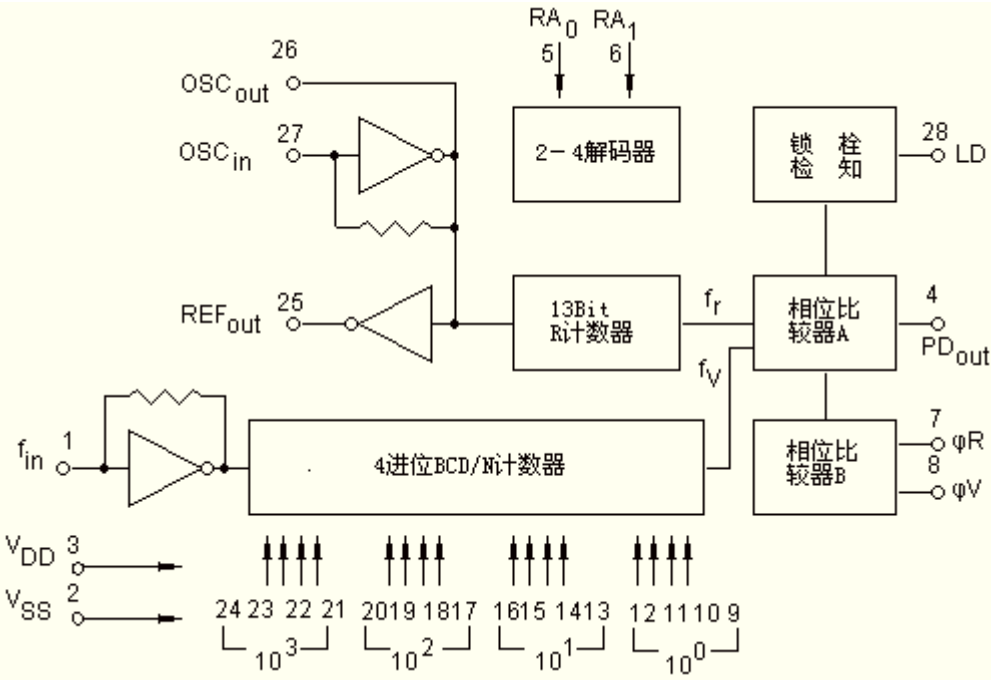
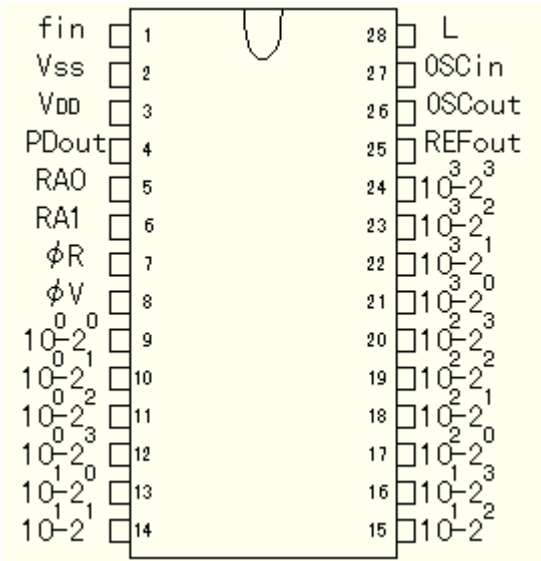


图 4MC145163P 的构成
(此为 LSI，集积度高，与 VCO 电路配合，可以组成 PLL 电路。)

MC145163P 主要功能端口说明			
fin (1 端子)	频率合成器的可程式化计数器 (/N 计数器部) 的输入, 通常 f_{in} 可以从 VCO 取得, 以 AC 结合连接至 1 端子。在标准 CMOS 逻辑位准之大振幅信号的场合, 也可以采用直接结合。		
Vss (2 端子)	电路的接地	V_{DD} (3 端子)	正电源 (+5V)
PDout (4 端子)	当伯 VCO 控制信号, 由相位比较器的 3 状态输出。 频率 $f_v > f_r$ 或 f_v 相位前进; 负脉波。 频率 $f_v < f_r$ 或 f_v 相位延迟; 正脉波。 频率 $f_v = f_r$ 与同相位; 高阻抗状态。		
RA0 RA1 (5 端子, 6 端子)	由这些输入, 设定基准分频器 (R 计数器) 的分频比。分频比可以从 512, 2048, 4096 中选择。		
ΦR, ΦV (7 端子, 8 端子)	利用这些相位比较器的输出, 与通低频虑波器组合, 成为 VCO 的控制信号。 频率 $f_v > f_r$ 或相位前进的场合: ΦV 会发生 L 脉波, ΦR 会维持 H。 频率 $f_v < f_r$ 或 f_v 相位延迟的场合: ΦV 维持 H, ΦR 产生 L 脉波。 频率 $f_v = f_r$ 与同相位的场合: ΦV , ΦR 都成为 H。		
BCD 输入 (9 端子-24 端子)	这 些的输入数据, 在 N 计数器的内容成为时, 会被预先设定 (preset)。 9 端子为 100 位数的 LSB, 24 端子为 100 位数的 MSB, 由于内藏有 pull down 电阻。因此, 在输入开放时成为 L 位准。利用 BCD 数字设定 SW 的使用, 可以任意设定 3 至 9999 为止的任意分频比。		
REFout (25 端子)	内部基准振荡器外部基准信号的缓冲输出。		
OSCOut, OSCin (26 端子, 27 端子)	在这些端子上连接水晶振荡子时, 便成为基准振荡器。使用适当值的电容连接 OSCin 与接地间, 以及 OSCout 与接地间。OSCin 也成为外部一产生基准信号的输入。这些信号通常在 OSCin 做 AC 结合。但是, 在大振幅信号 (CMOS 逻辑位准) 的组合, 则使用 DC 结合。在外部基准 Mode 中, 不必要与 OSCout 连接。		
LD (28 端子)	PLL 锁栓检知信号, 在 PLL 回路成为锁栓时 (f_r 与 f_v 的频率与相位为相同时) 成为 H, 不成为锁栓时则产生脉波。		

图 5 所示的为实际的 PLL-VCO 电路的构成。

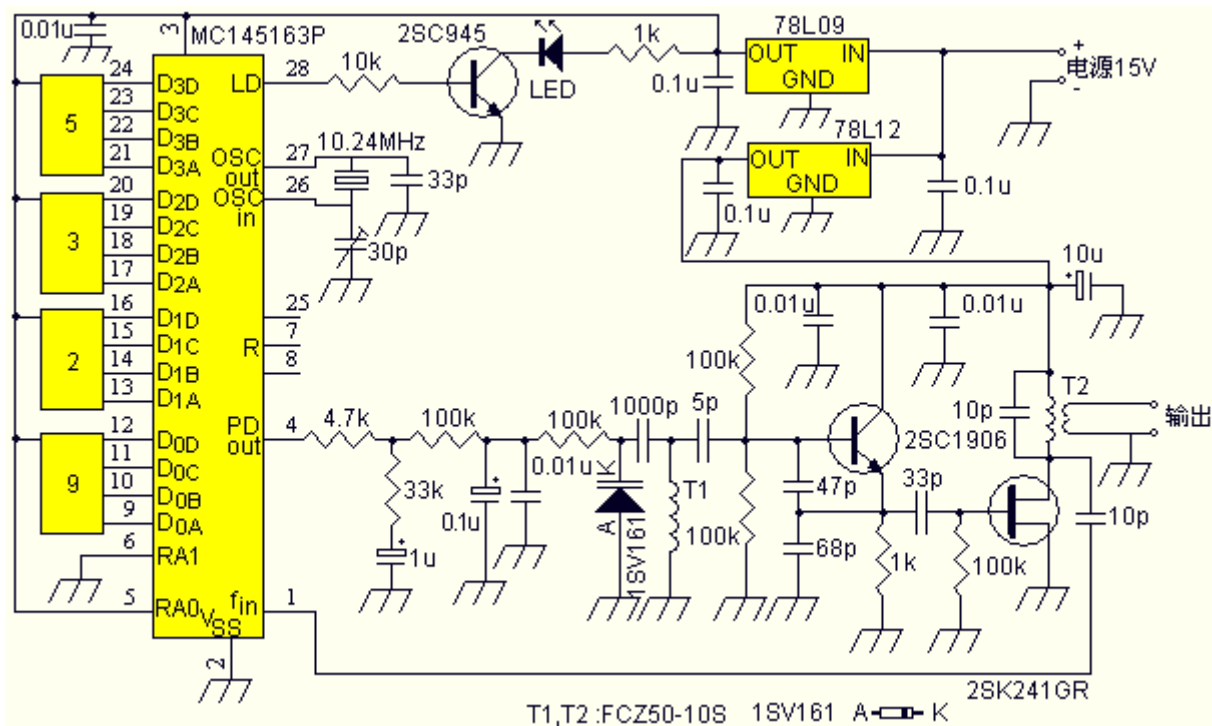


图 5 PLL-VCO 电路图

(VCO 电路与缓冲放大器的工作原理电压为 12V。为了提高 MC145163P 的工作原理频率，将电源电压提高至 9V。)

4-2 PLL-VCO 的设计·制作第二部分

VCO 电路的设计

VCO 电路为使用上章的备注栏所介绍的库拉普振荡电路。将线圈与电容组合，使达到设计规格的 40M~60MHz。

线圈为使用 FCZ50-10S。此一线圈的标准电感量为 0.68μH，但是，在此将铁芯做稍微调偏，使电感量减小。

所组合的可变电容二极管为使用 1SV161。图 6 所示的为 1SV161 所加上的电压：电容量的 VR-C 特性。1SV161 为 CATV 调谐器的电子调谐用，其容量变化比为 $C_{\min}(VR=2V)/C_{\max}(VR=25V)=10.5$ 。此所使

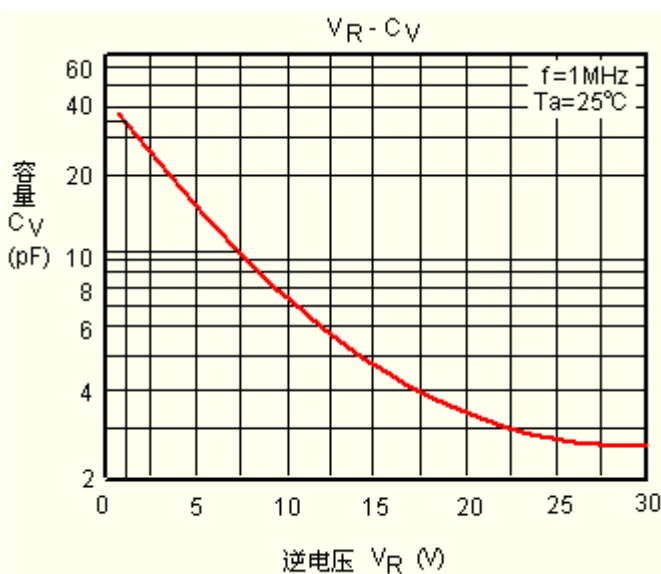
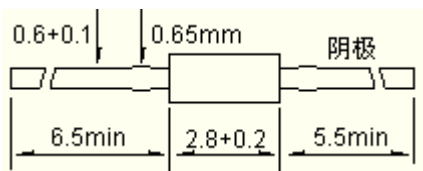


图6 可变电容二极管1SV161的VR-C特性

用的可变电容的控制电压(逆向电压 VR)为在 1~8V 的范围。



(为了能够做宽广范围的谐振频率设定，选择容量比较大的可变电容二极管。
频率范围为数 MHz 时，可将串联的电容器由 1000pF 变更为 100pF。)

■PLL-VCO 基板的制作与调整

图 7 所示的为所制作的 PLL-VCO 印刷电路板。图(a)为零件配置图，图(b)为印刷电路板图样。将 PLL 用 IC，VCO，缓冲放大器配置在一块印刷电路板上。

从 PLL 用 IC 会产生数字电路的噪声，因此，应该将 PLL 部与 VCO 电路，缓冲放大器使用个别的基板作成；但是，在此为混合在一个基板上。

在此一基板上，使用接地铜箔将 PLL 用 IC 与其它高频电路分离，并且将电源也成为个别系统，以减少数字电路的影响。

VCO 电路与缓冲放大电路的铜箔也使用稍粗的图样。

调整的步骤如下所述。

▲将 PLL 锁栓

PLL-VCO 电路为受到反馈控制的状态，称之为锁栓(Lock)。首先，假设数字设定 SW 的显示为"5000"。此时，如果 PLL 被锁栓，则 MC145163P 的 LD 端子（28 端子）会成为 "H" 输出，LED 会发光。

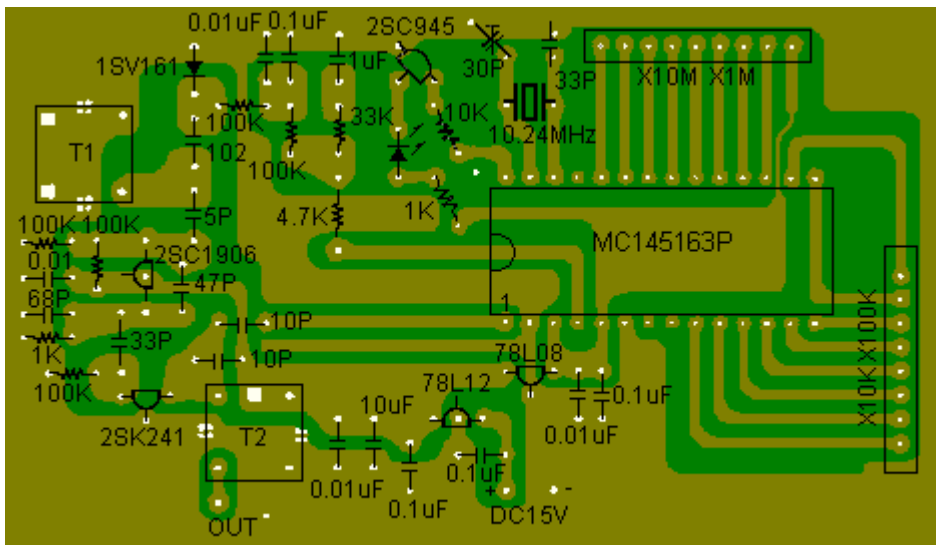
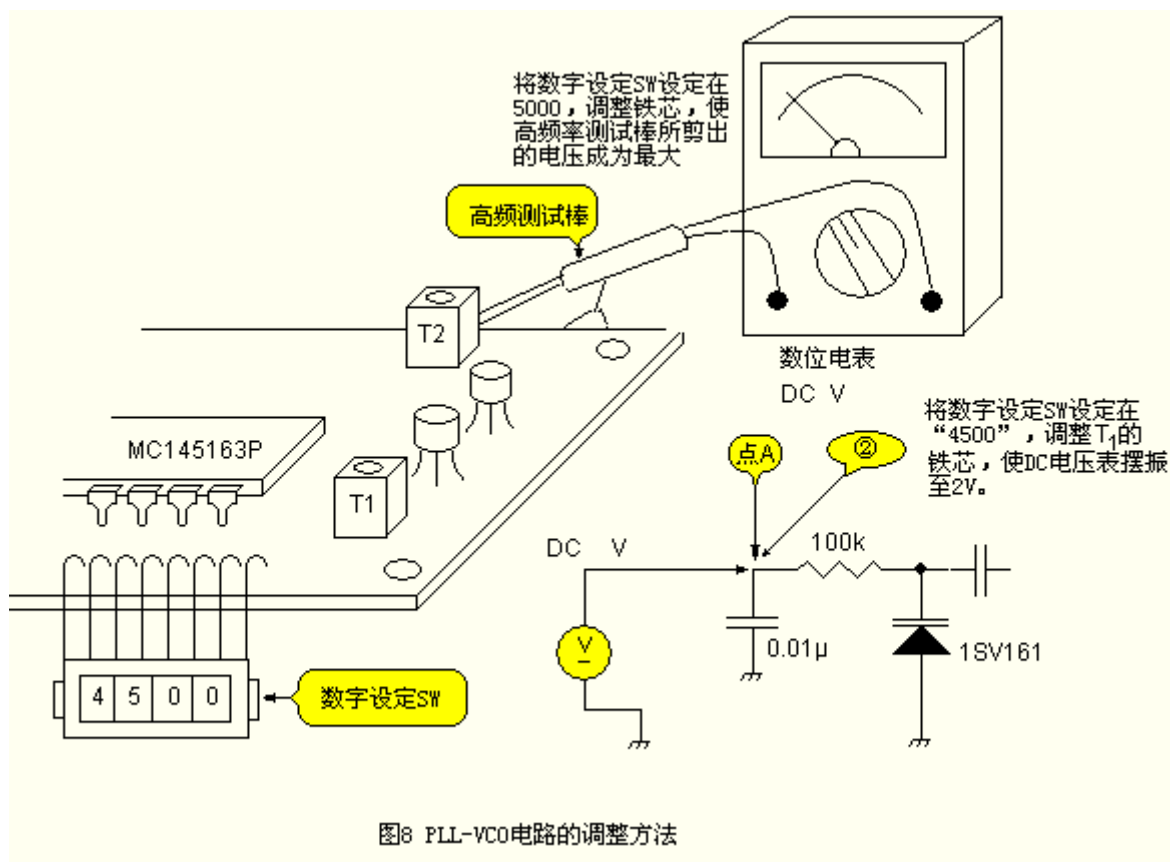


图 7 PLL-VCO 电路的印刷电路板

(数字电路与类此电路(高频率)为混在一起，
但是，利用铜箔配置的设计，将两者分开。信号线为用接地铜箔包围隔离之。)

如果偏离锁栓状态时，LD 端子会成为 "L" 脉波输出，因此，LED 会稍微暗



下来。在偏离锁栓状态下，可以稍微调整线圈 T1，T2 的铁芯，使成为锁栓状态。

接着，如图 8 所示，利用高频率测试棒检出输出端子的电压，然后，再调整 T2 的铁芯，使电压成为最大。此一高频率测试棒可以使用第 8 章所制作的。

▲振荡频率范围调整

此为振荡频率范围为 45M~55MHz 的调整例子。将数字设定用 SW 设定为"4500"，调整 T1 的铁芯，使可变电容二极管的电压 V_r 成为 2V。

接着，将数字设定用 SW 设定为"5500"，确认 V_r 是否成为 4~6V。

图 9 所示的为连接 470Ω 的负载，将 T2 的谐振点调整至 52MHz，观察可变电容二极管的电压与频率变化的情形。VCO 的振荡频率即使在 38M~68MHz 变化，也会使频率锁栓。

实际上，振荡频率的宽幅为在 10MHz 以内使用，使 T2 在中心频率发生谐振。

PLL 电路广被使用于 AV 产品上。而且由于 PLL 电路的 LSI 化，使电路制作很简单。此所使用的 MC145163P 为较容易取得的 PLL 用 IC 之一。

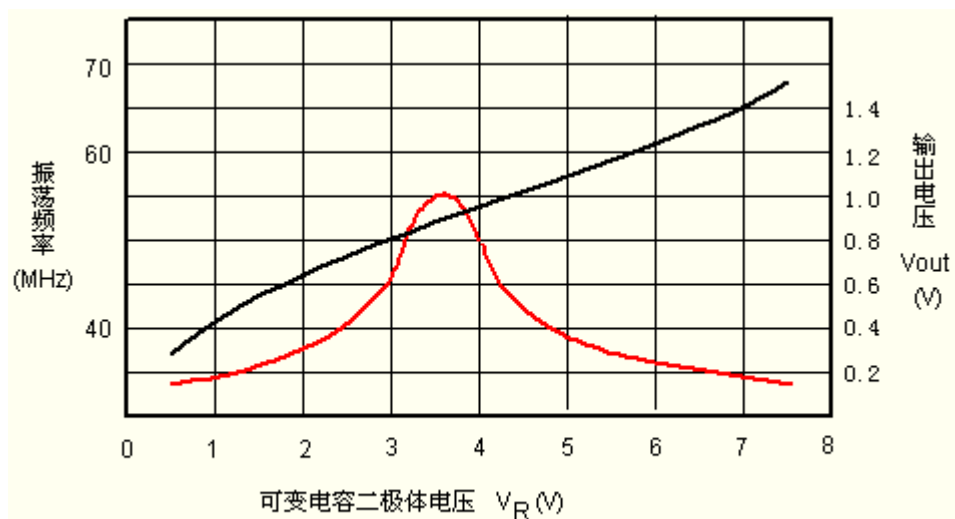


图9 可变电容二极管体的电压与频率，输出电压的关系

图 9 可变电容二极管的电压与频率，输出电压的关系
(输出电压的变化会受 T2 谐振特性的影响。将 T2 与 10pF 组合而变化之，谐振电路的 Q 值愈低，输出电压会愈成为平坦。)