

APB 协议说明文档

1. 概述

APB (Advanced Peripheral Bus) 是 AMBA 协议之一，也是最基本的总线协议。按照 ARM 官方定义，APB 是一种低成本的接口协议，可以实现低功耗以及精简的接口设计，降低了接口设计的复杂度。因此，APB 协议**不支持流水线设计**，它主要应用在低带宽设计需求的接口中，高性能带宽需求可以使用 AXI 总线。APB 协议的实现与时钟沿对齐，以简化外设接口的设计。**每次传输至少需要消耗两个时钟周期。**

在一般的 SoC 设计中, 如图 1 所示, APB 一般作为 IP 的配置接口, 包括低速外设如 I2C, UART, I2S 等, 也包括 DDR, PCIe, Ethernet 等高速 IP。

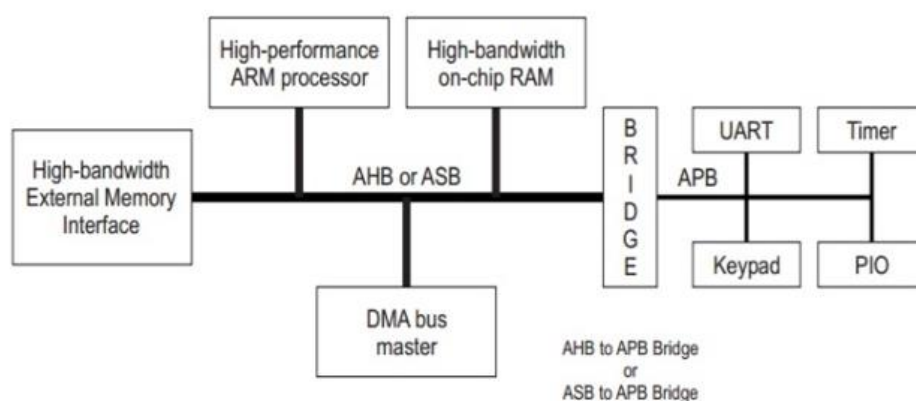


图 1 典型总线架构图

1.1 特点总结

- 可工作在高频下；协议简单：无复杂的时序；
- 同步总线：总线上所有的 Transaction（读写操作）都依赖于时钟的上升沿；
- 一主多从：一般情况下，APB 挂在 AHB 总线系统下，通过转接桥将 Transaction 在 AHB 总线系统之间进行转化，此时转接桥即为 APB 的 master，其他的外围设备均为 slave。不像 AHB 总线是多主设备的架构，APB 总线的唯一主设备是转接桥（与 AXI 或 AHB 相连），因此不需要仲裁一些 Request/Grant 信号；
- 接口简单：相对应 AXI、AHB 来说，接口比较简单；
- 低功耗可连接多种外围设备：I2C、SPI、Timer、Keypad、UART。

1.2 发展历史

随着 AMBA 协议的不断发展，APB 协议自身也在不断进步。最早的一版 APB 协议是在 1998 发布，目前的 APB 协议已经达到 APB5 的版本。

APB2 协议：主要定义了基本的总线接口，没有握手协议，只有基本的读写传输。

APB3 协议：增加了 PREADY, PSLVERR 信号。PREADY 用于表示传输的完成，可以实现 slave 的等待功能。PSLVERR 用以指示 slave 的错误状态。

APB4 协议：增加了 PPROT, PSTRB。PPROT 信号实现安全和非安全的数据传输，可实现系统在不同安全属性的控制传输，保证系统的安全性。PSTRB 信号用于实现部分数据的写操作，可以指示一笔传输中的一部分数据有效。

APB5 协议：增加了 Wake-up, User, Parity 等信号。Wake-up 用于实现低功耗的控制，通过控制时钟只在传输时开启，减少动态功耗的消耗。User 则增加了用户自定义信号。Parity 主要针对安全系统设计中的保护功能。

注：本次实验仅涉及 APB3 相关的信号，即基本的握手信号等。APB4 和 APB5 中增加的信号不会在本次实验中出现（有兴趣的同学可以自行去官网下载 datasheet）。以下，未指明 APB 协议版本时默认 APB3。

2. 信号

如下图 2 所示, 按照规定 APB3 协议中会出现的端口有 PCLK、PRESETn、PADDR、PSELx、PENABLE、PWRITE、PWRITE、PRDATA、PSLVERR、PREADY。

Table B-1 APB signals

Signal	Width	Default	Property	APB5	APB4	APB3	APB2
PCLK	1	-	-	Y	Y	Y	Y
PRESETn	1	-	-	Y	Y	Y	Y
PADDR	ADDR_WIDTH	-	-	Y	Y	Y	Y
PPROT	3	0b000	-	O	O	N	N
PSELx	1	-	-	Y	Y	Y	Y
PENABLE	1	-	-	Y	Y	Y	Y
PWRITE	1	-	-	Y	Y	Y	Y
PWDATA	DATA_WIDTH	-	-	Y	Y	Y	Y
PSTRB	DATA_WIDTH/8	-	-	O	O	N	N
PREADY	1	0b1	-	OO	OO	OO	N
PRDATA	DATA_WIDTH	-	-	Y	Y	Y	Y
PSLVERR	1	0b0	-	OO	OO	OO	N
PWAKEUP	1	-	Wakeup_Signal	C	N	N	N
PAUSER	USER_REQ_WIDTH	-	USER_REQ_WIDTH	OC	N	N	N
PWUSER	USER_DATA_WIDTH	-	USER_DATA_WIDTH	OC	N	N	N
PRUSER	USER_DATA_WIDTH	-	USER_DATA_WIDTH	OC	N	N	N
PBUSER	USER_RESP_WIDTH	-	USER_RESP_WIDTH	OC	N	N	N

The following codes used in Table B-1 and Table B-2 are:

Y	Mandatory
N	Must not be present
O	Optional for inputs and outputs
OO	Optional for output ports, mandatory for inputs
C	Conditional, must be present if the property is True
OC	Optional conditional, optional but can only be present if the property is True

图 2 APB 协议端口

上述 10 个端口的功能和作用，具体如图 3 所示。

信号	来源	描述
PCLK	时钟源	时钟
PRESETn	系统总线	复位，APB复位信号低有效。该信号一般直接与系统总线复位信号相连
PADDR	APB bridge	地址总线。最大可达32位，由外围总线桥单元驱动
PSELx	APB bridge	选择信号
PENABLE	APB bridge	使能信号
PWRITE	APB bridge	方向，高时为写，低时为读
PWDATA	APB bridge	写入的数据，最高32位
PREADY	Slave interface	准备好，从器件利用该信号来扩展APB传输
PRDATA	Slave interface	读取的数据。最高可达32位
PSLVERR	Slave interface	传输失败

图 3 APB 典型端口描述

3. 传输状态

APB 的数据传输事务主要经过如下几个过程。

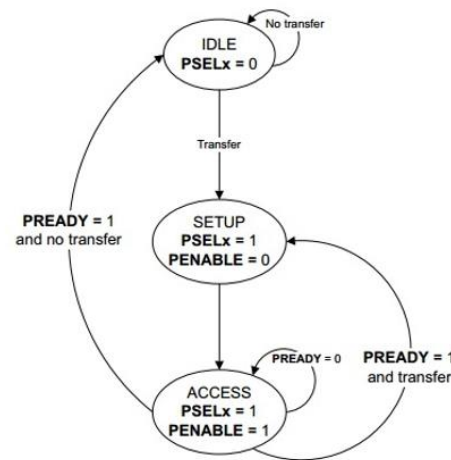


图 4 APB 传输状态

- **IDLE:** APB 的默认状态，此时没有数据传输，PSEL，PENABLE 均为拉低；
- **SETUP:** 当需要进行一个传输的时候，APB 首先进入次状态，PSELx 信号首先拉高；总线仅仅在 SETUP 状态停留一个时钟周期，然后在下一个时钟的上升沿进入 ACCESS 状态；
- **ACCESS:** SETUP 状态转换到 ACCESS，PENABLE 信号被拉高；在 SETUP 状态转换到 ACCESS 状态这段时间里，PADDR，PWRITE，PSELx 和 PWDATA 信号必须保持稳定；ACCESS 状态的跳转取决于 slave 输出的 PREADY 信号状态：（1）如果 PREADY 为 0，表示 slave 还没有准备接受传输的数据，或者没有准备好输出的数据，会让其继续处于 ACCESS 状态；如果 PREADY 为 1，表示 slave 已完成数据，可以跳转到其他状态。如果后面有连续的数据传输则直接跳转到 SETUP，如果没有传输，直接回到 IDLE；

注：PSLVERR、PREADY 信号均源自于 slave，用于 slave 的等待和错误返回。对于部分不支持的此功能的 slave 而言，可始终拉高 PREADY、始终拉低 PSLVERR。

4. 传输时序

根据上一节所描述的数据传输过程，其时序波形可以分为无等待传输和有等待传输两种情况，具体如下所示。

4.1 无等待传输

无等待传输意味着从机的 PREADY 会在对应周期及时响应，其写传输时序如图 5 所示。

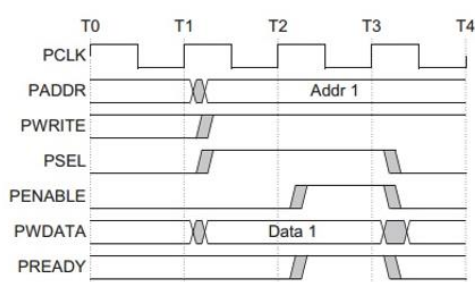


Figure 3-1 Write transfer with no wait states

图 5 无等待写传输

- **T1 时刻：**在 PCLK 的上升沿，APB 将地址信息 PADDR 和数据 PWDATA 准备好，拉高 PWRITE 表示进入写，同时拉高 PSEL，从 IDLE 进入 SETUP；
- **T2 时刻：**也就是下一个时钟周期拉高 PENABLE，表示开始进行数据传输，状态进入 ACCESS；
- **T3 时刻：**检测到 PREADY 被拉高，也就是说 slave 已经正确接收到数据，传输完成；PENABLE 拉低，PSEL 拉低；注意，一直到 T3 时刻所有数据传输完成之前所有的信号 PADDR，PWDATA 以及控制信号需要保持不变。

对应的，读传输时序如图 6 所示。

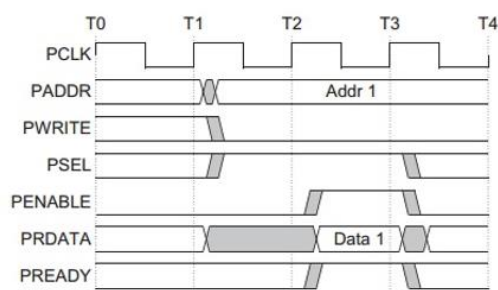


Figure 3-4 Read transfer with no wait states

图 6 无等待读传输

- **T1 时刻**：在 PCLK 的上升沿，APB 将地址信息 PADDR 信息准备好，此时 PWRITE 为低表示读操作，同时拉高 PSEL，从 IDLE 进入 SETUP；
- **T2 时刻**：也就是下一个时钟周期拉高 PENABLE，表示开始进行数据传输，状态进入 ACCESS；
- **T3 时刻**：检测到 PREADY 被拉高，也就是说 slave 已经将 PRDATA 准备好，master 可以接收 slave 的数据，然后 PENABLE 拉低，PSEL 拉低；读操作是 slave 将准备好的数据放到 PRDATA 总线上，然后通过 PREADY 通知 master。注意：slave 需要在 T2 时刻将需要读取的数据准备好

4.2 有等待传输

所谓有等待就是指：slave 可以通过 PREADY 拉低，来延长 slave 的响应时间。此时需要注意，其他信号需要保持不变。

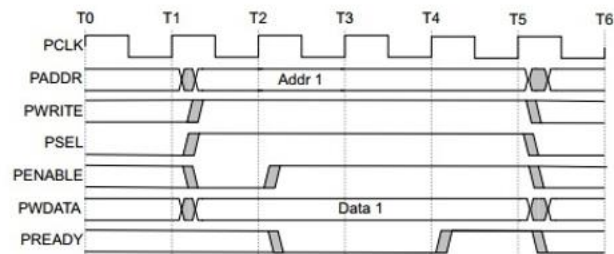


Figure 3-2 Write transfer with wait states

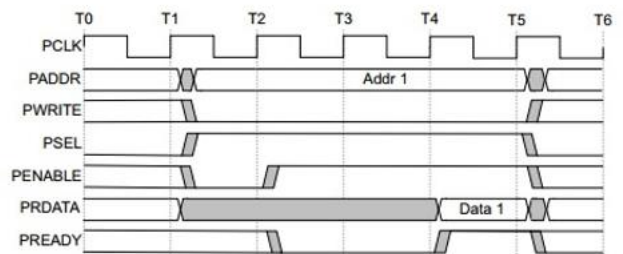


Figure 3-5 Read transfer with wait states

图 7 有等待传输