

Homework 1: P&R Tool

108062537 魏聖修

2.

core utilization : 0.7

clock period : 6

(congestion-driven, timing driven)

	off, off	on, off	off, on	on, on
slack	1.24	1.58	1.29	1.68
Total cell area	68815.99	68810.89	68807.50	68872.00
Total wirelength	242975 micron	241041 micron	242148 micron	241352 micron

和兩個都 off 的情況相比，

(1)

congestion driven 打開後 wirelength、area 下降而 slack 上升，
wirelength、area 下降可能是因為要避免 congestion 而 placement 成可以 routing 的樣子，所以 routing 能夠比較有彈性有空間。不過也因此不是 timing 做考量而造成 slack 改變上升。

(2)

timing driven 打開後 wirelength、area 下降而 slack 上升，
照理說 timing driven 是把同一個 timing critical path 的 cell 都放在靠近一點去減少 routing related array，應該是能夠優化 timing 的。

(3)

但 timing driven 和 congestion driven 兩個都打開後，
wirelength 下降 slack、area 上升，可能是因為兩種方法會有衝突，所以造成結果有點變差。

wirelength、area、slack 變化幅度都不是太大，實驗結果不太明顯。

結果好壞應該和本身 Circuit 比較適合某一個方法也有關係。

3.

timing driven placement:

把同一個 timing critical path 的 cell 都放在靠近一點去減少 routing related array，希望能夠優化 timing 的。是特別為 timing critical path 設計的，主要目的是追求控制 critical path delay 小一點，基本上方法能分有兩種 net-based 和 path-based，net-based 是只針對 net 並希望能因此縮短 critical path delay，技巧有 net-weight 和 net-constraint。而 path-based 的方法就直接針對 path 或其中一段 path，主要把他們轉換成 mathematical programming framework 再去處理。

Congestion driven placement:

如果有過多的 wire 想通過一個 track 且超過它所能容納得 capacity，這樣很容易造成 congestion。所以這個 placement 重點就不是擺在 critical path delay 上了，目標是要一塊一塊減少過多的 congestion，使得 route 能成功的完成 routing。

4.

在 chip 上設計完電路達到所需的功能後，要送去 fab 製作，而 fab 通常都會有一些設計的 rule 必須符合，要 insert filler cells 的主要目的就是為了滿足 metal density rule。因為在 chip 製作過程中，需要經過 chemical-mechanical planarization (CMP) 的步驟。而 CMP 要求整塊 chip 上的各個區域之 metal density 必須在一定範圍 限制內。如果密度太低，拋光後晶片可能會產生凹陷，則晶片可能損壞，產生 electromigration 等等問題。為了避免這類情形發生，在物理設計上必須在空白 的區域 insert filler cells 去滿足基本的 metal density。

5.

My Best Clock Period: 5

Core Utilization : 0.7

Congestion driven : ON

Timing driven : OFF

Slack : 0.20

Area : 68843.14

Total Wirelength : 242039 micron