

超大型積體電路設計

VLSI Design

Homework II



國立清華大學

系所:電子所碩二

中文姓名:李聖謙

學號:111063517

授課老師:謝志成

Outline

1. Please use the combination of CMOS to sketch the transistor-level schematic and stick diagram of the following compound gate function from those inputs A, B, C and D. (20%)...	3
(a) $Y = A \cdot B \cdot C + D$	3
(b) $Y = (A+B) \cdot (C+D)$	4
(c) $Y = A \cdot C + B \cdot C'$	5
(d) $Y = A \oplus B \oplus C$	6
Discussion:	7
2. Based on problem 1(a),1(b), please finish DRC and LVS verification. You must attach the pictures on your report which contain layout, DRC result and LVS result. (20%)	8
(a) $Y = A \cdot B \cdot C + D$	8
Discussion:	9
(b) $Y = (A+B) \cdot (C+D)$	10
Discussion:	11
3. Run simulation to answer the following question. Using the two-transfer curve you simulated under 180nm and 14nm process respectively in HW1, calculate the value of V_{IL} , V_{IH} , V_{OL} , V_{OH} and NM_H and NM_L in 3 process corners (TT, SS, FF). Please comment on the differences. (30%)	12
(a) TT	12
(b) SS	13
(c) FF	14
Discussion:	15
4. Run simulation to answer the following question, use $V_{DD} = 1V$. (30%)	17
(a) Please design two 2-input NAND gate.....	17
(b) Using the 2-input NAND designed in (a) with $V_{DD} = 1V$	19
Discussion:	25

1. Please use the combination of CMOS to sketch the **transistor-level schematic** and **stick diagram** of the following compound gate function from those inputs A, B, C and D. (20%)

(a) $Y = A \cdot B \cdot C + D$

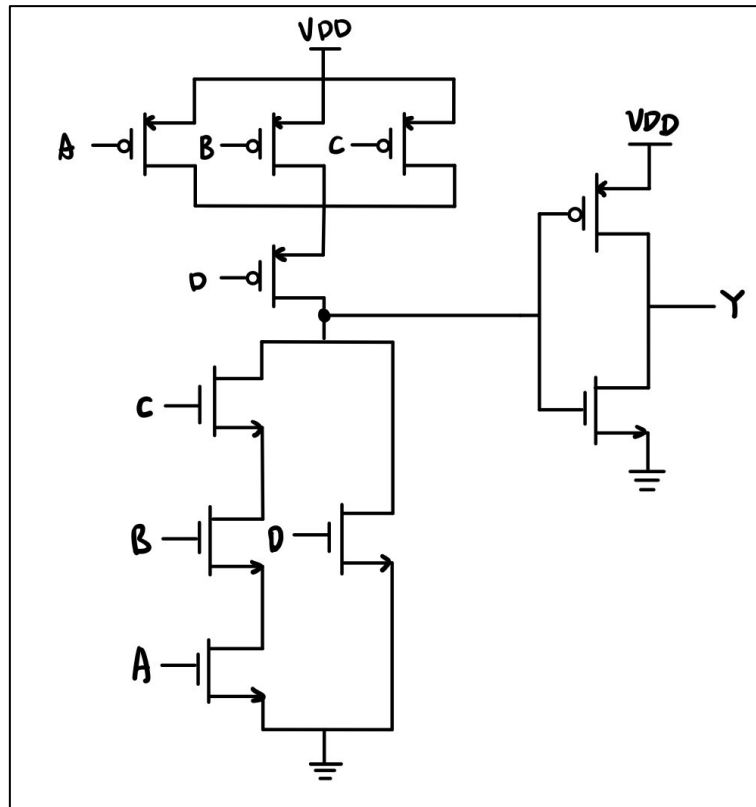


Figure 1 Schematic

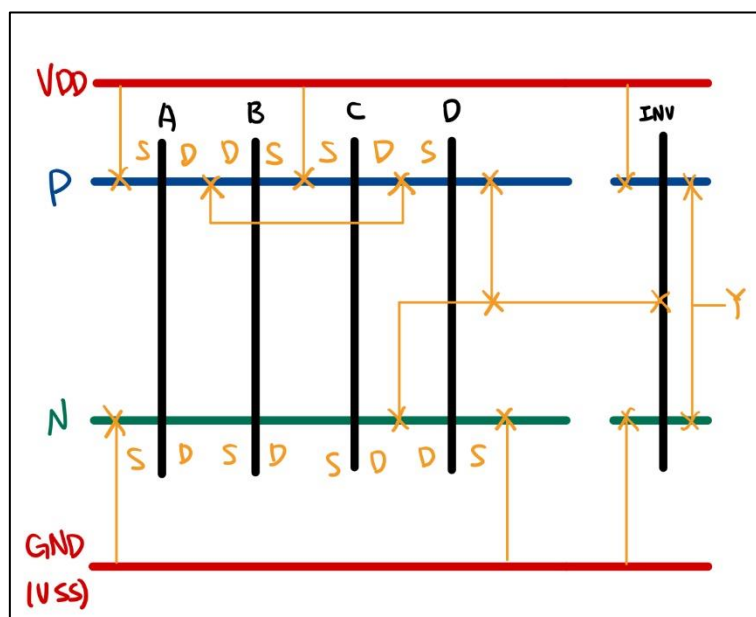


Figure 2 Stick diagram

(b) $Y = (A+B) \cdot (C+D)$

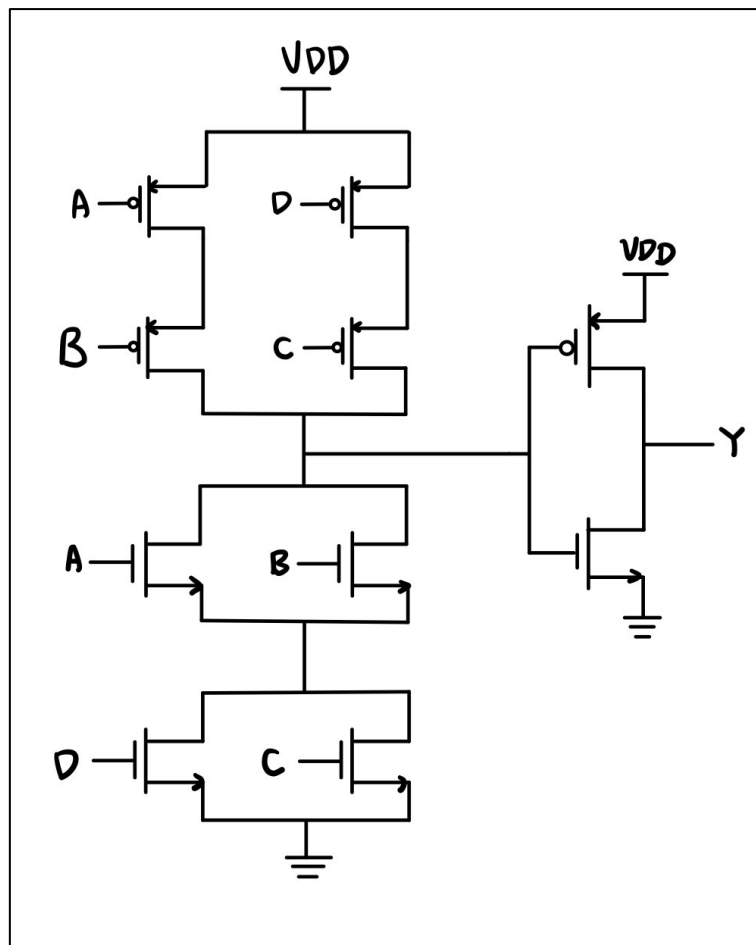


Figure 3 Schematic

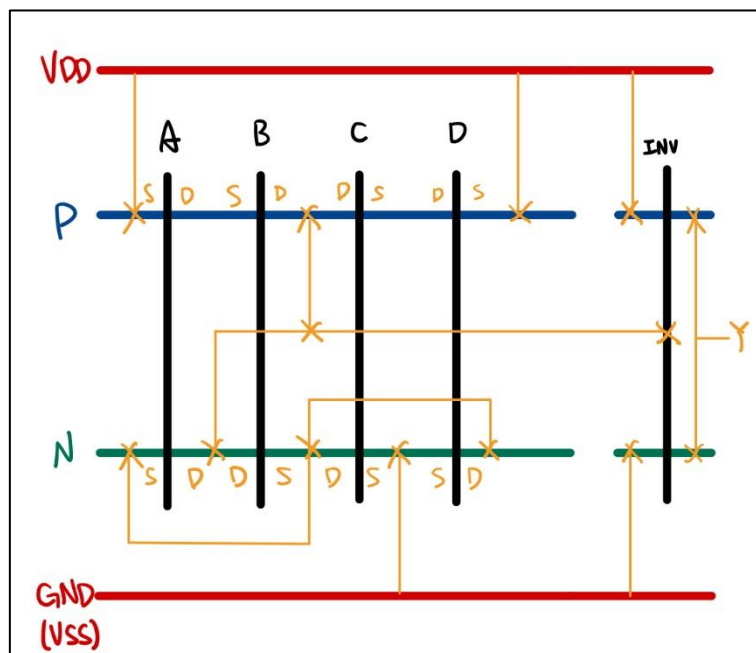


Figure 4 Stick diagram

(c) $Y = A \cdot C + B \cdot C'$

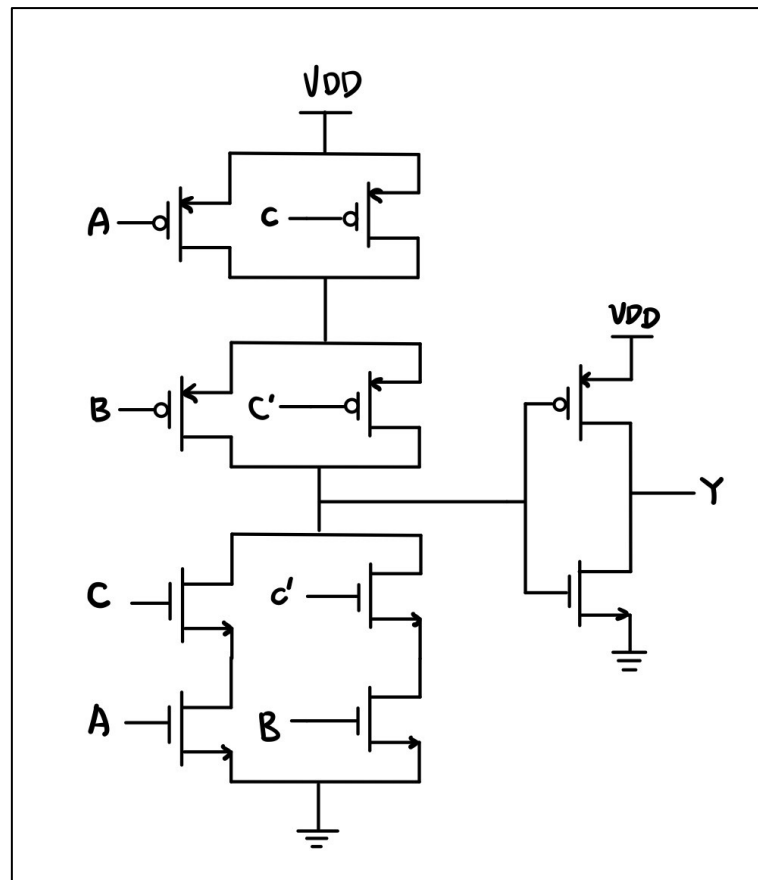


Figure 5 Schematic

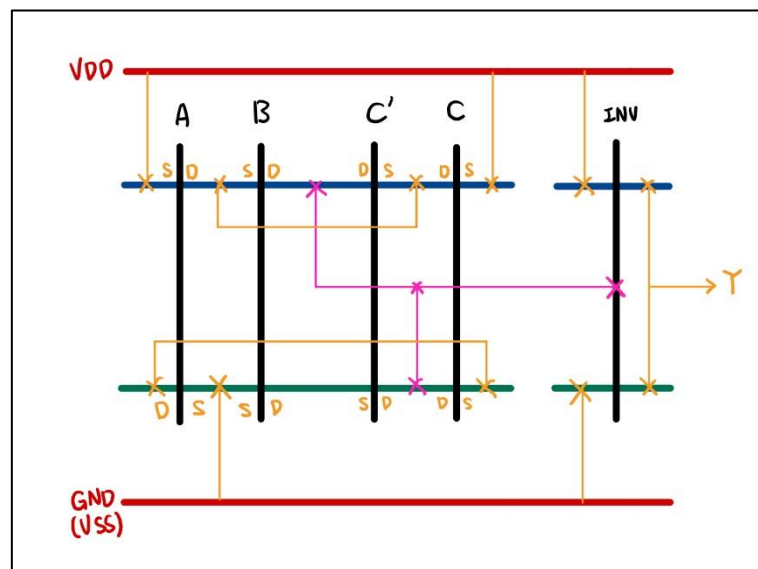


Figure 6 Stick diagram

(d) $Y = A \oplus B \oplus C$

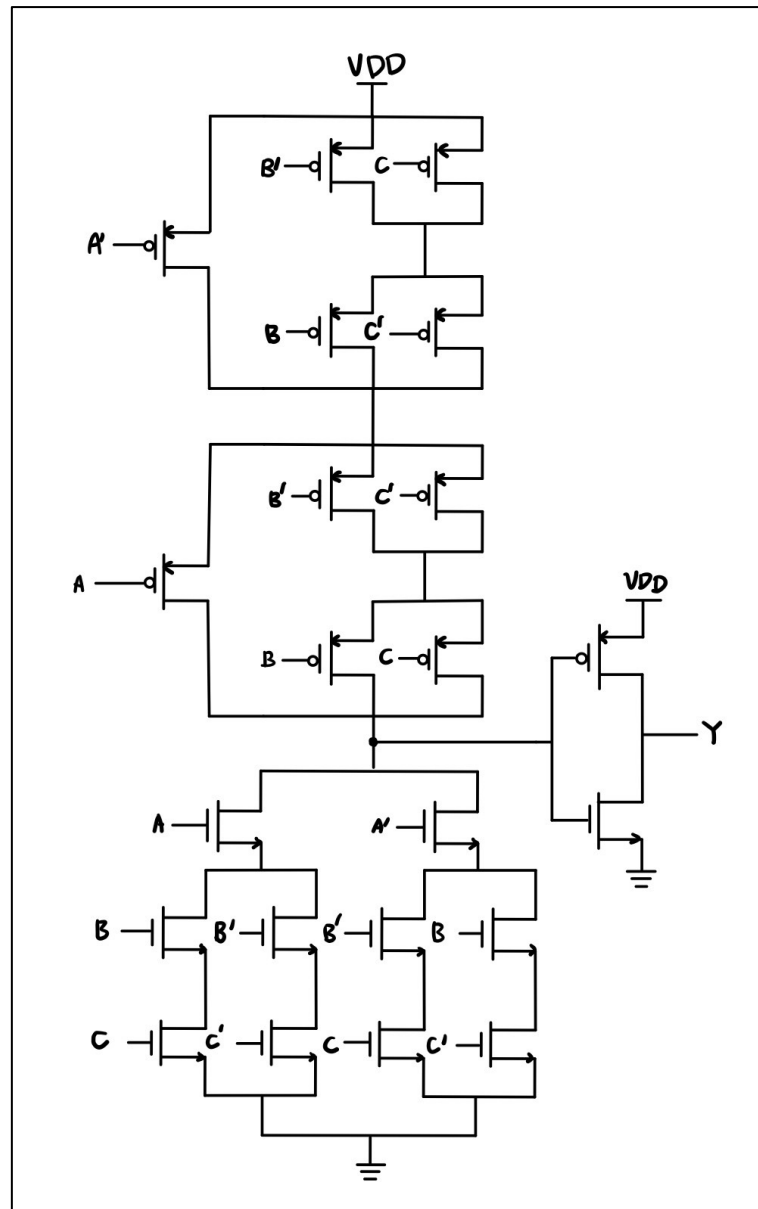


Figure 7 Schematic

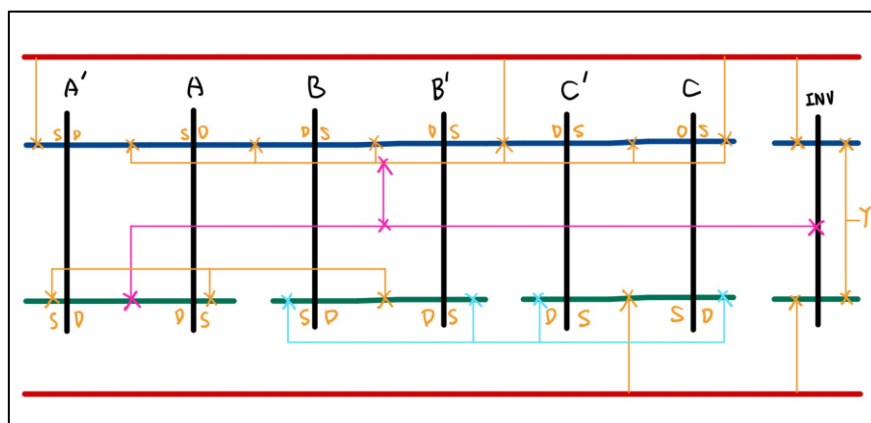


Figure 8 Stick diagram

Discussion:

$$Y = A \oplus B \oplus C$$

AB \ C	00	01	11	10
0	0	1	0	1
1	1	0	1	0

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

$$Y = ABC + AB'C' + A'BC' + A'B'C$$

$$= A(BC + B'C') + A'(BC' + B'C)$$

Figure 9 Simplify 3-inputs XOR

由真值表畫出卡諾圖後可得知 3-inputs XOR 的最簡布林函數為 $Y = ABC + AB'C' + A'BC' + A'B'C$ ，將 A 提出後得到 $Y = A(BC + B'C') + A'(BC' + B'C)$ 可以使整個電路的 MOS 減少使用 4 顆 (2 顆 NMOS，2 顆 PMOS)。

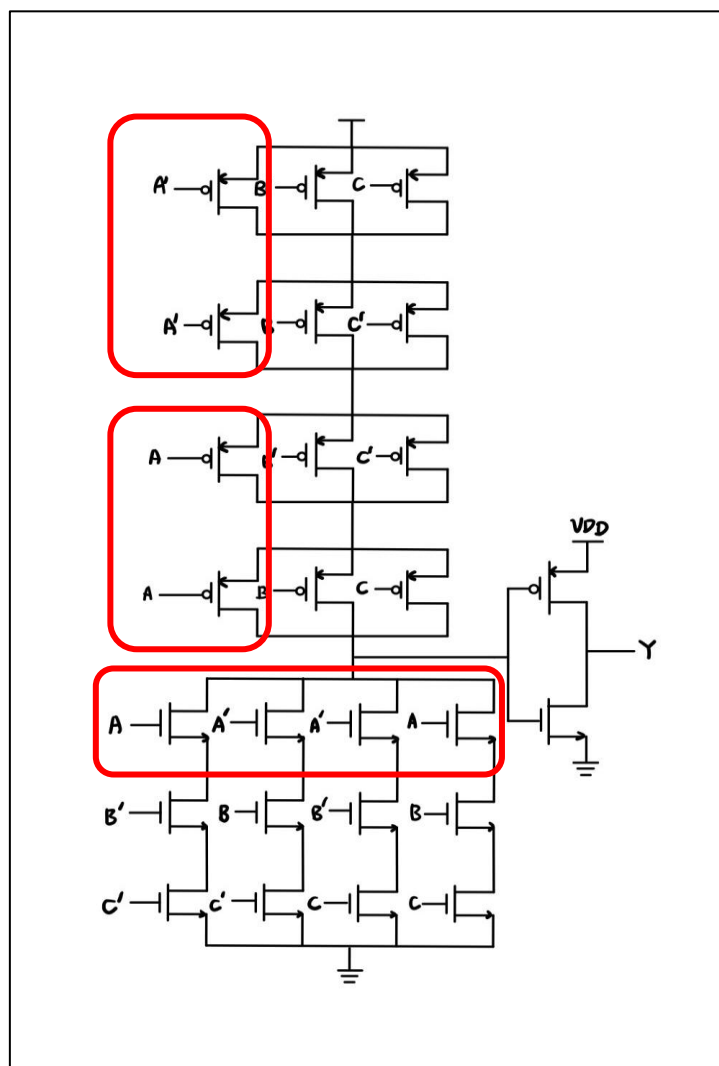


Figure 10 Schematic(Not simplified)

2. Based on problem 1(a),1(b), **please finish DRC and LVS** verification. You must attach the pictures on your report which contain layout, DRC result and LVS result. (20%)

(a) $Y = A \cdot B \cdot C + D$

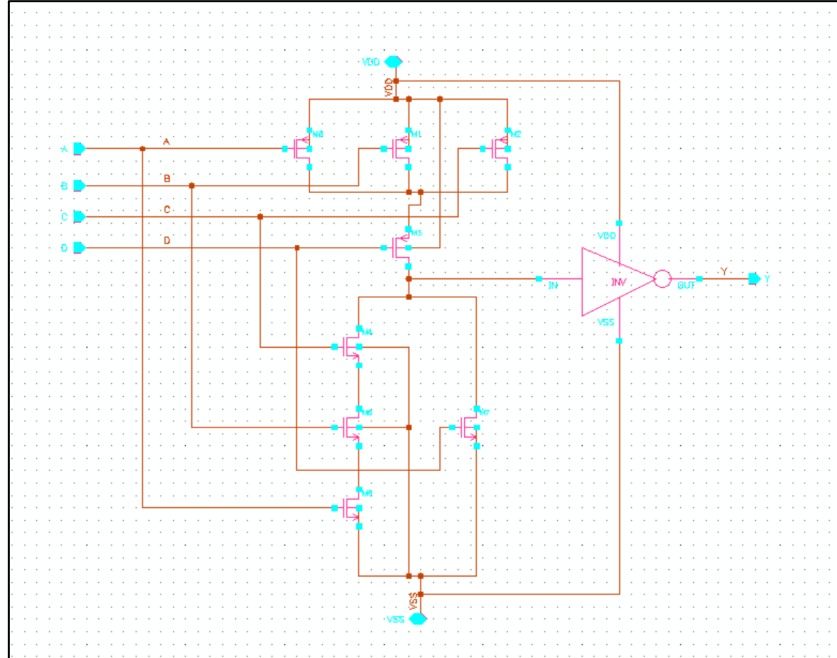


Figure 11 Schematic

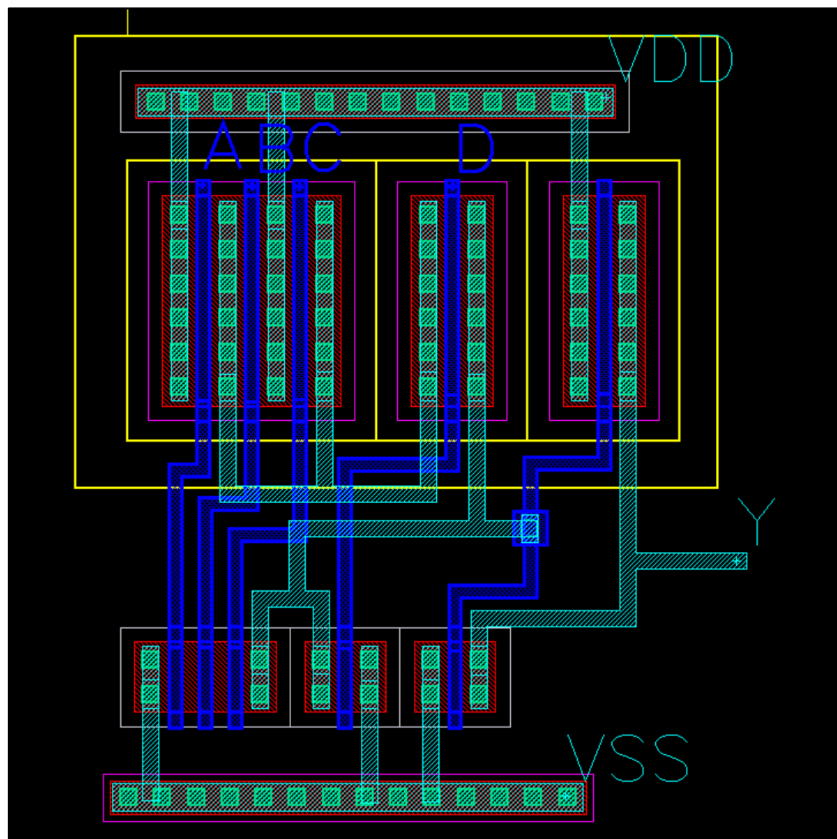


Figure 12 Layout

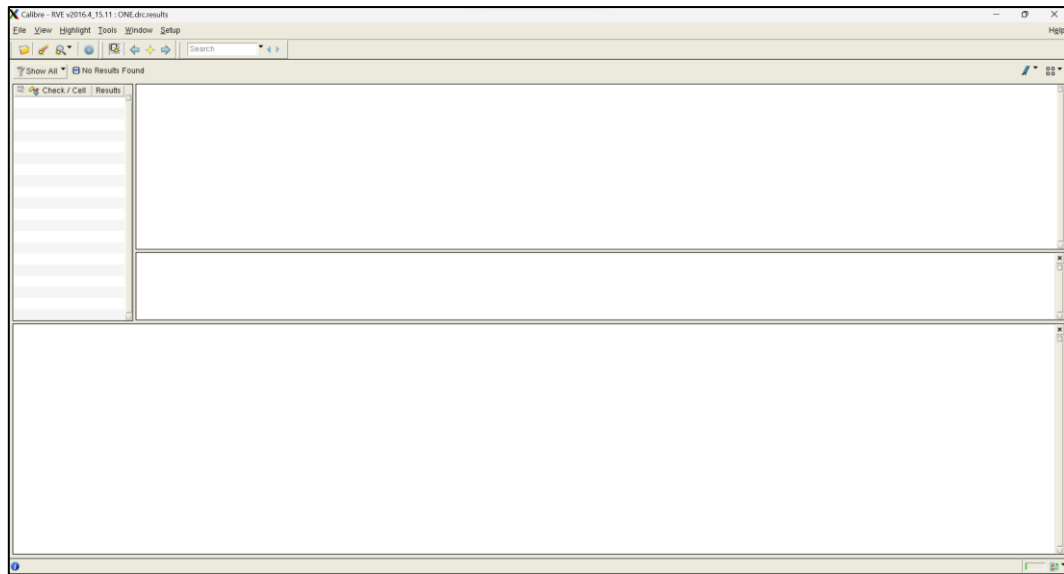


Figure 13 DRC

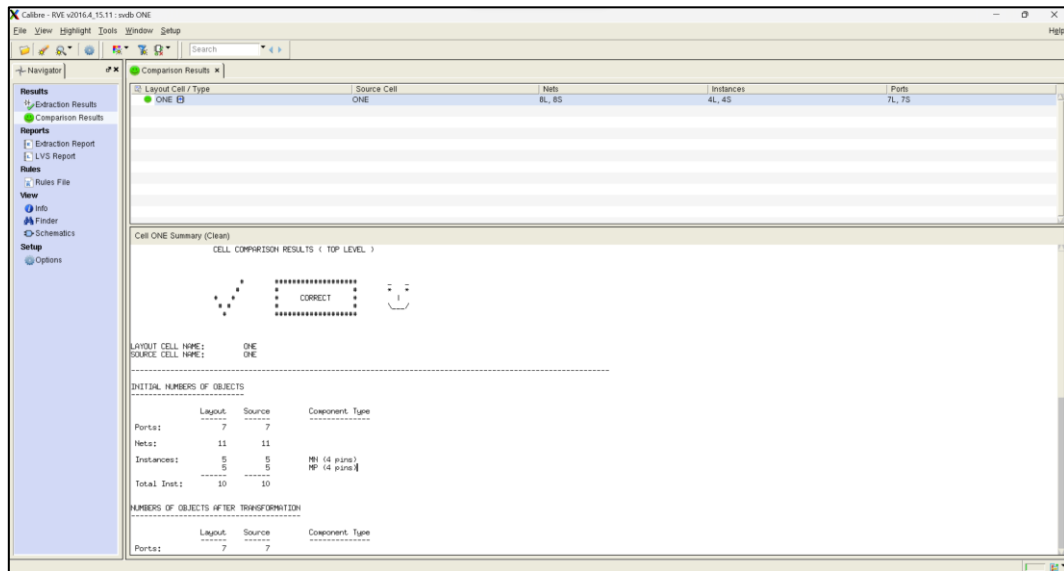


Figure 14 LVS

Discussion:

I. DRC:

- i. Metal and metal distance at least 0.23u
- ii. Poly and poly distance at least 0.25u
- iii. Pmos 需要用 nwell 完整的包覆起來

II. LVS

- i. Schematic 的名字要 label 好與 layout 要匹配，不只是 input 和 output，wire 的名字也要 label 好。
- ii. 在畫 schematic 時，pmos 和 nmos 的 base 端都要接在一起，而不是接到 source，之前我一直認為接到 source 可以防止 body effect，但 LVS 後才知道如果在串連的 mos 這麼做會形成多餘的節點。

(b) $Y = (A+B) \cdot (C+D)$

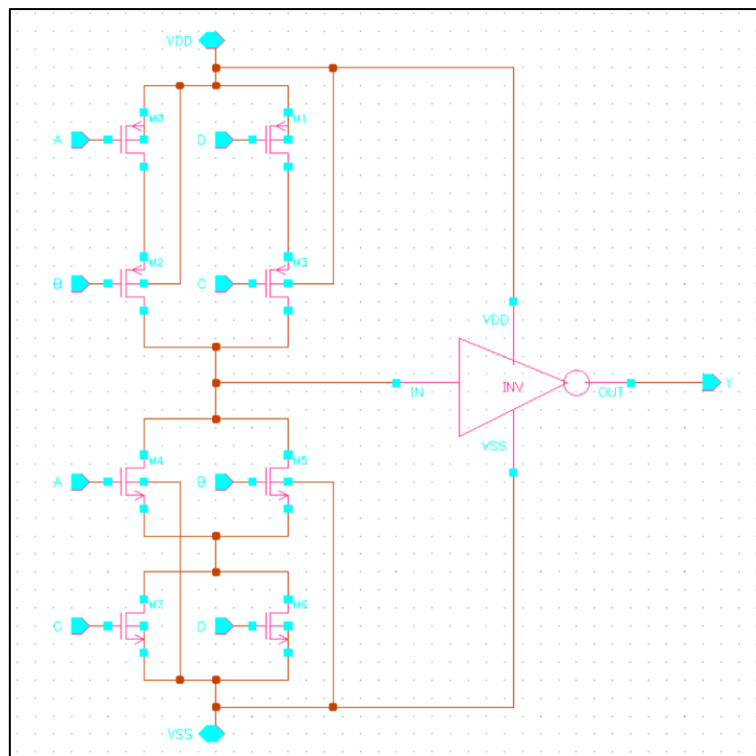


Figure 15 Schematic

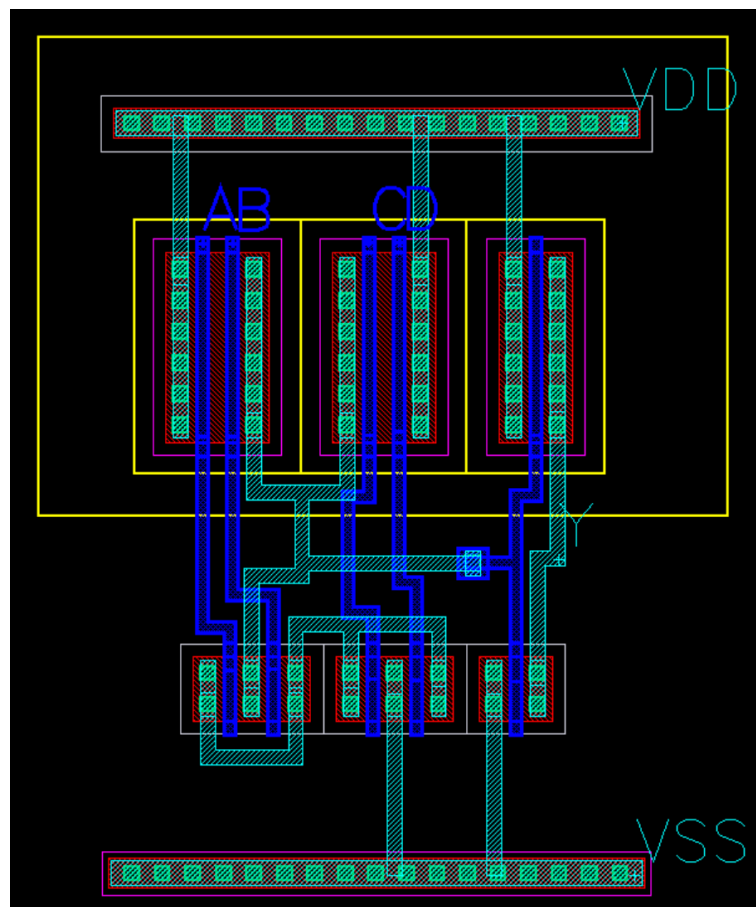


Figure 16 Layout

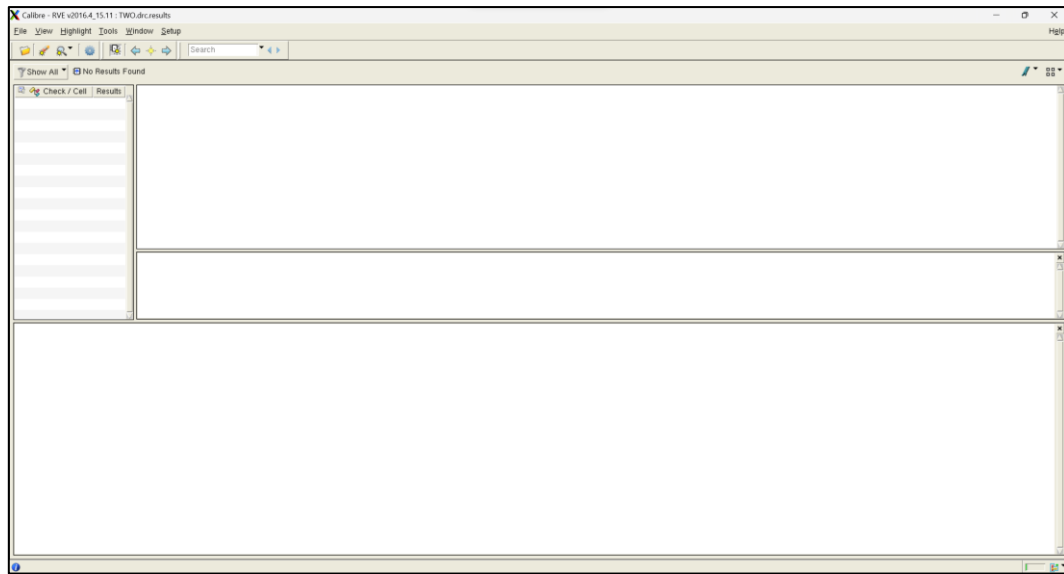


Figure 17 DRC

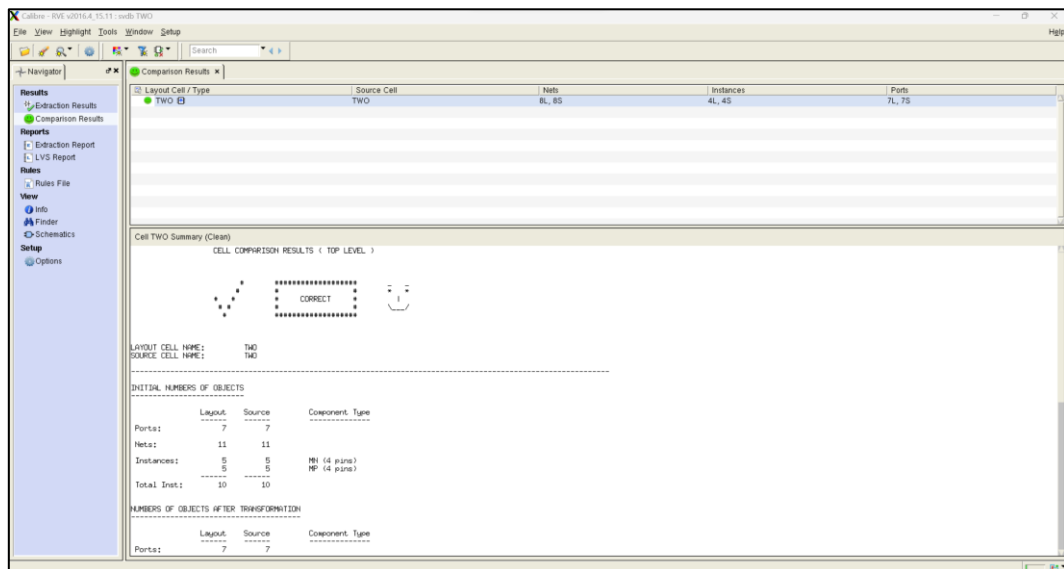


Figure 18 LVS

Discussion:

I. DRC:

- i. Nwell and VDD metal distance at least 0.5u
- ii. Mos 如果是串聯形式則不需要在中間打 metal 否則 DRC 會出現空接的報錯。
- iii. 在輸出端的 inverter 使用 metal 接到 poly 上，這裡的 contact 如果與 drain 端的 metal 太近也會報錯(至少要 0.24u)。

II. LVS

- i. 如果電路有少接在 DRC 可能會通過，但 LVS 會報錯，例如開路的話在 initial number of objects 的 layout 與 source 會對不上。
- ii. 如果一開始 icfb 產生的 netlist 檔還未加入 mos 的 size 只顯示 NM，LVS 也會報錯顯示找不到 MOS。

3. Run simulation to answer the following question. Using the two-transfer curve you simulated under 180nm and 14nm process respectively in HW1, calculate the value of V_{IL} , V_{IH} , V_{OL} , V_{OH} and NM_H and NM_L in 3 process corners (TT, SS, FF). Please comment on the differences. (30%)

(a) TT

180nm :

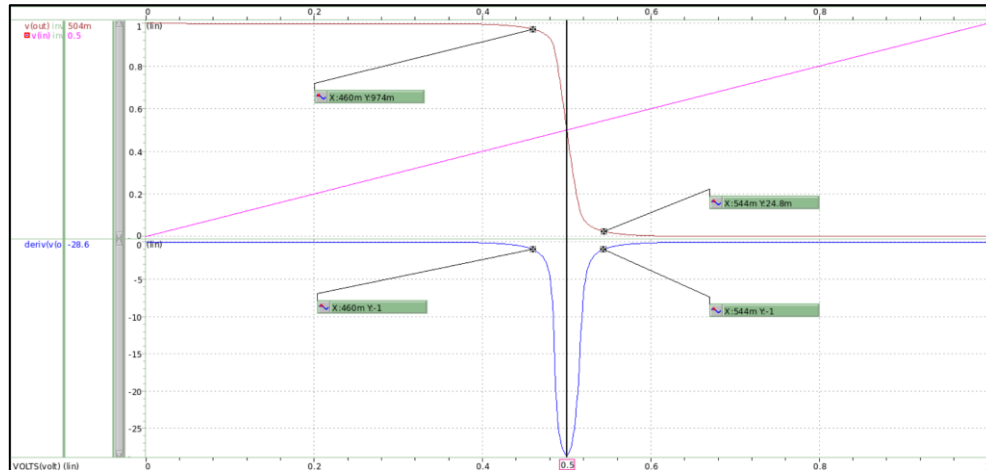


Figure 19 180nm inverter VTC

$$V_{IL} = 0.460V, \quad V_{IH} = 0.544V,$$

$$V_{OL} = 0V, \quad V_{OH} = 1V$$

$$NM_L = V_{IL} - V_{OL} = 0.460V,$$

$$NM_H = V_{OH} - V_{IH} = 0.546V$$

14nm :

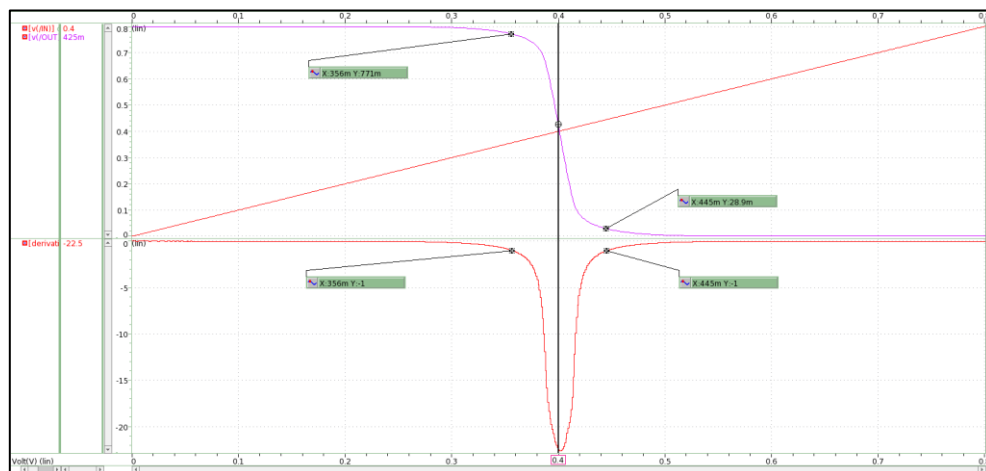


Figure 20 14nm inverter VTC

$$V_{IL} = 0.356V, \quad V_{IH} = 0.445V,$$

$$V_{OL} = 0V, \quad V_{OH} = 0.8V$$

$$NM_L = V_{IL} - V_{OL} = 0.356V,$$

$$NM_H = V_{OH} - V_{IH} = 0.355V$$

(b) SS

180nm :

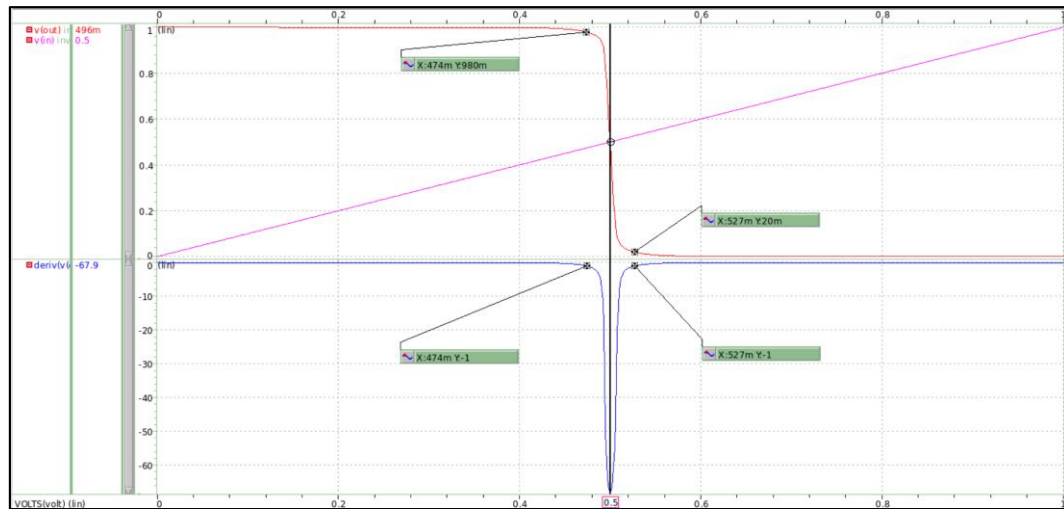


Figure 21 180nm inverter VTC

$$V_{IL} = 0.474V, \quad V_{IH} = 0.527V$$

$$V_{OL} = 0V, \quad V_{OH} = 1V$$

$$NM_L = V_{IL} - V_{OL} = 0.474V$$

$$NM_H = V_{OH} - V_{IH} = 0.473V$$

14nm :

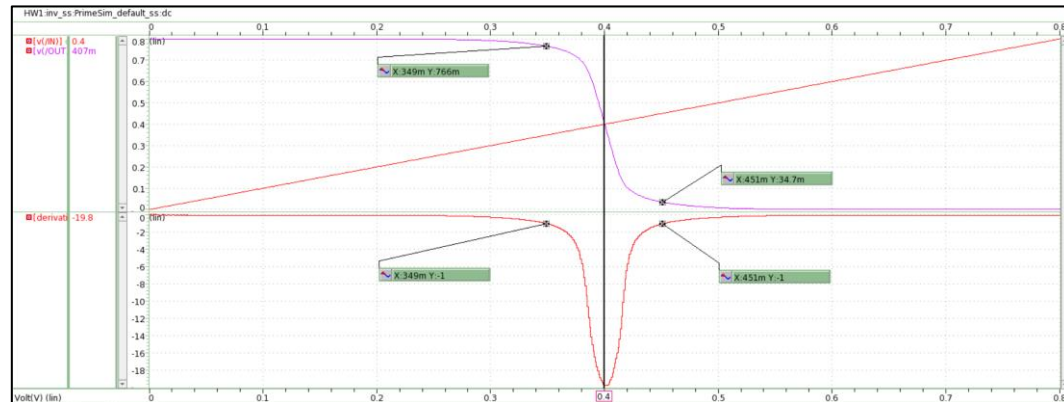


Figure 22 14nm inverter VTC

$$V_{IL} = 0.349V, \quad V_{IH} = 0.451V$$

$$V_{OL} = 0V, \quad V_{OH} = 0.8V$$

$$NM_L = V_{IL} - V_{OL} = 0.349V$$

$$NM_H = V_{OH} - V_{IH} = 0.349V$$

(c) FF

180nm :

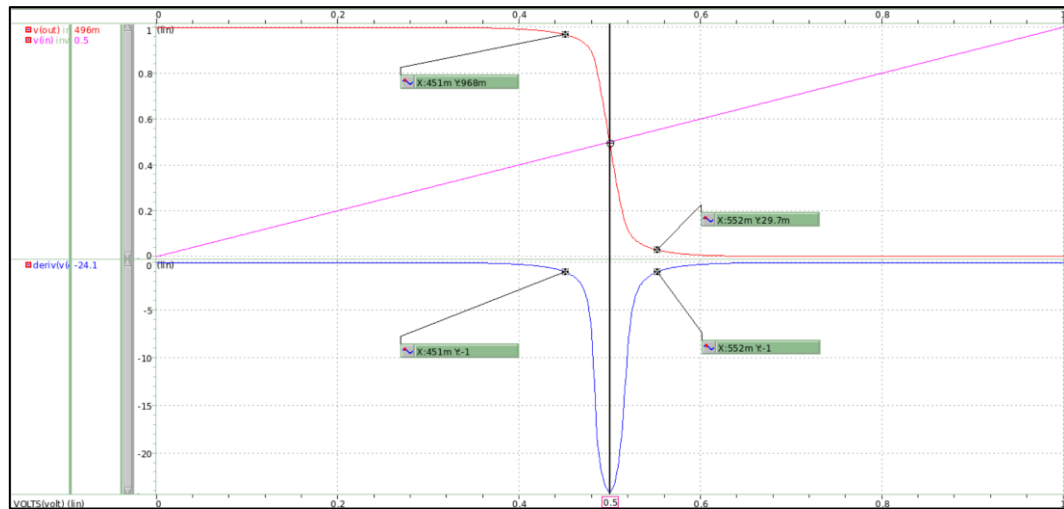


Figure 23 180nm inverter VTC

$$V_{IL} = 0.451V, \quad V_{IH} = 0.552V$$

$$V_{OL} = 0V, \quad V_{OH} = 1V$$

$$NM_L = V_{IL} - V_{OL} = 0.451V$$

$$NM_H = V_{OH} - V_{IH} = 0.448V$$

14nm :

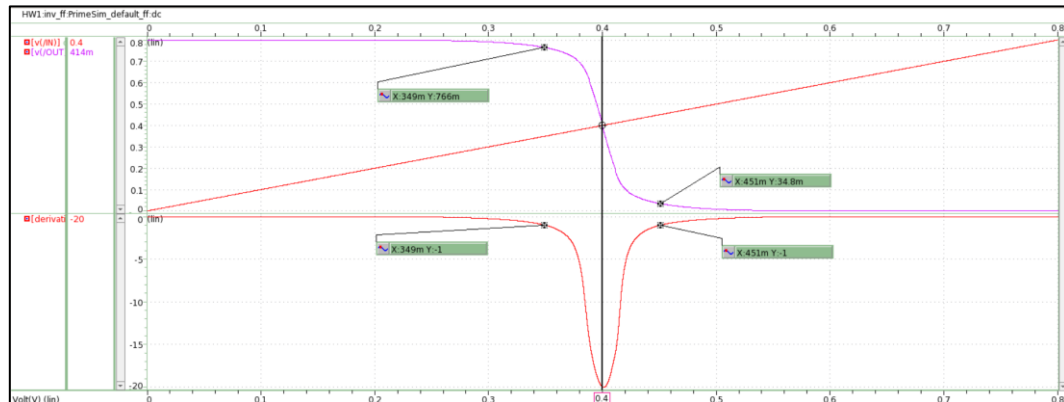


Figure 24 14nm inverter VTC

$$V_{IL} = 0.349V, \quad V_{IH} = 0.552V$$

$$V_{OL} = 0V, \quad V_{OH} = 0.8V$$

$$NM_L = V_{IL} - V_{OL} = 0.349V$$

$$NM_H = V_{OH} - V_{IH} = 0.451V$$

Discussion:

I. 180nm:

由 figure19,21,23 可知在 180nm 的製程下， V_{IL} 的大小順序為 $SS > TT > FF$ ，而 V_{IH} 的大小為 $FF > TT > SS$ ，原因是因為在 SS 時模擬元件在低電壓高溫使開關速度下降，FF 模擬元件在高電壓低溫開關速度上升。

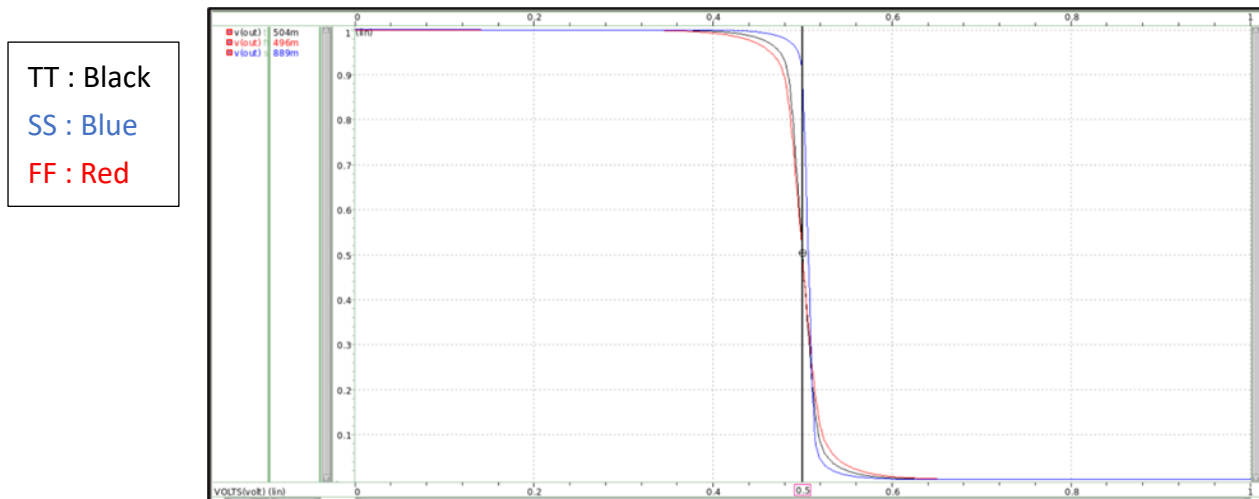


Figure 25 180nm Compare VTC (Before modify pmos size)

Figure26 為調整 $V_{in} = V_{out}$ 的情形，VTC 的趨勢一樣是 V_{IL} 的大小順序為 $SS > TT > FF$ ， V_{IH} 的大小為 $FF > TT > SS$ 。

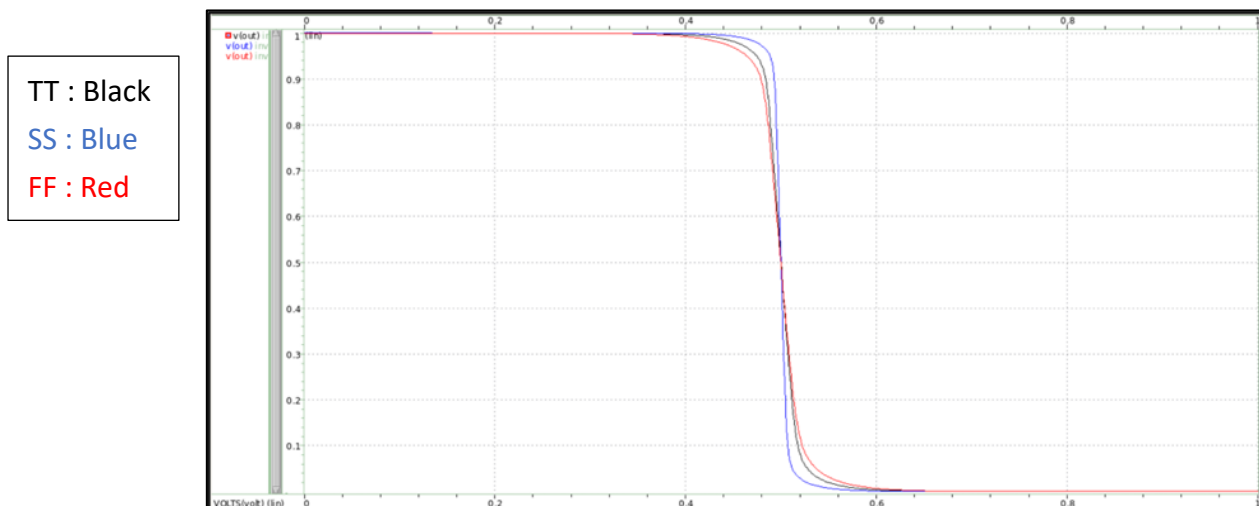


Figure 26 Compare VTC (After modify pmos size, $V_{in}=V_{out}$)

II. 14nm

由 figure19,21,23,27 可知在 14nm 的製程下， V_{IL} 的大小順序與 180nm 相同為 $SS > TT > FF$ ，而 V_{IH} 的大小為 $SS > FF > TT$ ，與 180nm 不同。

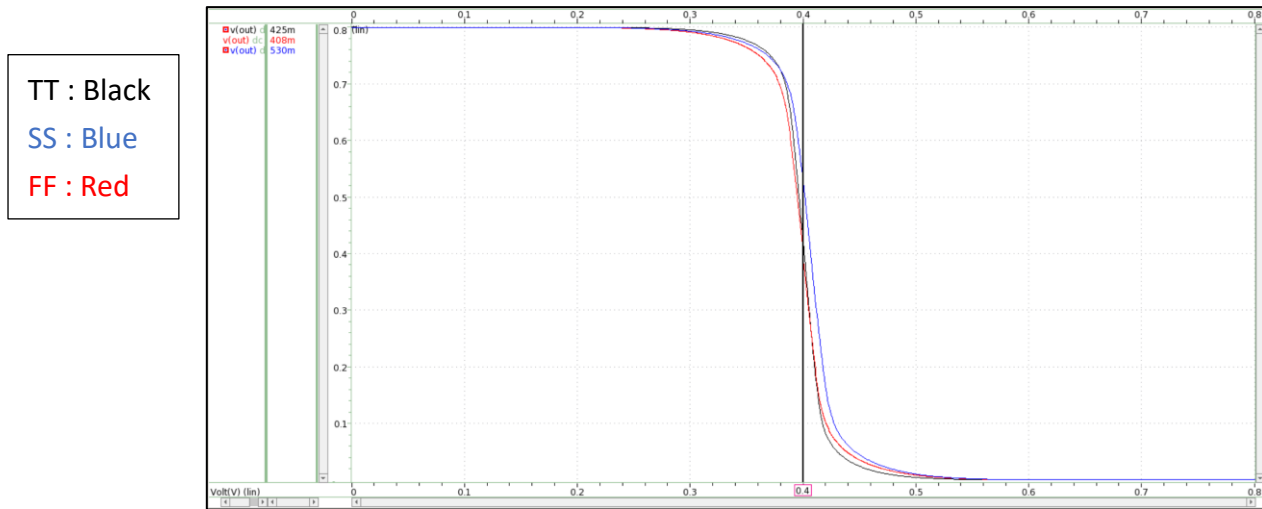


Figure 27 14nm Compare VTC (Before modify pmos size)

Figure28 為調整 $V_{in} = V_{out}$ 的情形，VTC 與未調整的不同， V_{IL} 變成 $TT > SS = FF$ ， V_{IH} 也一樣，所以在 process corner 的模擬下可以發現，14nm 製程的電壓穩定度相對於 180nm 較小，讓元件在不同的環境下較不容易損壞。

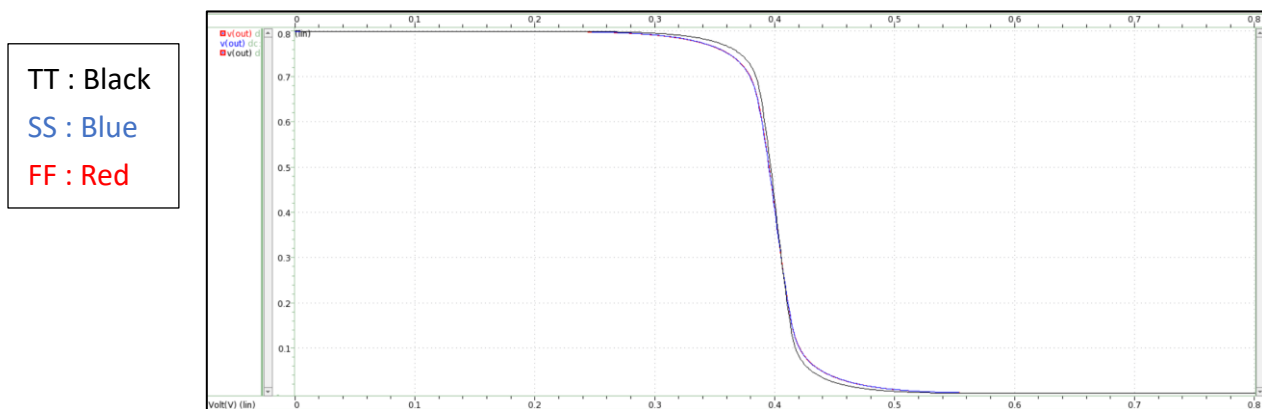


Figure 28 14nm Compare VTC (After modify pmos size, $V_{in}=V_{out}$)

4. Run simulation to answer the following question, use $V_{DD} = 1V$. (30%)

(a) Please design two 2-input NAND gate.

One design with $(W/L)_n = 3\mu m/0.2\mu m$ and $(W/L)_p =$ your design, the other design with $L=14nm$, n_{finn} and $n_{finp} =$ your design. Connect the two inputs together to run the transfer curve, the transition point should be $V_{out} = 0.5V_{DD}@V_{in} = 0.5V_{DD}$ (Only in TT corner). (15%)

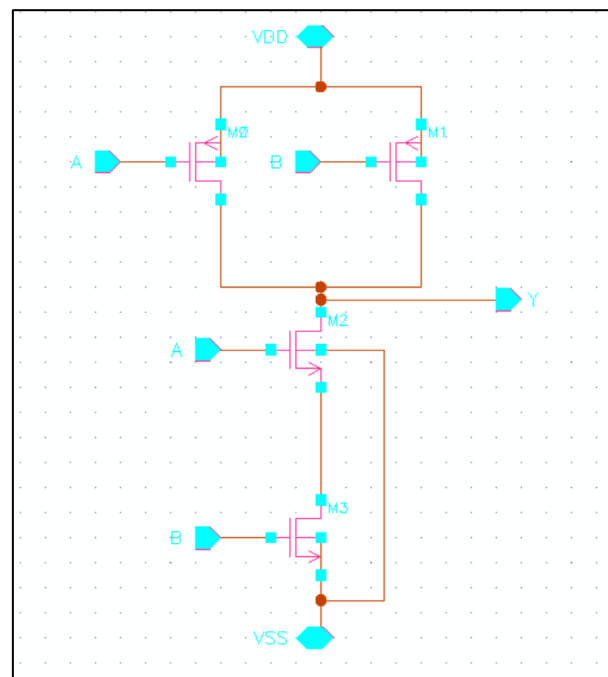


Figure 29 2-inputs NAND gate 180nm schematic

$(W/L)_p$	4.25u/0.2u
-----------	------------

Table 1 180nm pMOS size

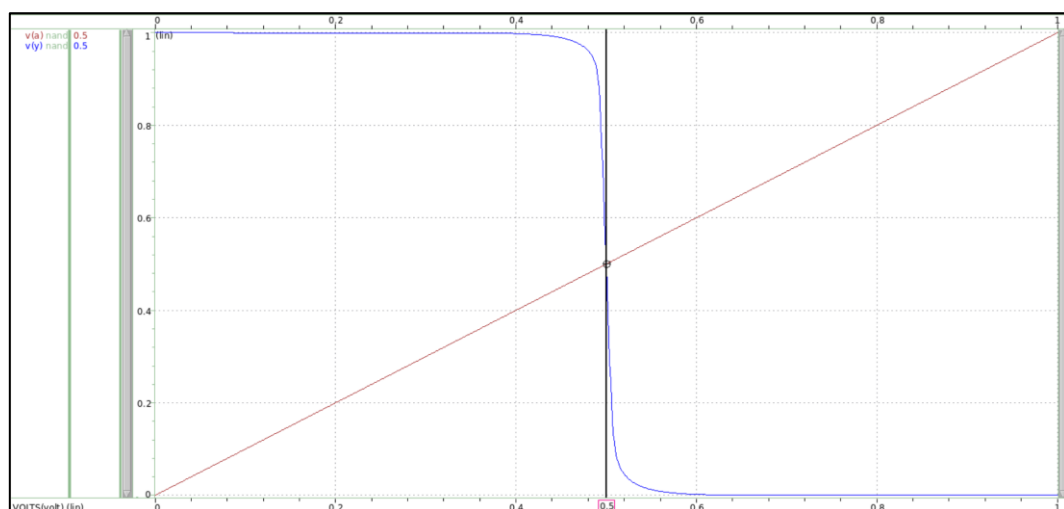


Figure 30 180nm VTC (v(a)為 v(a)與 v(b)相接)

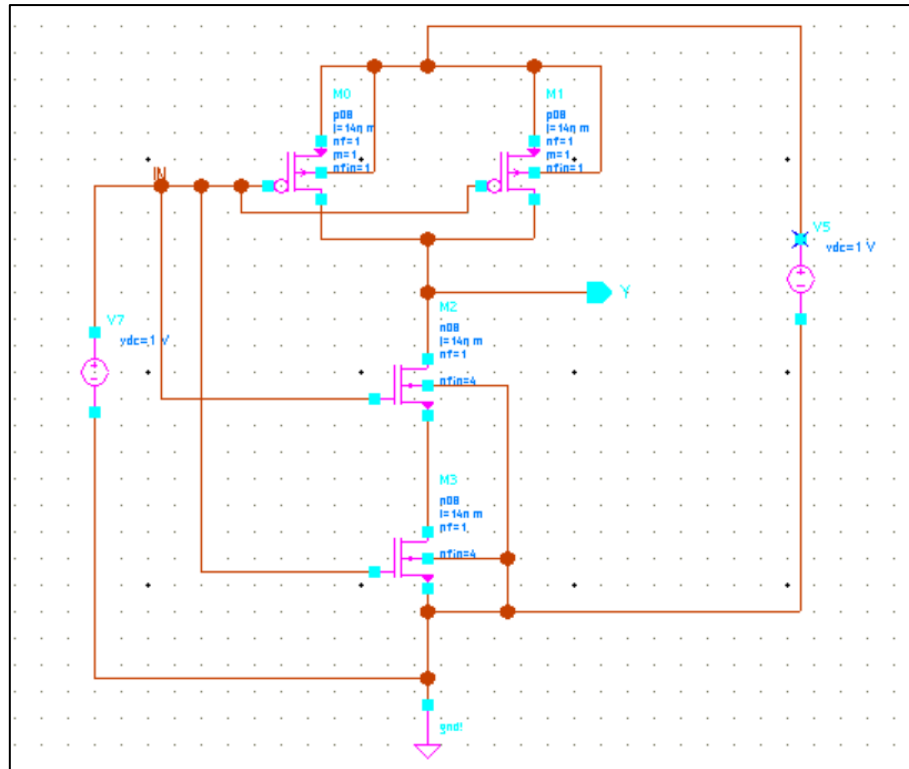


Figure 31 2-inputs NAND gate 14nm schematic (Connect the two inputs)

nfinn	4
nfinp	1

Table 2 14nm size

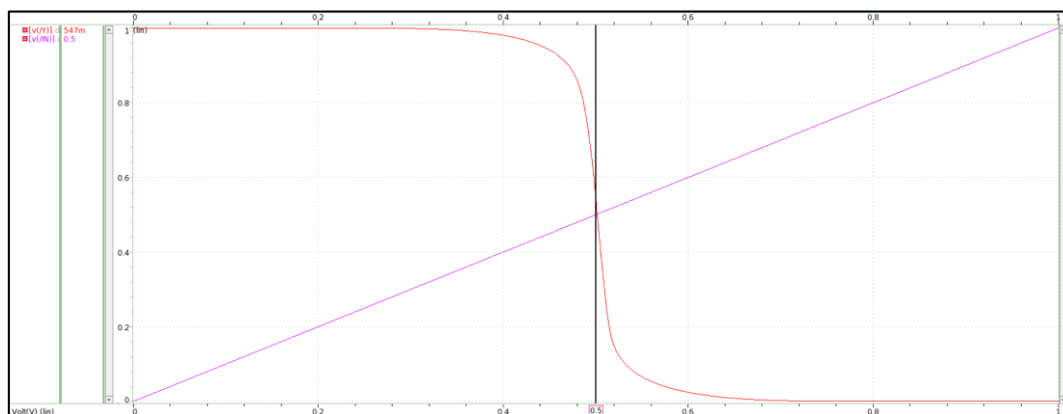


Figure 32 14nm VTC

(b) Using the 2-input NAND designed in (a) with $V_{DD} = 1V$.

Input signal (A or B) = 0V - 1V @ 2MHz with rising time / falling time = 0.1ns and a loading capacitor $C_{load} = 1.5pF$ at output.

180nm:

	Case 1			Case 2		
Input A	CLK			1V		
Input B	1V			CLK		
Corner	TT	SS	FF	TT	SS	FF
t_{pHL}	3.1ns	7.3ns	2.4ns	3.2ns	7.2ns	2.4ns
t_{pLH}	4ns	9ns	3ns	4ns	9ns	3ns
t_r	5.66ns	11.8ns	4.46ns	5.62ns	11.6ns	4.36ns
t_f	4.13ns	9.48ns	3.31ns	4.2ns	9.5ns	3.34ns

Table 3 180nm

由 Table3 可知在兩個 case 中 TT,SS,FF 皆是 $t_{pHL} < t_{pLH}$ ，在 t_r 和 t_f 的比較上也是相同的結果，Case1 和 Case2 相比，Case1 的 t_{pHL} 和 t_{pLH} 的差異不大，但 t_r 在 Case1 的時間皆大於 Case2， t_f 則相反。

在 Case1 的 NAND 中，input A 為 CLK 的頻率在在電壓零時 pmos 導通，電壓為一時 nmos 導通，input B 為直流電壓 1V，所以 pmos 一直維持截止，而 nmos 一直導通。 t_{pLH} 是 falling input 電壓 0.5V 到 rising output 電壓 0.5V 的時間，所以要計算 input A 的 pmos 的 propagation delay， t_{pLH} 則是 rising input 電壓 0.5V 到 falling output 電壓 0.5V 的時間，需要計算 contamination delay。

在 Case2 中的 t_f 時間都相對較長一點，我推測是因為 input B 在 nmos 離 output 端較遠，所以花的時間較長，而 t_r 則是因為 pmos 距離 output 較近，所以 delay 時間較短。

TT,SS,FF 三種 corner，也可以發現因為 SS 的 mos 開關速度較慢所以 delay 較長，FF 開關速度較快，delay 時間較短，TT 則界在兩者之間。

Case1:

$t_{pHL} = 3.1\text{ns}$
 $t_{pLH} = 4\text{ns}$
 $t_r = 5.66\text{ns}$
 $t_f = 4.13\text{ns}$

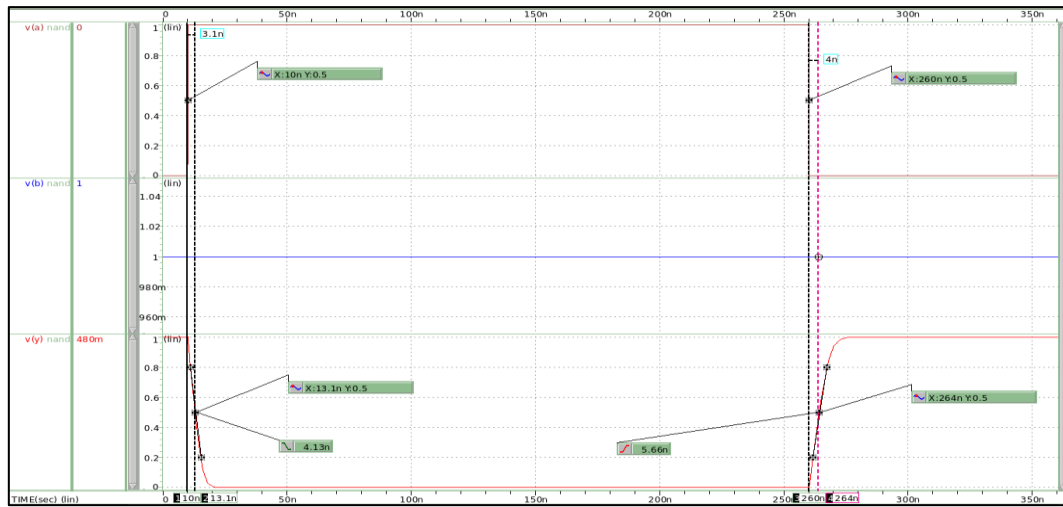


Figure 33 Case1_TT (PART)

$t_{pHL} = 7.3\text{ns}$
 $t_{pLH} = 9\text{ns}$
 $t_r = 11.8\text{ns}$
 $t_f = 9.48\text{ns}$

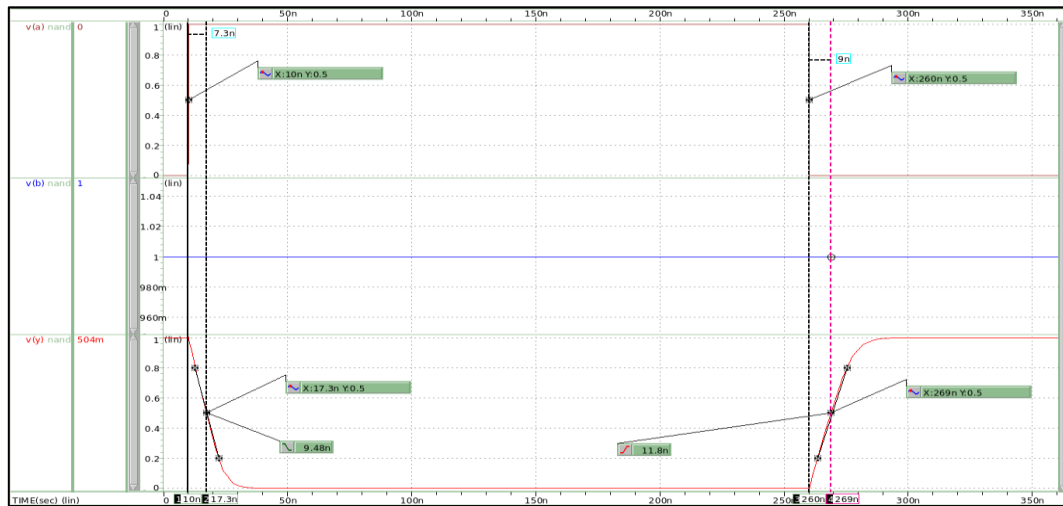


Figure 34 Case1_SS (PART)

$t_{pHL} = 2.4\text{ns}$
 $t_{pLH} = 3\text{ns}$
 $t_r = 4.46\text{ns}$
 $t_f = 3.31\text{ns}$



Figure 35 Case1_FF (PART)

Case2:

$t_{pHL} = 3.2\text{ns}$
 $t_{pLH} = 4\text{ns}$
 $t_r = 5.62\text{ns}$
 $t_f = 4.2\text{ns}$

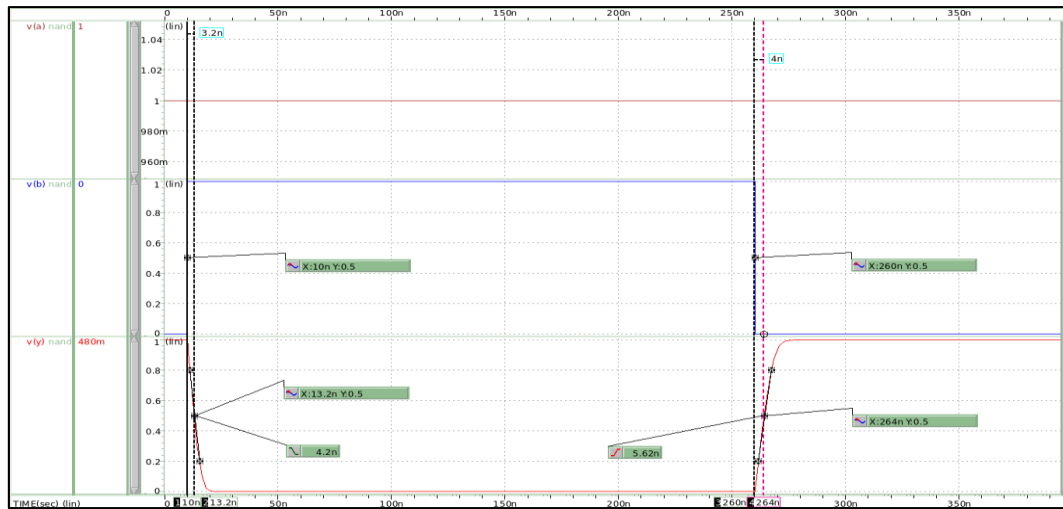


Figure 36 Case2_TT (PART)

$t_{pHL} = 7.2\text{ns}$
 $t_{pLH} = 9\text{ns}$
 $t_r = 11.6\text{ns}$
 $t_f = 9.5\text{ns}$

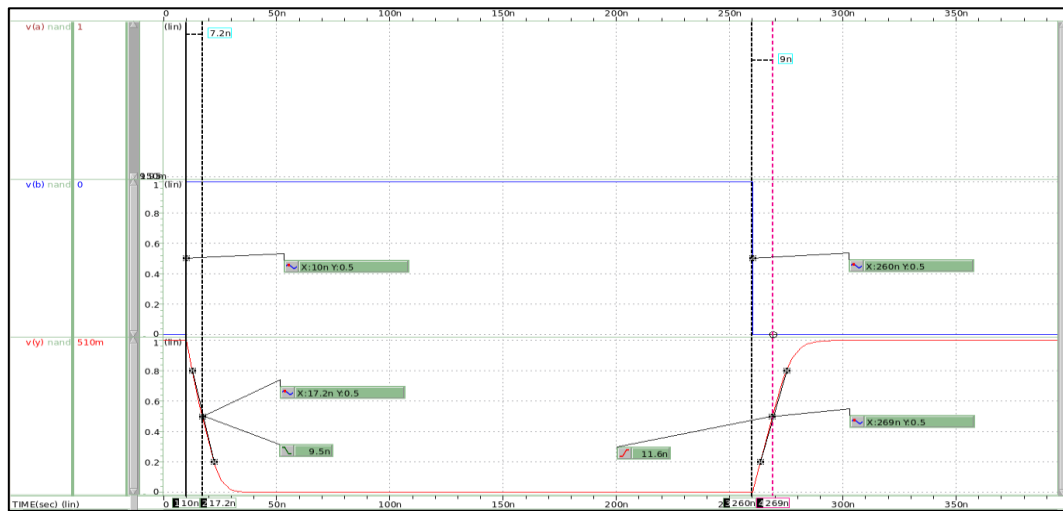


Figure 37 Case2_SS (PART)

$t_{pHL} = 2.4\text{ns}$
 $t_{pLH} = 3\text{ns}$
 $t_r = 4.36\text{ns}$
 $t_f = 3.34\text{ns}$

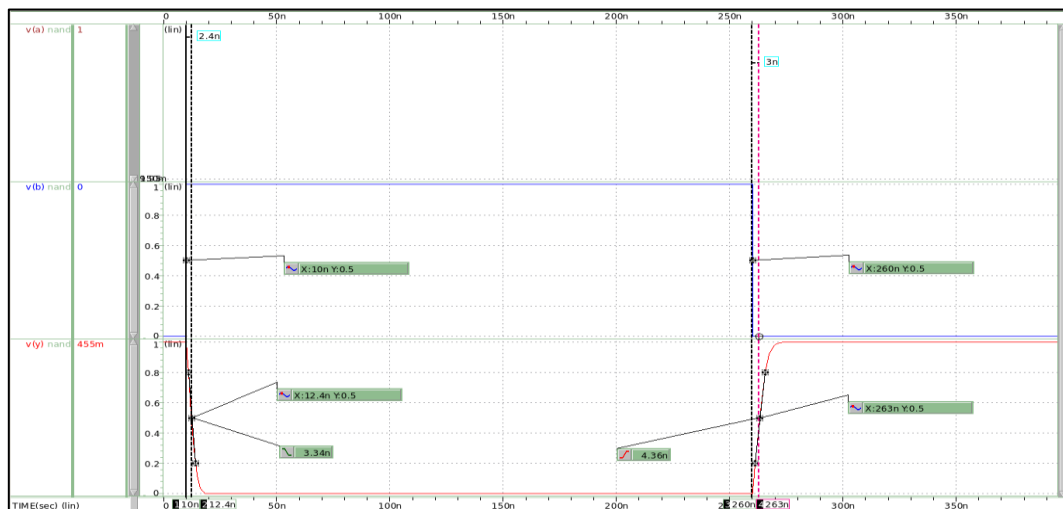


Figure 38 Case2_FF (PART)

14nm:

	Case 1			Case 2		
Input A	CLK			1V		
Input B	1V			CLK		
Corner	TT	SS	FF	TT	SS	FF
t_{pHL}	3.5ns	3.4ns	3.2ns	3.4ns	3.4ns	3.2ns
t_{pLH}	11ns	9ns	9ns	11ns	9ns	9ns
t_r	14.2ns	12.9ns	12.7ns	14.2ns	12.6ns	12.7ns
t_f	4.94ns	4.8ns	4.53ns	4.9ns	4.81ns	4.53ns

Table 4 14nm

由 Table4 與 Table3 的比較可以發現，14nm 的 delay 與 180nm 相比， t_{pHL} 的 delay 值都差不多，除了 SS 下降了許多，但三種 corner 的 t_{pLH} 值都呈現上升的趨勢， t_r 也都呈現上升的趨勢， t_f 也是 SS 下降許多 TT,FF 沒什麼區別，由此可發現，14nm 製程的模擬上，output 端的 delay 會特別的大，我認為是因為製程變小，所以輸出電容較小，使負載電容相對變大，所以會有較長的 delay。

Case1:

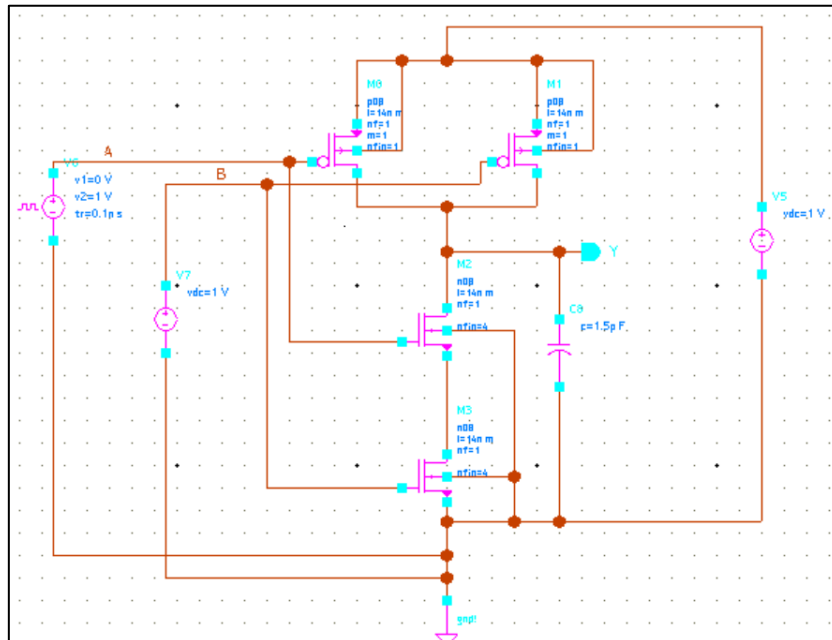


Figure 39 Case1 schematic

$t_{pHL} = 3.5\text{ns}$
 $t_{pLH} = 11\text{ns}$
 $t_r = 14.2\text{ns}$
 $t_f = 4.94\text{ns}$

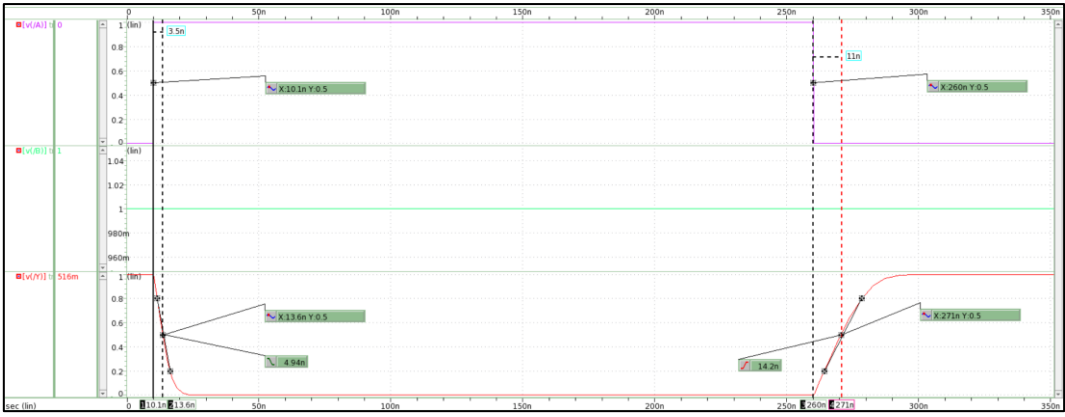


Figure 40 Case1_TT (PART)

$t_{pHL} = 3.4\text{ns}$
 $t_{pLH} = 9\text{ns}$
 $t_r = 12.9\text{ns}$
 $t_f = 4.8\text{ns}$

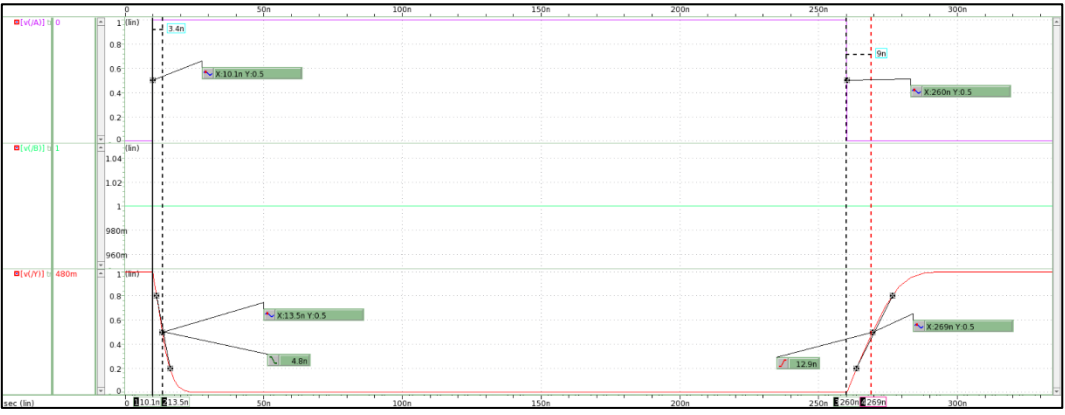


Figure 41 Case1_SS (PART)

$t_{pHL} = 3.2\text{ns}$
 $t_{pLH} = 9\text{ns}$
 $t_r = 12.7\text{ns}$
 $t_f = 4.53\text{ns}$

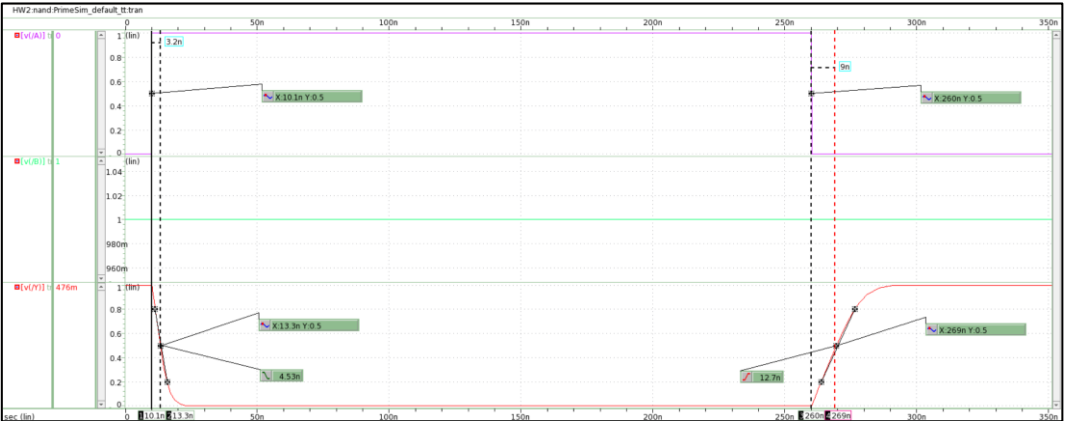


Figure 42 Case1_FF (PART)

Case2:

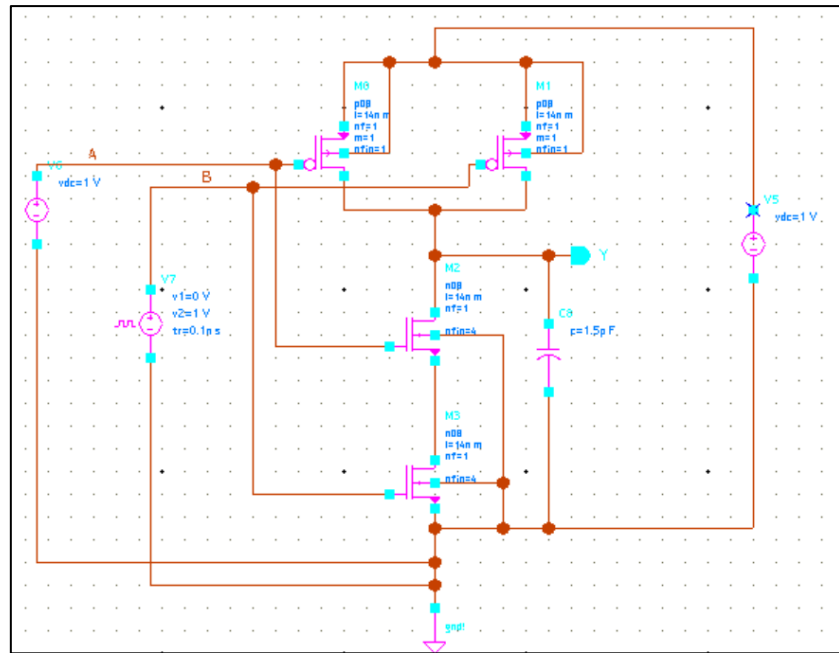


Figure 43 Case2 schematic



Figure 44 Case2_TT (PART)



Figure 45 Case2_SS (PART)

$t_{pHL} = 3.2ns$
 $t_{pLH} = 9ns$
 $t_r = 12.7ns$
 $t_f = 4.58ns$



Figure 46 Case2_FF (PART)

Discussion:

第一次:
 $t_r = 5.66ns$
 $t_f = 4.13ns$
 第二次:
 $t_r = 5.66ns$
 $t_f = 4.21ns$

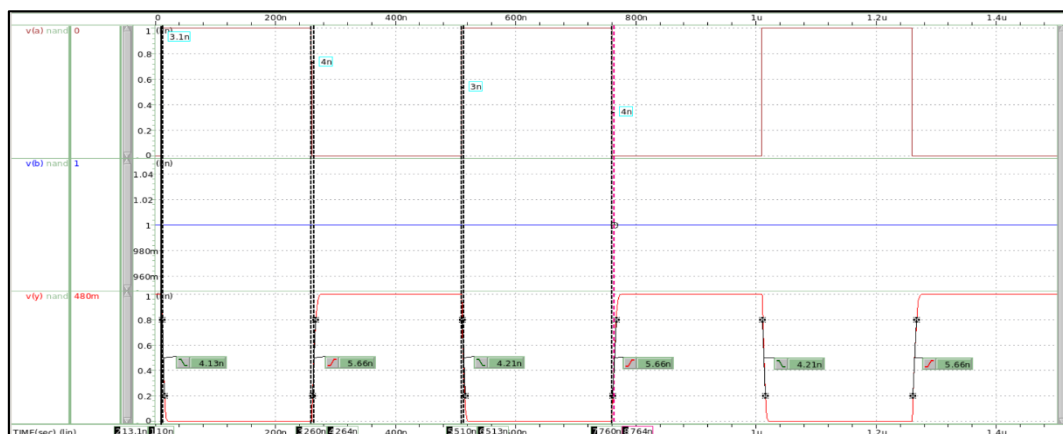


Figure 47 180nm Case1_TT compare

第一次:
 $t_r = 14.2ns$
 $t_f = 4.94ns$
 第二次:
 $t_r = 14.4ns$
 $t_f = 4.95ns$

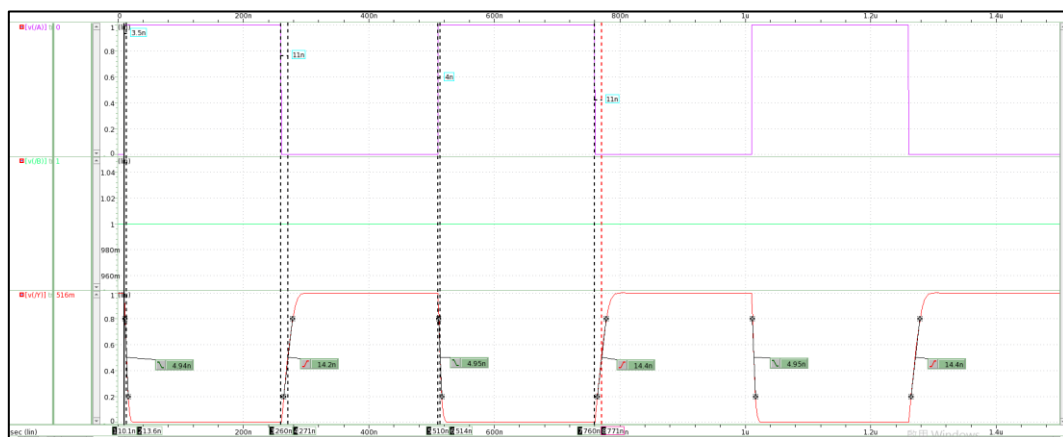


Figure 48 14nm Case1_TT compare

由 Figure47 和 Figure48 可以發現一個特別的現象，不管是在 180nm 還是 14nm 製程中，在 TT 時第一次 t_r 和 t_f 的時間較短，我認為是因為第一次對電容充放電，電容是從零開始往 VDD 或 VSS，而第二次開始因為電容內已經有上次充電後殘存的反向的電荷，所以需要較長的時間充放電，這樣的情況也會出現在 SS 和 FF 中，且 SS 較嚴重，FF 較輕微。

第一次：
 $t_r = 5.66\text{ns}$
 $t_f = 4.13\text{ns}$
 第二次：
 $t_r = 5.66\text{ns}$
 $t_f = 4.21\text{ns}$

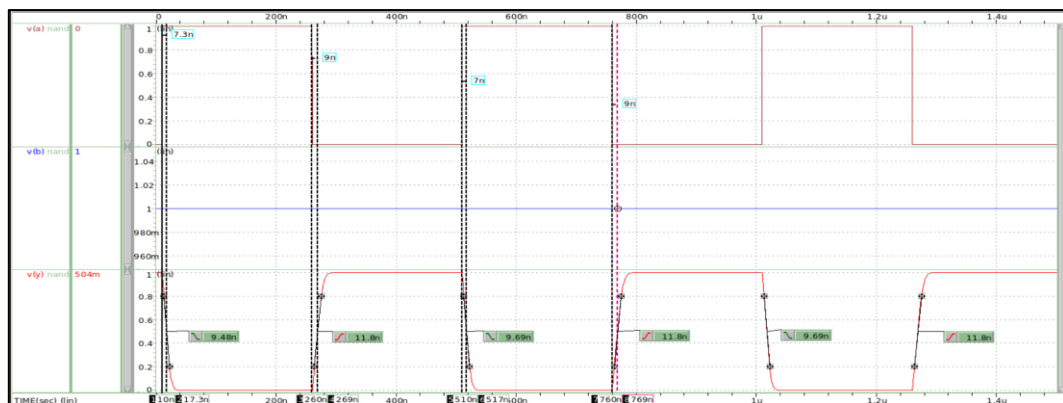


Figure 49 180nm Case1_SS compare

第一次：
 $t_r = 12.9\text{ns}$
 $t_f = 4.8\text{ns}$
 第二次：
 $t_r = 12.9\text{ns}$
 $t_f = 4.84\text{ns}$



Figure 50 14nm Case1_SS compare

第一次：
 $t_r = 4.46\text{ns}$
 $t_f = 3.31\text{ns}$
 第二次：
 $t_r = 4.46\text{ns}$
 $t_f = 3.21\text{ns}$

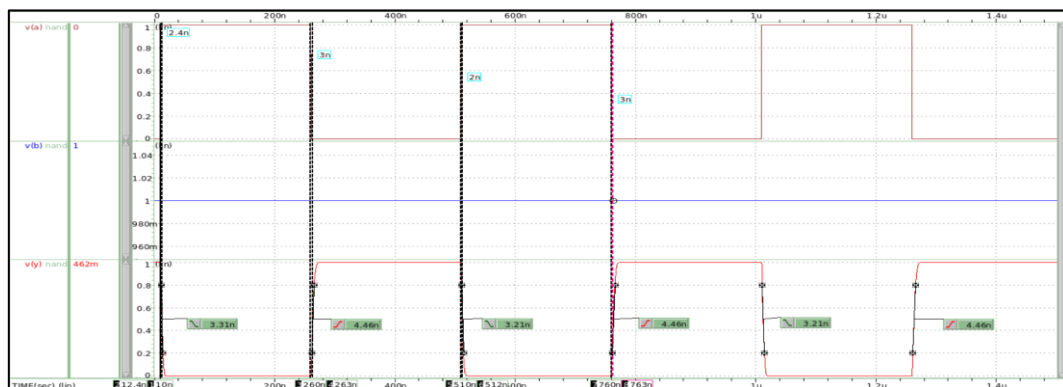


Figure 51 180nm Case1_FF compare

第一次：
 $t_r = 12.7\text{ns}$
 $t_f = 4.52\text{ns}$
 第二次：
 $t_r = 13\text{ns}$
 $t_f = 4.56\text{ns}$

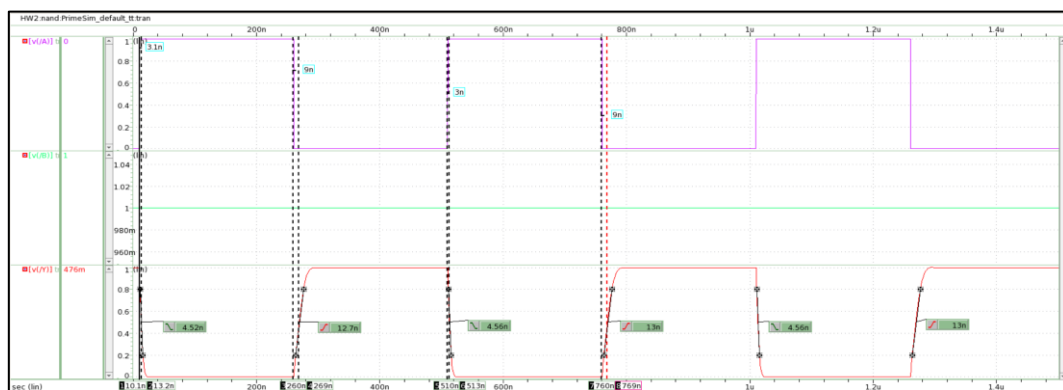


Figure 52 14nm Case1_FF compare