

# 实训报告：折叠共源共栅放大器设计

梁盛喜 2020020905027 13095185629  
指导老师：王成

## 一、概述

本实训的要求是在 Cadence Virtuoso 中使用 TSMC 65nm GP 工艺的 2.5V 器件 nmos\_rf\_25 和 pmos\_rf\_25 设计单位增益带宽为 37MHz 的折叠共源共栅放大器。我们通过计算和仿真获得了符合要求的电路，最终达到单位增益带宽为 37MHz 的要求。偏置电流为 9uA，输入管尺寸为  $(W/L)=50.4\mu\text{m} / 280\text{nm}$ ，总功率为 127.8uW。依据该电路，我们进行了版图的设计，最终版图通过 DRC 和 LVS。对版图提取参数后获得的 calibre 再次仿真，得到了有寄生参数的电路的仿真结果。

## 二、电路设计与仿真

### 1. 电路原理与计算公式

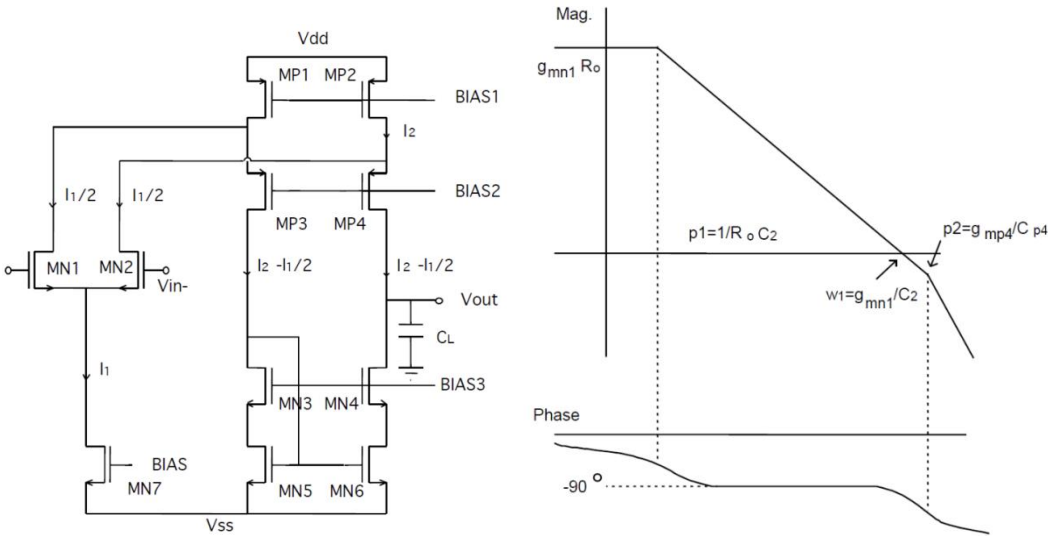


图 1 折叠共源共栅放大器电路图和波特图

MN1、MN2：差分输入

MP3, MP4: 共栅极  
 MP1, MP2: 电流源负载  
 MN3 - MN6: 大摆幅共源共栅电流镜  
 MN7: 尾电流源

输入阻抗:

$$R_O = R_{O,up} \parallel R_{O,dn}, R_{O,up} = g_{m,MP4} \cdot r_{0,MP4} \cdot (r_{0,MP2} \parallel r_{0,MN2}), R_{O,dn} = g_{m,MN4} \cdot r_{0,MN4} \cdot r_{0,MN6}$$

$$\text{小信号增益: } a_{vd} = g_{m,MN1} R_O \sim (g_m r_0)^2$$

$$\text{主极点: } |\rho_1| = 1/(R_O \cdot C_2) \sim 1/(g_m \cdot r_0^2 \cdot C_2)$$

$$\text{第二极点: } |\rho_2| = g_{m,MP3,4} / C_{p,MP3,4}$$

$$\text{单位增益带宽: } GBW = a_{vd} \cdot |\rho_1| = g_{m,MN1} R_O / (R_O \cdot C_2) = g_{m,MN1} / C_2$$

$$\text{转换速度: } SR = \min(I_1, I_2) / C_2$$

2. 获得不同  $I_{BIAS}$  下的跨导  $g_m$ ，本征增益  $g_m r_0$  和电流增益截止频率  $f_T$

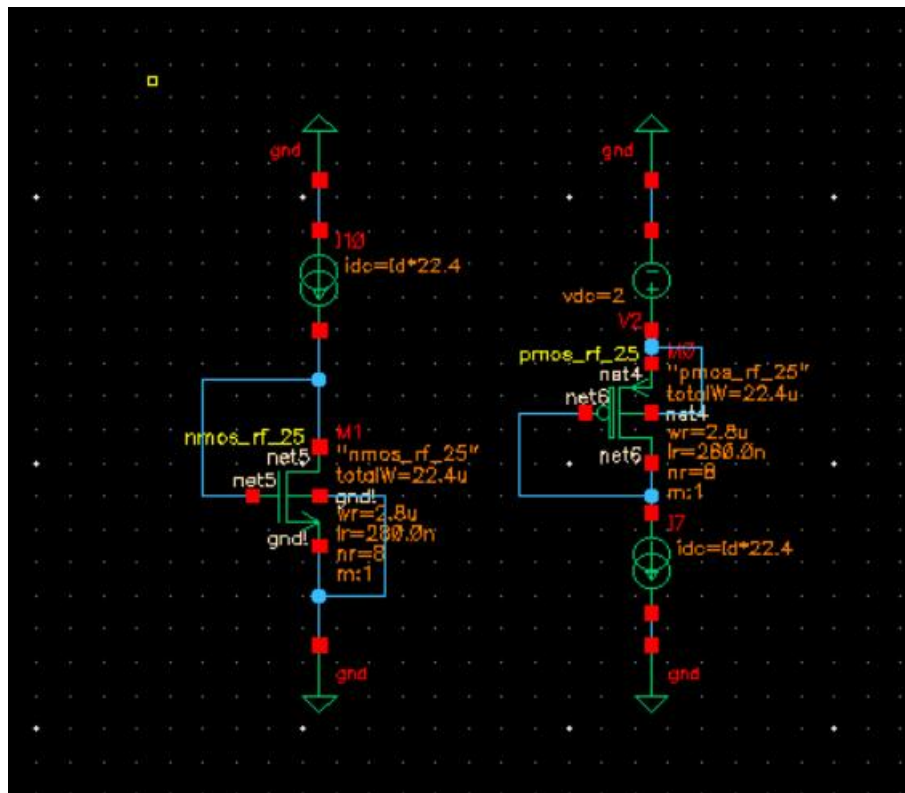


图 2 仿真获得不同  $I_d$  下的跨导、本征增益和截止频率

选用的 NMOS 和 PMOS 分别为 TSMC 65nm GP 工艺的 2.5V 器件 nmos\_rf\_25 和 pmos\_rf\_25，具体的参数:  $L=280.0\text{nm}$   $W=2.8\mu\text{m}$   $N=8$   $\text{total } W=22.4\mu\text{m}$

我们首先为了满足  $f_T \gg 10f_u$ ，考虑单位栅宽电流密度的范围，我们发现，我们的电流密度必须大于  $I_d = 103 \text{ nA}/\mu\text{m}$ 。为了避免过大的噪声，且控制功率在可接受的范围，我们希望单位栅宽电流密度在  $200 \text{ nA}/\mu\text{m} \sim 800 \text{ nA}/\mu\text{m}$  的范围内。

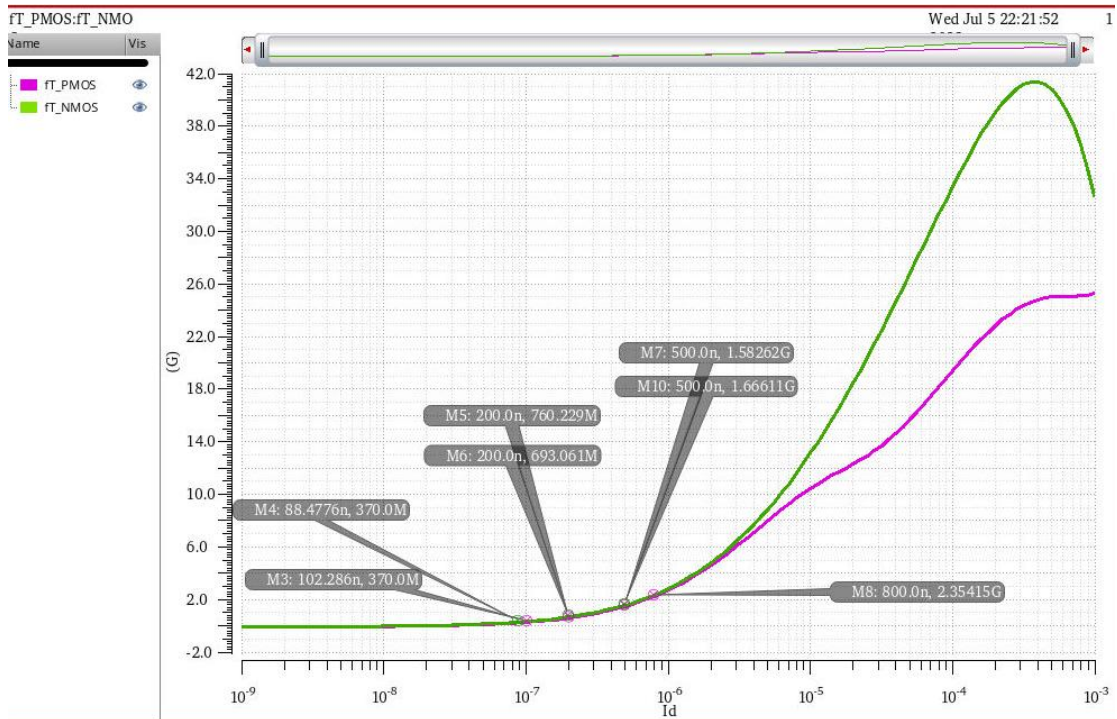


图 3  $f_T$  随  $I_d$  的变化趋势

考虑电路设计的折衷问题，在不使用 MATLAB 的情况下，我们希望找到一个牺牲较小的  $I_d$  进行电路的设计。最终，我们选择单位栅宽电流密度分别在  $200 \text{ nA}/\mu\text{m}$  和  $600 \text{ nA}/\mu\text{m}$  的情况下进行设计并对比。

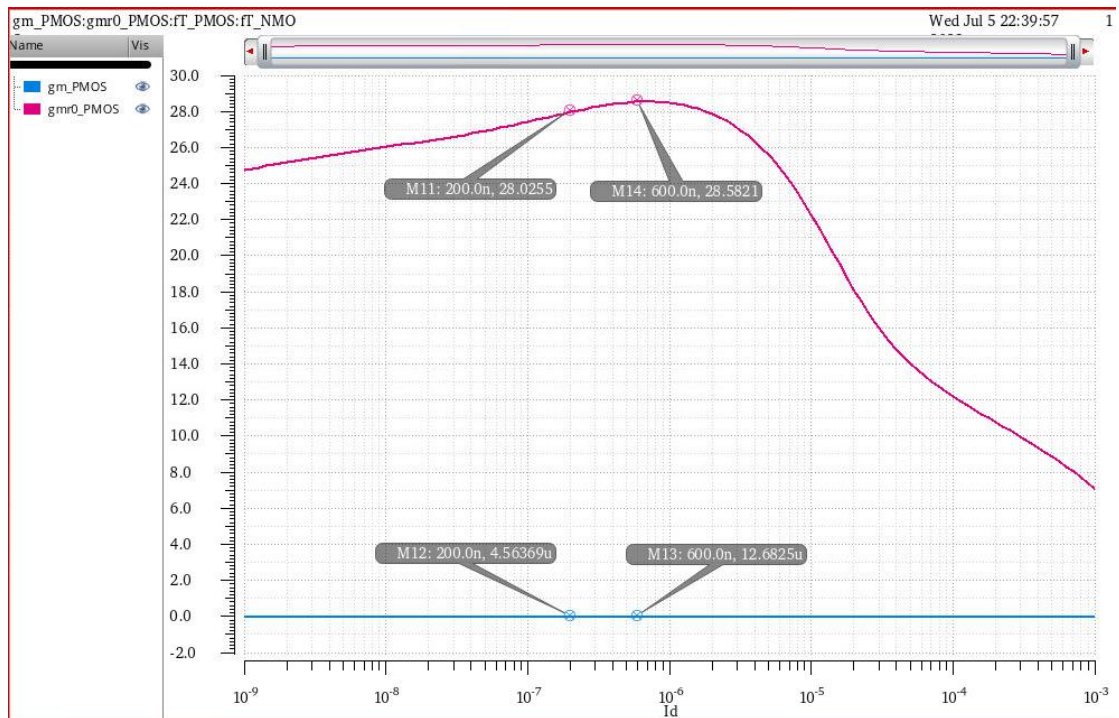


图 4  $g_m$ ,  $g_{mr0}$  随  $I_d$  的变化趋势

我们发现，在我们规定的单位栅宽电流密度在 200nA/um~800nA/um 内的范围里， $g_m$  的变化较大， $g_m r_o$  的变化较小，因此主要限制尺寸的因素在于  $g_m$ 。

为了降低输入参考噪声，折叠共源共栅放大器采用了 PMOS 差分输入。我们的设计目标是 37MHz 的 GBW，根据该电路的拓扑结构，我们获得  $2\pi \times 37\text{MHz} = g_{m, \text{in}}/C_L$ 。

我们初步设计了两套参数：

单位栅宽电流密度 $I_d$ (nA/um)	600	200
GBW(MHz)	37	37
$C_L \approx C_2$ (pF)	2	1
$G_{m, \text{inp}}$ (uS)	465	235
Total $W_{\text{inp}}$ (um)	36.0	51.5
$I_{d, \text{inp}}$ (uA)	21.6	10.3

由于直流供电电压 2V，我们选择  $V_{CM}=1V$ 。

### 3. 仿真结果

最终设计结果如下

	设计 1	设计 2
Midband gain	53	46
GBW(MHz)	37.082	37.015
Phase Margin	82.38	67.75
$C_L \approx C_2$ (pF)	2	1
$I_{\text{BIAS}}$ (uA)	17.6	9
$I_{D\text{total}}$ (uA)	109.7	54.83
$V_{DC}$ (V)	2	2
POWER(uW)	219.4	109.66

#### (1) 设计 1 ( $I_d=600\text{nA/um}$ )

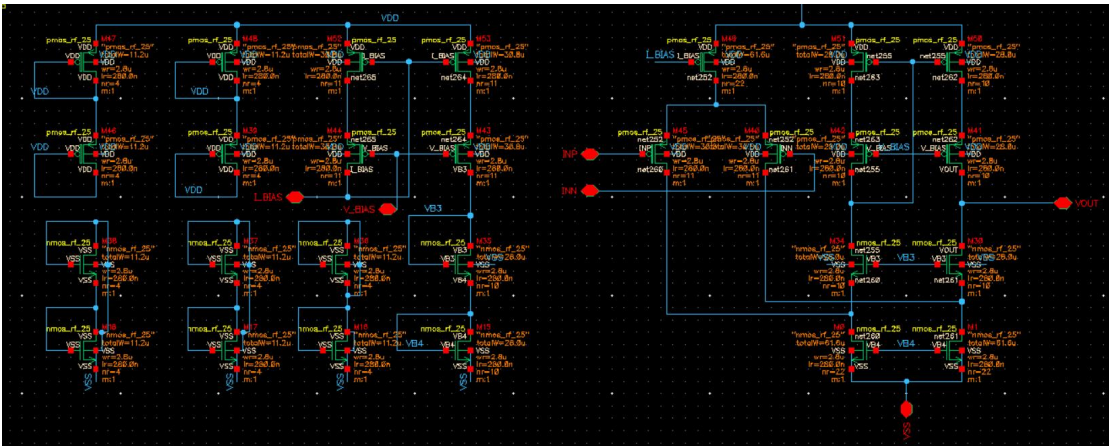


图 5 设计 1 原理图和器件尺寸

左侧为直流偏置电路(电流镜)和 Dummy 器件(为保证器件匹配)。

电压偏置电路我们选择与 M1，M30 相同尺寸的 diode-connected 的



NMOS 来获得，因为 G 和 D 短接，保证其在饱和区工作。

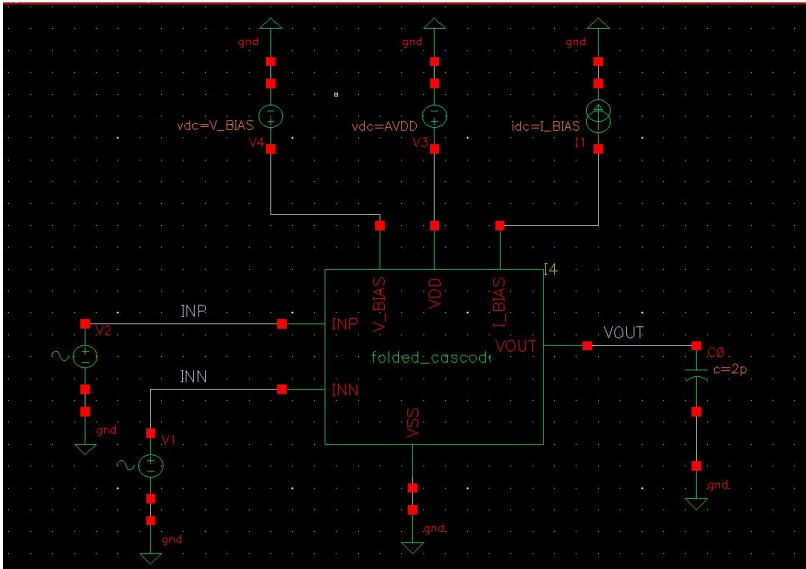


图 6 设计 1 搭建 test bench

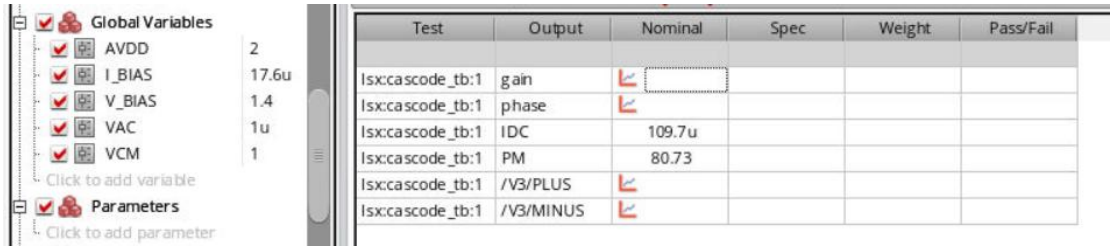


图 7 设计 1 的全局变量设置与测试结果

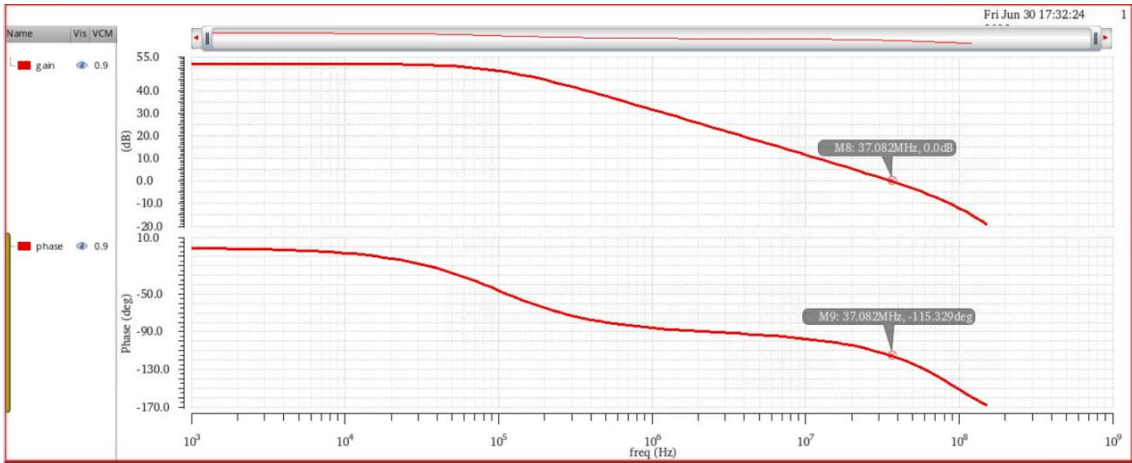


图 8 设计 1 的幅频特性曲线和相频特性曲线

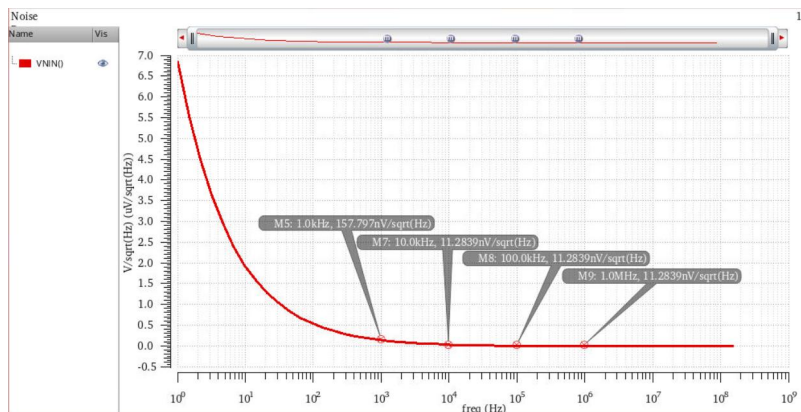


图 9 设计 1 的等效输入噪声

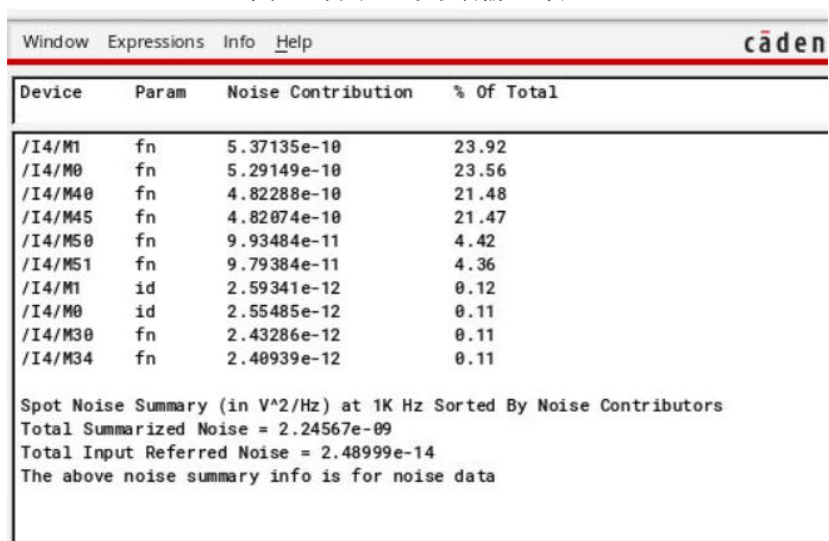


图 10 设计 1 噪声贡献分析

PMOS 输入晶体管 M40 和 M45、NMOS 尾电流源 M0 和 M41 的噪声贡献，占据整体噪声的~90%，在后续设计中，可以做相应的优化。

## (2) 设计 2 ( $I_d=200\text{nA}/\mu\text{m}$ )

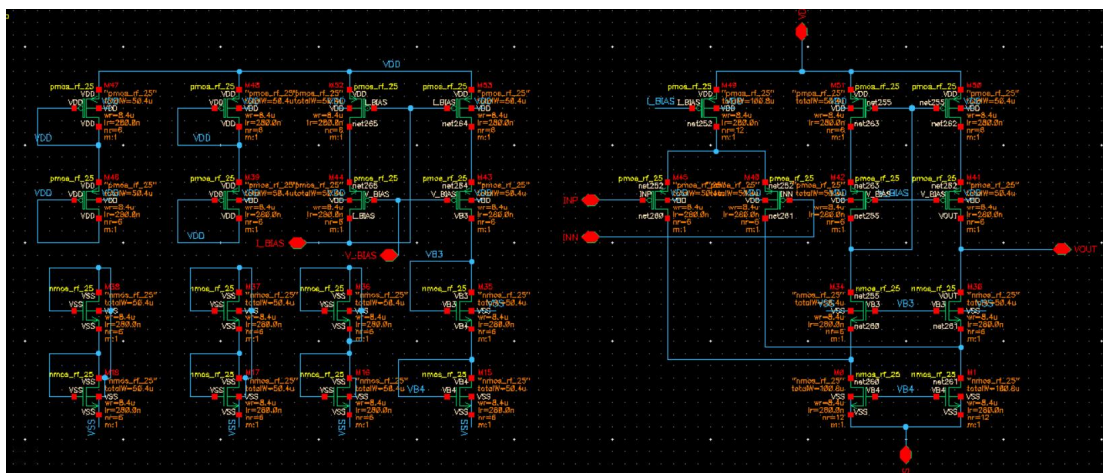


图 11 设计 2 原理图和器件尺寸

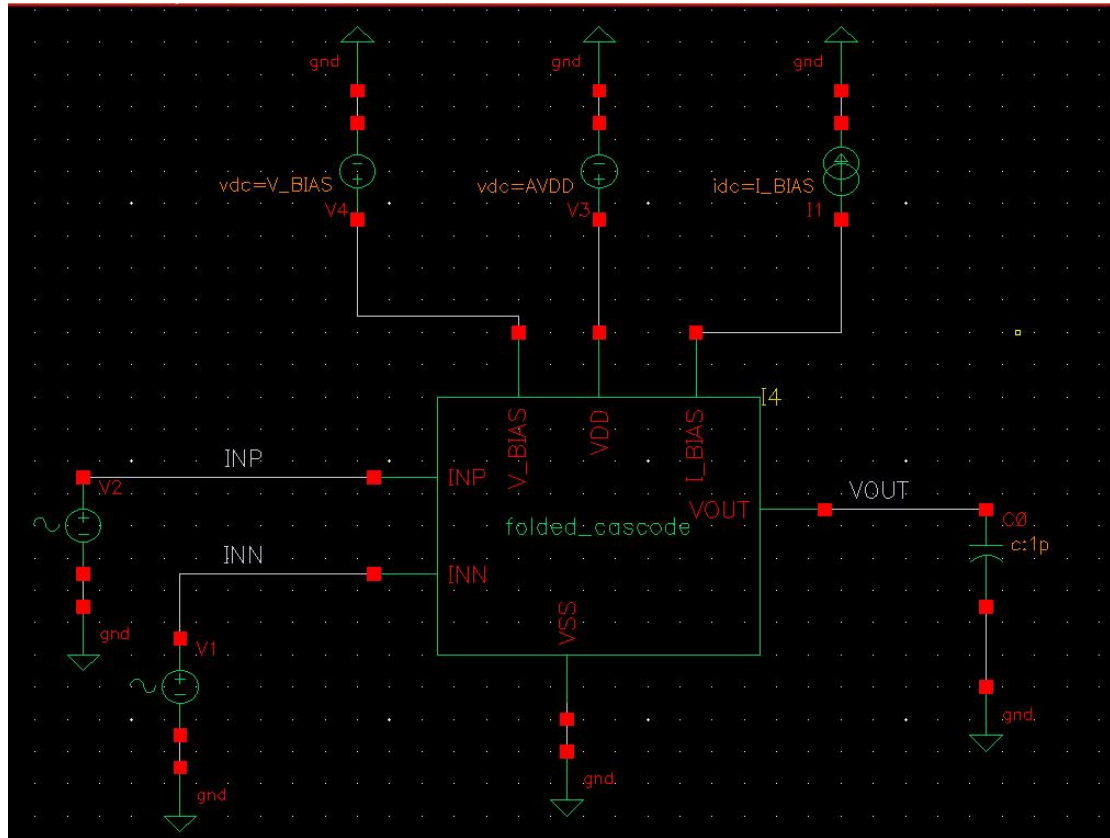


图 12 设计 2 的 test bench

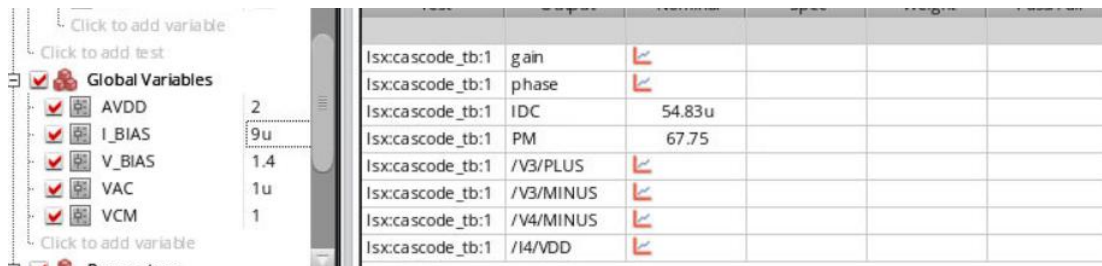


图 13 设计 2 的全局变量设置与测试结果

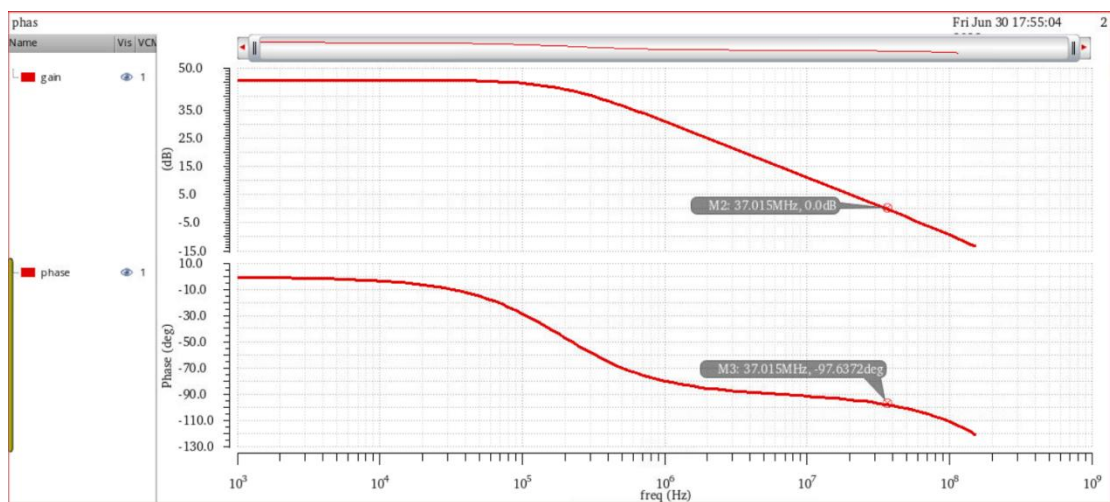


图 14 设计 2 的幅频特性曲线和相频特性曲线

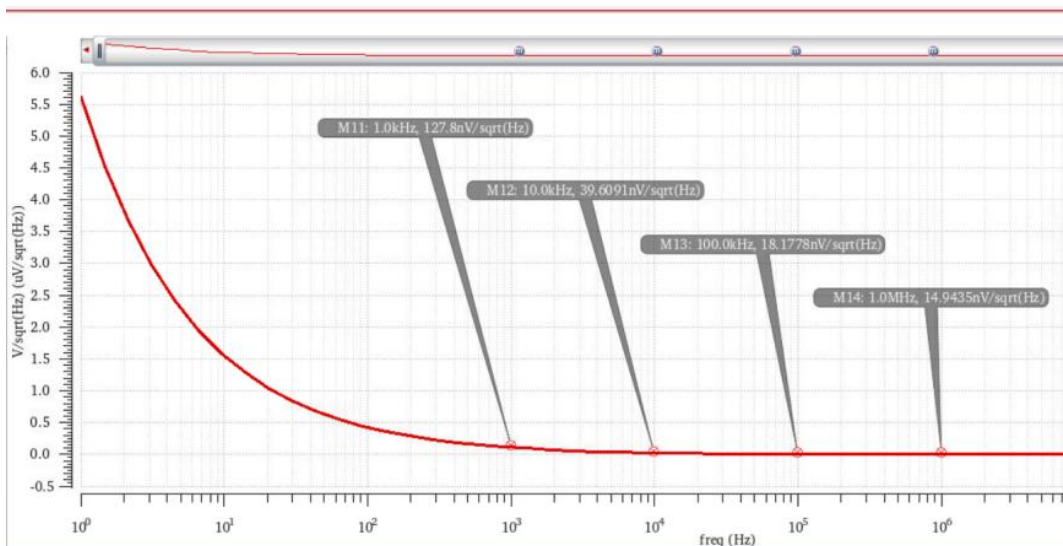


图 15 设计 2 的等效输入噪声

Device	Param	Noise Contribution	% Of Total
/I4/M1	fn	5.02275e-10	21.87
/I4/M0	fn	4.97129e-10	21.65
/I4/M40	fn	4.85946e-10	21.16
/I4/M45	fn	4.85808e-10	21.15
/I4/M50	fn	1.46074e-10	6.36
/I4/M51	fn	1.44636e-10	6.30
/I4/M1	id	7.26392e-12	0.32
/I4/M0	id	7.1895e-12	0.31
/I4/M40	id	4.82512e-12	0.21
/I4/M45	id	4.82376e-12	0.21

Spot Noise Summary (in V<sup>2</sup>/Hz) at 1K Hz Sorted By Noise Contributors  
Total Summarized Noise = 2.29662e-09  
Total Input Referred Noise = 1.63328e-14  
The above noise summary info is for noise data

图 16 设计 2 的噪声贡献分析

PMOS 输入晶体管 M40 和 M45、NMOS 尾电流源 M0 和 M41 的噪声贡献，占据整体噪声的~86%，在后续设计中，可以做相应的优化。

#### (4) 仿真结果分析

	设计 1	设计 2
$W_{total,inp}$ (um)	30.8	50.4
$L_{inp}$ (nm)	280	280
Mid-band gain (dB)	53	46
GBW (MHz)	37.082	37.015
Phase Margin (deg)	82.38	67.75



$C_L \approx C_2$ (pF)	2	1
$I_{BIAS}$ (uA)	17.6	9
Total $I_{DC}$ (uA)	109.7	54.83
$V_{DC}$ (V)	2	2
POWER (uW)	219.4	109.66
Noise at 1kHz ( $V^2/Hz$ )	157.8	127.8

两种设计都可以达到所要求的 GBW=37MHz，但他们都有自己的优缺点。

对于设计 1，我们的 CL 较大，更加符合实际情况，并且由于输出级负载晶体管几乎都处于饱和的状态，直流增益较高，但由于我们选择了较高的电流密度，设计尺寸减小的同时，功率非常大。

对于设计 2，在较小的电流密度下，不仅功率十分可观，是设计 1 的一半，并且输入参考噪声电压下降了 20%左右。但较小的电流密度不仅让我们的尺寸限制在较高的数值，还影响了输出级负载晶体管的工作点，一定程度上让直流增益减小了。同时不可否认的是，如果在实际电路设计中，选择了较小的 CL，可能增加下一级的设计难度。

如果能够借助 MATLAB 绘制出 Id，GBW 分别与 W 的关系，或许可以得到一个适合的 Id，更好地解决折衷问题，用最小的代价获得最好的结果

我选择了我的设计 2 向下进行版图的绘制和参数的提取。

### 三、Layout 设计与 DRC、LVS 和 PEX

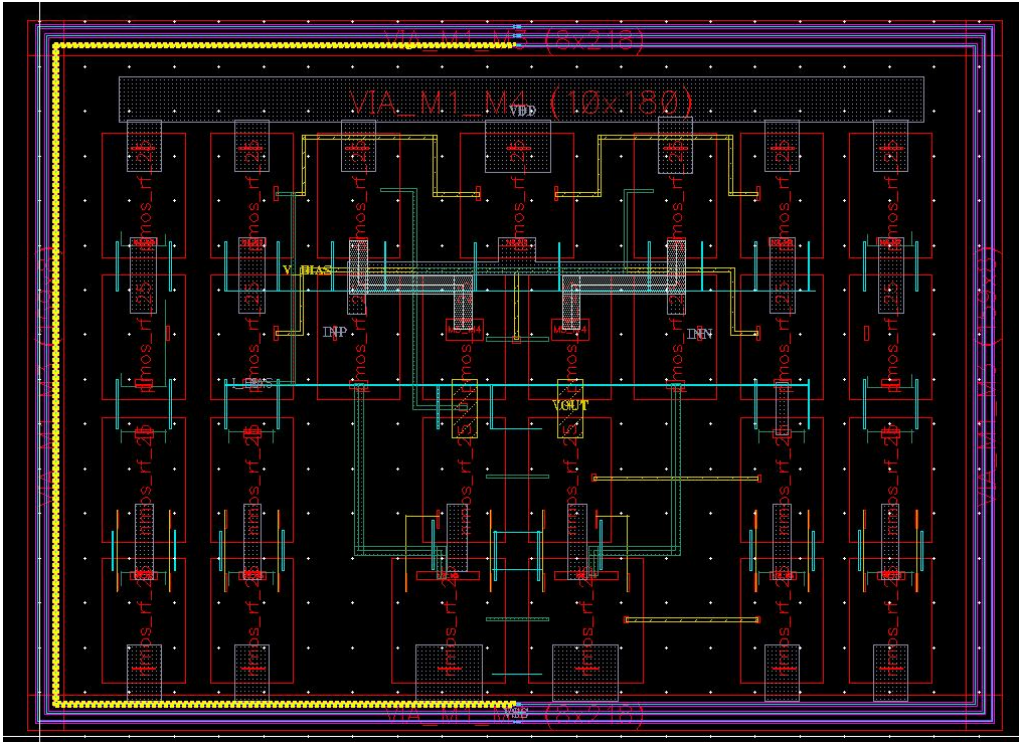




图 17 Layout 设计

Calibre - RVE v2020.3.16.11: folded\_cascode.drc.results

File View Highlight Tools Window Setup Help

Filter: Show All 6220 Results (in 46 of 50 Checks)

Check / Cell	Results
Check OD.DN.1	1
Check DOD.R.1	1
Check POD.N.1	1
Check POR.8	36
Check DPO.R.1	1
Check MS.DN.1	1
Check M6.DN.1	1
Check M7.DN.1	1
Check M8.DN.1	1
Check M9.DN.1	1
Check M9.DN.2	1
Check CSR.R.1.DNW	27
Check CSR.R.1.NW	26
Check CSR.R.1.OD_25	27
Check CSR.R.1.PPI	31
Check CSR.R.1.NPI	39
Check CSR.R.1.COI	1000
Check CSR.R.1.RFDMV	26
Check CSR.R.1.M1	335
Check CSR.R.1.M1_real	335
Check CSR.R.1.M2	351
Check CSR.R.1.M2_real	351
Check CSR.R.1.M3	159
Check CSR.R.1.M3_real	159
Check CSR.R.1.M4	29
Check CSR.R.1.M4_real	29
Check CSR.R.1.M5	2
Check CSR.R.1.M5_real	2
Check CSR.R.1.VIA1	1000
Check CSR.R.1.VIA2	1000
Check CSR.R.1.VIA3	1000
Check CSR.R.1.VIA4	80
Check CSR.R.1.ODI	89
Check CSR.R.1.FOI	85
Check APR.1	1
Check DM1.R.1	1
Check DM2.R.1	1
Check DM3.R.1	1
Check DM4.R.1	1
Check DM5.R.1	1
Check DM6.R.1	1
Check DM7.R.1	1
Check DM8.R.1	1
Check DM9.R.1	1

DRC Summary Report - folded\_cascode.drc.summary

File Edit Options Windows

```

=====
--- CALIBRE: DRC-H SUMMARY REPORT
---
Execution Date/Time: Wed Jul 5 00:23:39 2023
Calibre Version: v2020.3.16.11 Wed Jul 1 14:09:50 PDT 2020
Rule File Pathname: /home/lxx/Research/TSMC_65nm_GP/DRC/_CLN65S_9M_6X12IU
Rule File Title:
Layout System: folded_cascode.calibre.db
Layout Path(s): folded_cascode
Layout Primary Cell: folded_cascode
Current Directory: /home/lxx/Research/TSMC_65nm_GP/DRC
User Name: lxx
Maximum Results/RuleCheck: 1000
Maximum Result Vertices: 4096
DRC Results Database: folded_cascode.drc.results (ASCII)
Layout Depth: ALL
Text Depth: PRIMARY
Summary Report File: folded_cascode.drc.summary (REPLACE)
Geometry Flagging: ACUTE = YES SKIW = YES ANGLED = NO OFFGRID = YES
NONSIMPLE POLYGON = YES NONSIMPLE PATH = YES

Excluded Cells:
CheckText Mapping: ALL TEXT
Layers: MEMORY-BASED
Keep Empty Checks: NO

--- RUNTIME WARNINGS

```

图 18 DRC 运行结果

获得的报错结果均可以 Waive。

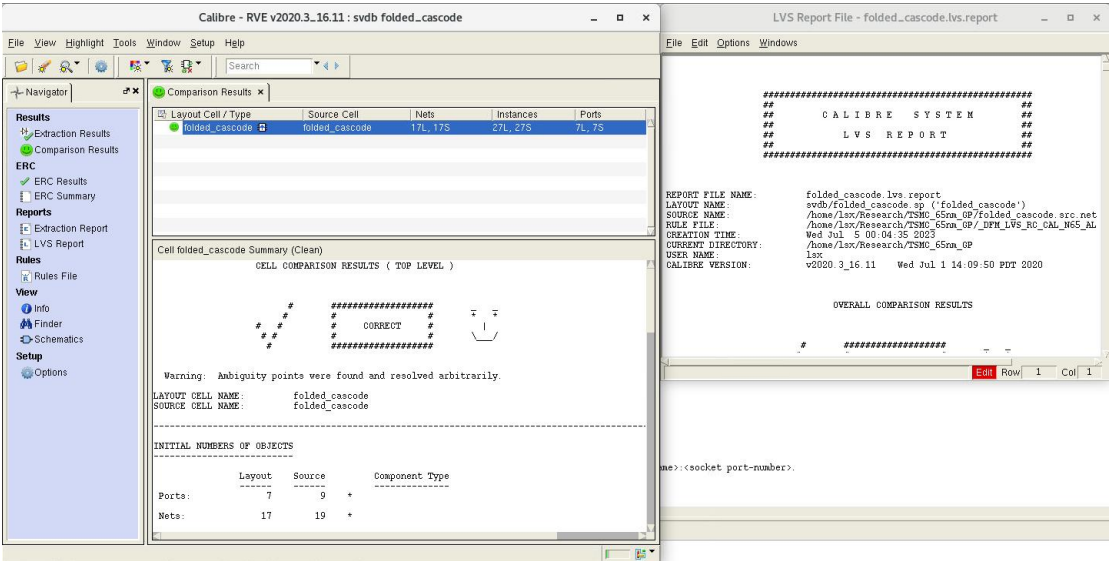


图 19 LVS 运行结果

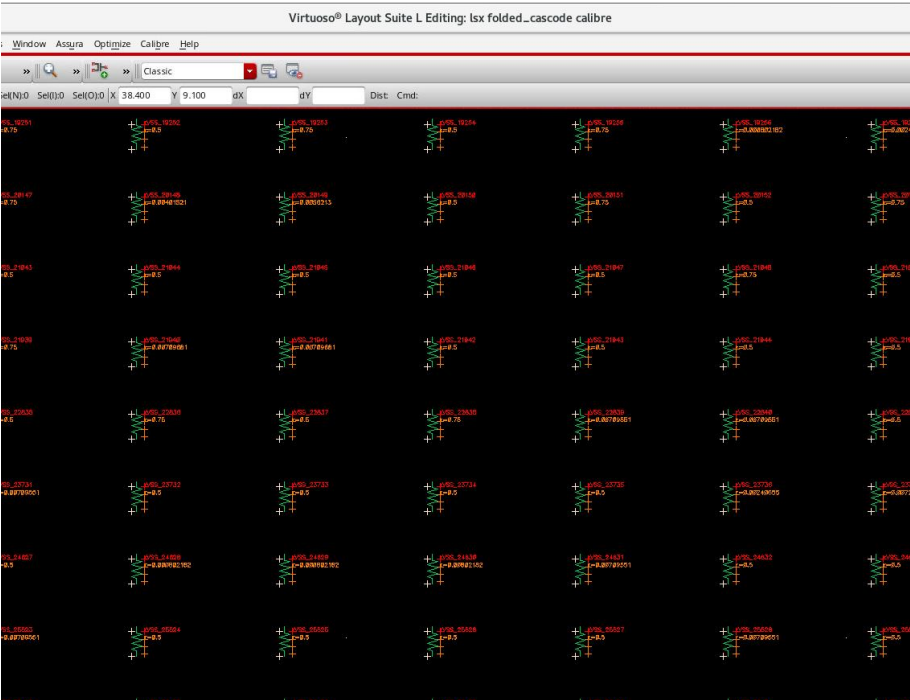


图 20 PEX 参数提取

Test	Output	Nominal	Spec	Weight	Pass/Fail
Isx:cascode_tb:1	gain				
Isx:cascode_tb:1	phase				
Isx:cascode_tb:1	IDC	54.83u			
Isx:cascode_tb:1	GBW	36.01M			
Isx:cascode_tb:1	PM	67.75			
Isx:cascode_tb:1	/V3/PLUS				
Isx:cascode_tb:1	/V3/MINUS				
Isx:cascode_tb:1	/V4/MINUS				
Isx:cascode_tb:1	/I4/VDD				

图 21 后仿真测试结果



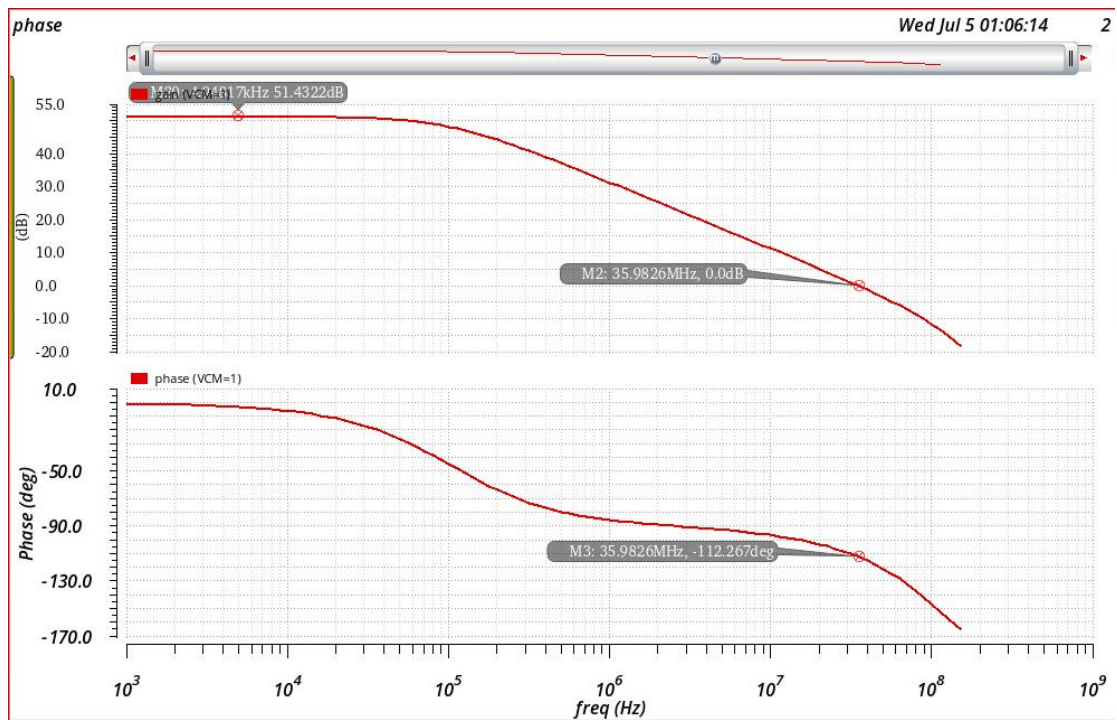


图 22 后仿真的幅频特性曲线和相频特性曲线

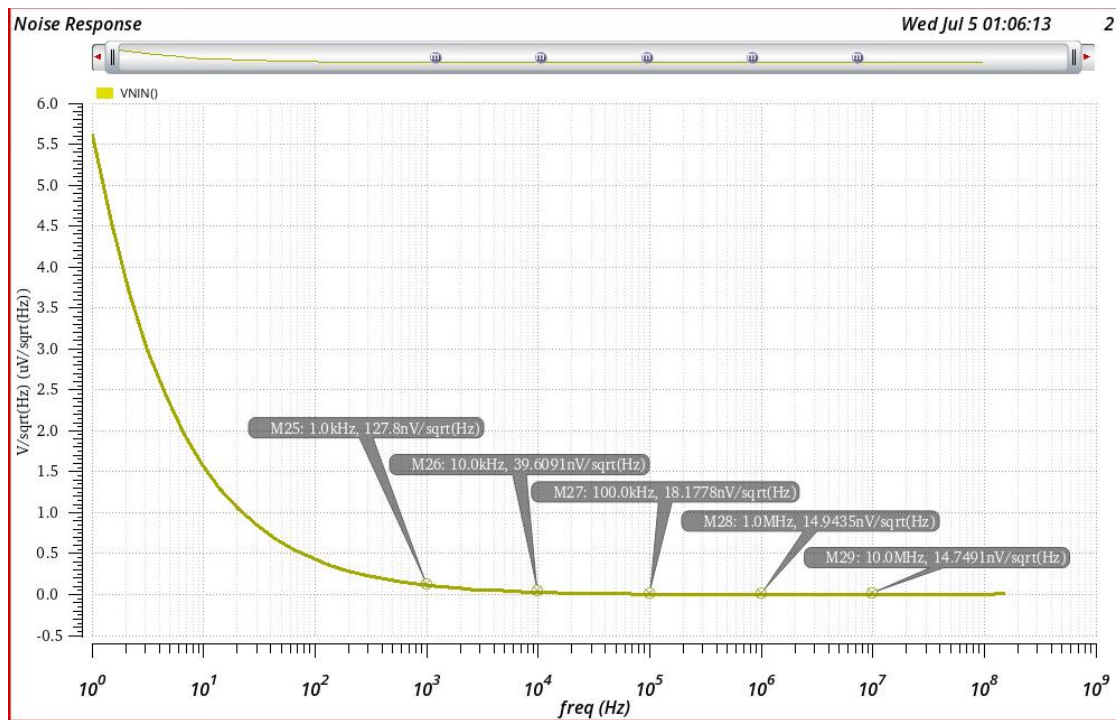


图 23 后仿真的等效输入噪声

可以看到，电路的频率较低，因此参数提取的电路性能影响较小。



## 五、总结与感想

本电路用 TSMC 65nm 工艺 2.5V 器件，实现了 37MHz 带宽的折叠共源共栅放大器，供电电压为 2V，电流为 54.83uA，功耗 109.66uW。

在本次实训中，我体会了模拟电路设计的整个流程。因为电路的设计要求并不严苛，我在电路设计上花费的时间较少，在版图设计上花费的时间较多。特别是对于 LVS 的测试，我经过了很多天的修改，才能得到通过的结果。经过多次的修改和摸索，我熟悉了如何一步步解决报错，每种错误都意味着什么。我得到的经验是：最好直接使用从原理图获得的器件和 pin，不要从工艺库调用放置，因为这样很容易造成无法识别；因为模拟集成电路的设计走线和元件尺寸都较小，一定要放到最大观察是否已经连接；要善用不同层的视图，防止短路。