**计算机体系结构实验课程第 二 次实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | 乘法器改进版 | | | 班级 | 张金老师 |
| 学生姓名 | 袁田 | 学号 | 2314022 | 指导老师 | 董前琨 |
| 实验地点 | 实验楼A308 | | 实验时间 | 2025.3.21 | |

**1.实验目的**

(1)理解定点乘法的不同实现算法的原理，掌握基本实现算法。

(2)熟悉并运用verilog语言进行电路设计。

(3)后续设计cpu的实验打下基础。

**2.实验内容说明**

针对组成原理第二次的乘法法器实验进行改进，要求：

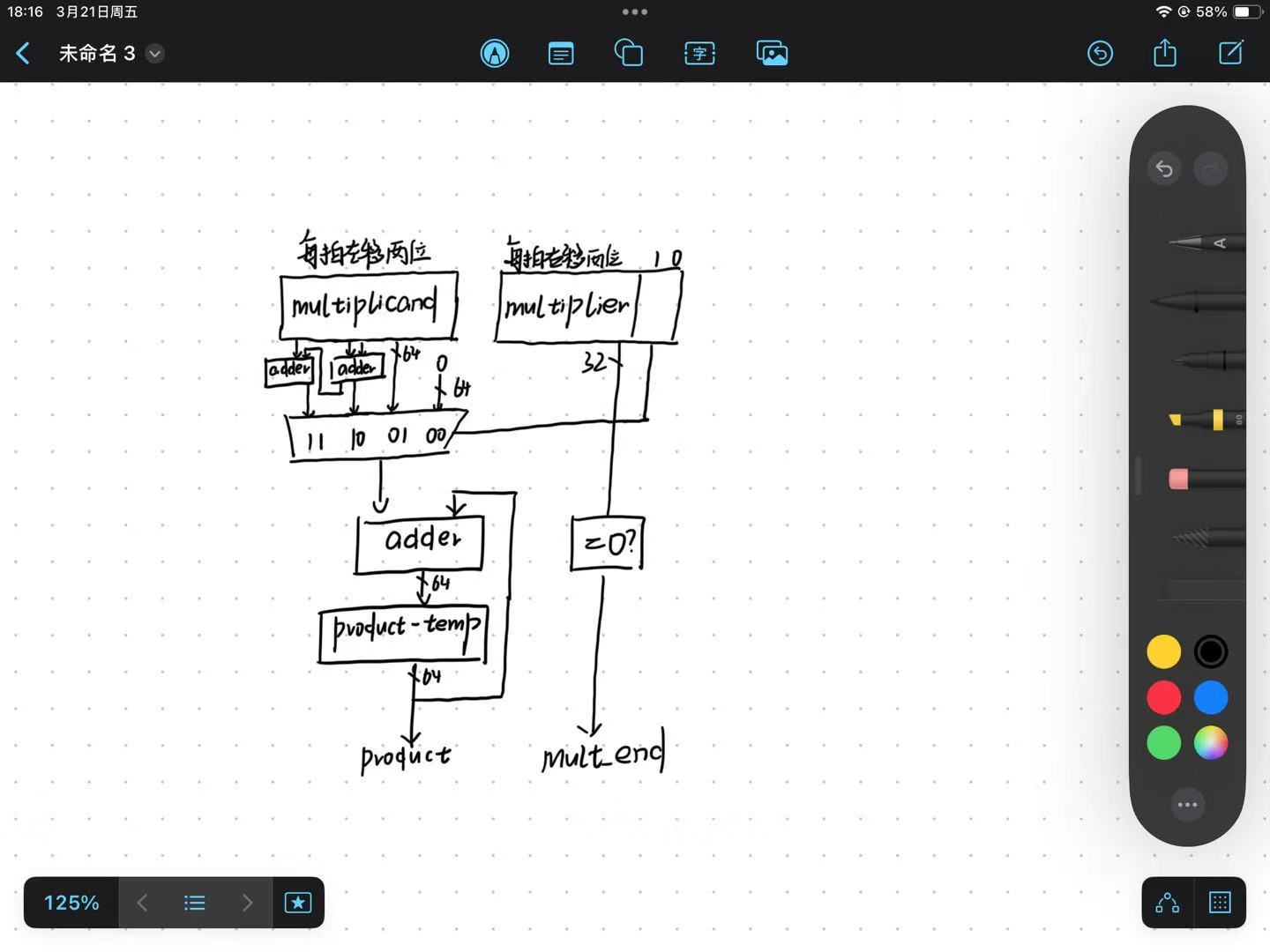
(1)将原有的迭代乘法改进成两位乘法，即每个时钟周期移位移两位，以提高乘法效率。

(2)将改进后的乘法器进行仿真验证

(3)将改进后的乘法器进行上实验箱验证，上箱验证时调整数据不在前4格显示

(4)实验报告中的原理图为迭代乘法的算法图，不再是顶层模块图

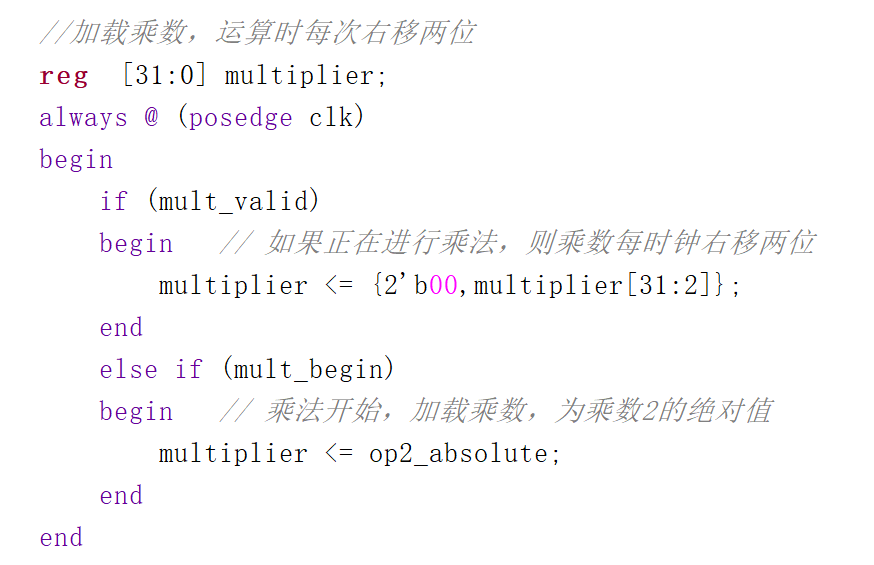
**3.实验原理图**

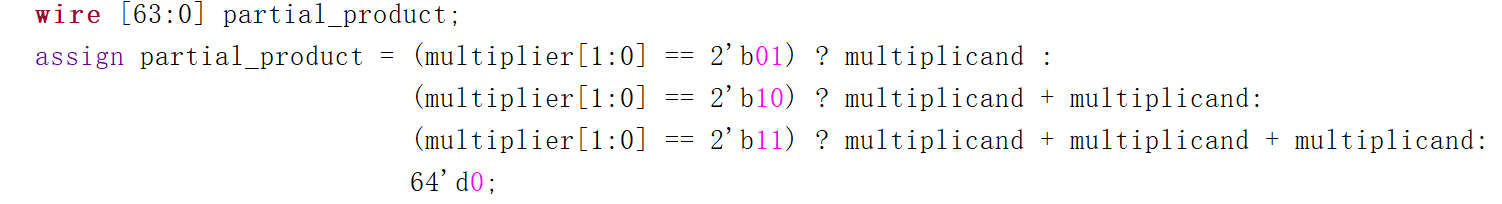


大体上不进行修改，仅有部分积的计算部分有稍微修改，此处利用了adder模块，实现了乘数在后两位为10和11时，部分积等于两倍和三倍被乘数的操作

**4.实验步骤**

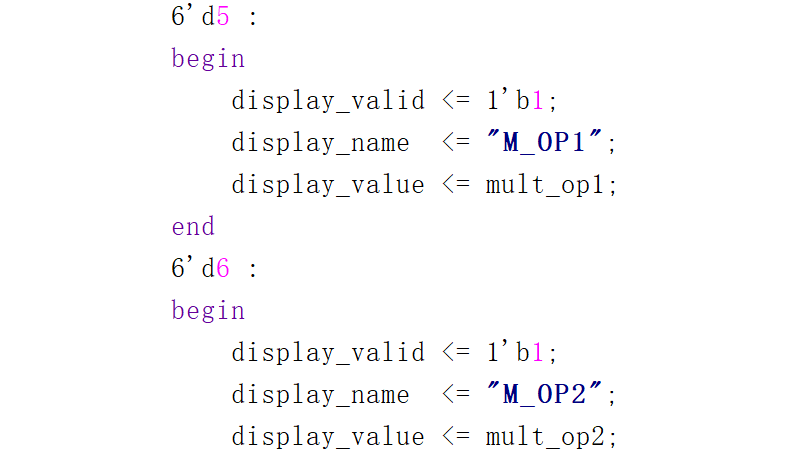
(1)在multiply模块中加载被乘数和乘数时，从之前的每次左移或右移一位，变为移动两位，具体代码如下：



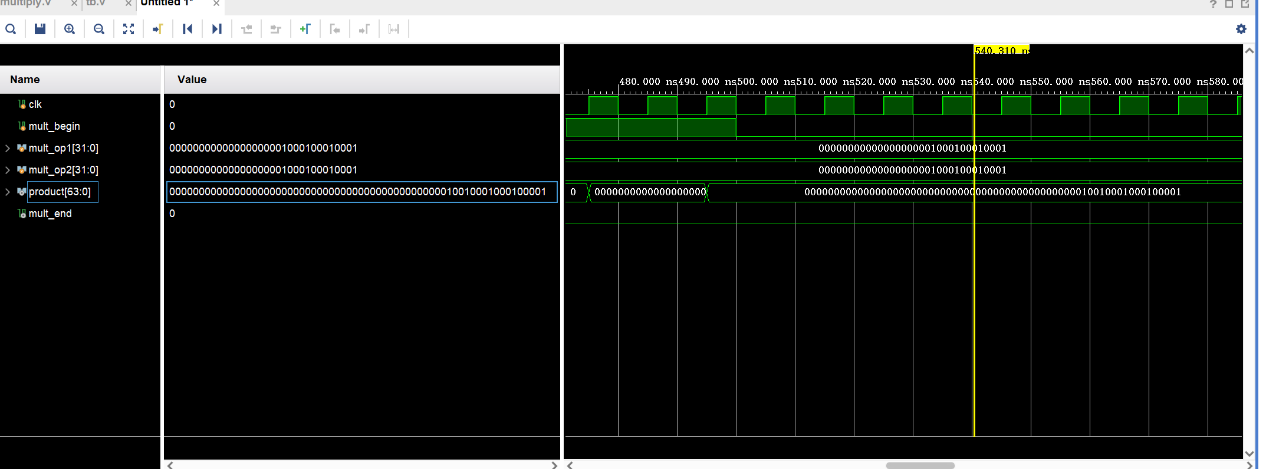
(2)在multiply模块中，修改部分积的计算方式，由于目前为移动两位，则相比于之前的看乘数最后一位是零则部分积为零，是一则部分积为被乘数，修改为：

在此简单解释一下部分积的原理：

由于部分积相当于乘数每一部分和被乘数进行运算的结果，以被乘数110和乘数101进行一步移位操作为例，第一次部分积为110\*1=110(实际进行中由于无乘法操作，使用的是逢一加被乘数，逢零加零的操作)，于是被乘数加上此时部分积：110+110=1100；第二次部分积为1100\*0=0，于是被乘数加上此时部分积为1100+0=1100。。。。。。依次进行。现在，由于移位操作变为两位，部分积变为乘数后两位与被乘数进行运算：若后两位为00，则部分积相当于00与被乘数相乘得0，若后两位为11，则部分积相当于11与被乘数相乘为3倍的被乘数。

(3)由于实验要求**上箱验证时调整数据不在前4格显示,**则对multiply\_display进行修改。使数据显示于第五格至第八格。

**5.实验结果分析**

(1)仿真结果如下：****

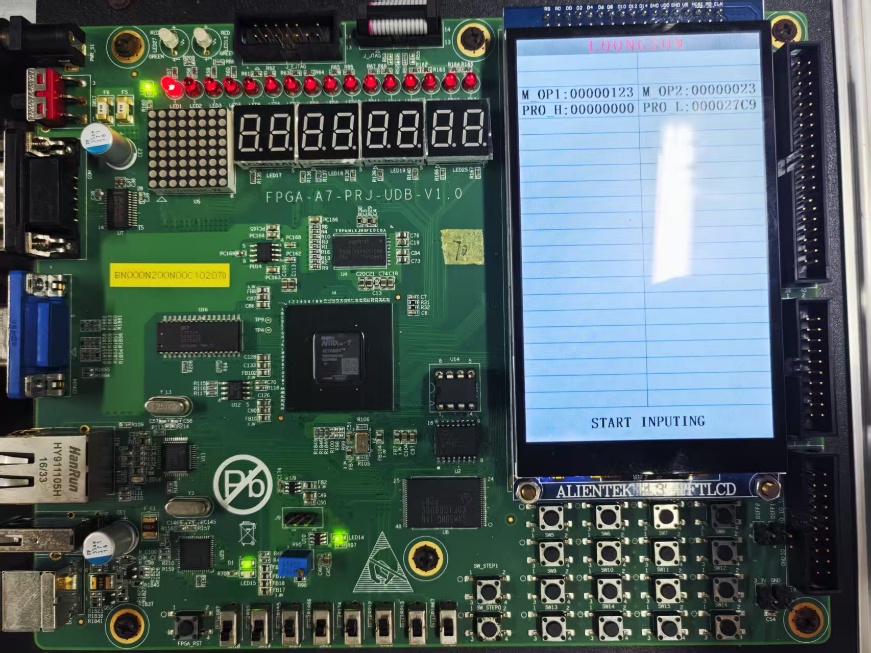
为便于确定结果是否正确将数据均设置为二进制数，

此时被乘数mult\_op1为1000100010001，

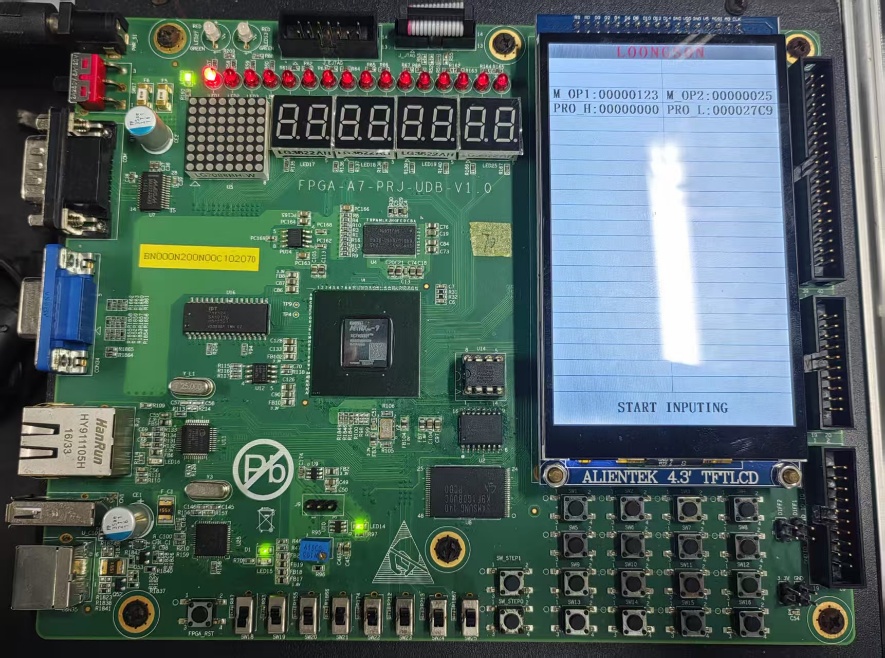
乘数mult\_op2为1000100010001，

输出结果product为10001000100001

结果正确

(2)实验箱运行结果如下：

拨码开关中，第一个开关控制此时输入的数值为M\_OP1还是M\_OP2；第二个开关控制是否进行乘法运算。此时M\_OP1为123，M\_OP2为23，均为16进制数，运算结果为27C9，结果正确。



若第二个开关为0，则不进行乘法运算操作。

此时M\_OP1为123，M\_OP2为25，而运算结果保持为27C9，则说明未进行乘法运算操作，和模块设计情况符合

**6.总结感想**

通过本次实验，我了解了多位数乘法的本质操作，即多位数乘法的实质为乘数各位数依次进行乘法操作，最后将结果相加。并且通过本次实验，对于vivado的使用和verilog语言有了更深刻的理解。