## 國立金門大學試卷紙

(○) 學年度□第1學期□第2學期 試別:	□期中考☑期末考	計□平時考 部別:☑	日間部□進修部
班級:_翼工二_科目: 条统程式 姓名:	<u>陳</u> + 茵 學號	:	
(上列各欄除"得分'	"一欄外考生務必填寫	清楚。)	
* CPLIO			
· 32 bits 處理器		* 12	7 , 7
· 19 18 Registers	/ 1 to		
- 唯讀 的常数暂存器 RO 千和	走常數 零.		
- 可存取暫存說 R1 ~ R15. ◆	- 通用型 暫存器	1、儲存運算資料	ex = ADD R1, R2, R3
/ R1= 5W	(Status Word)	狀態 暫存器	17, 4 R2+B
特/ R13 = SP	(Stack Pointer)	性聖暫な光	申挥参数 来源参
例 R14 = LR	(Link Register)	連結暫存器	
達. Ric. = PC	( Program Count	ter)程寸計數式	
- 架構圖	U		
	暫存器單元		
	$R_0 = 0$		
	- R <sub>1</sub>		
	RIZ = SN		
	R13 = 5P		
	R14 = LR. R15 = PC	指令暂存器	
ALLI			on Register)
九、減、乗、降	IR.	储存指定的	· Register) 概概為
· 路 P		0 Bus 12) ±	3 Ta - + 41=
品 Bus 傳應資料		- Pus PJ 5	The Mic of the
華度較快.   控制單元十 Control Unit	新出入	学之 一 存取	
(CPU的指挥者)自動探控。	MAR		退 MAR, MDR,
IR, MAR, MDR.	A11 1 .	ľ	平梯收,速度較慢
(無該透過組令語言存取			
地名的高克斯特工口中的西南西西南西山的		。: 與庭流耕溝通	
軍算類型、並控制資料傳遞			
根據 SW 決定是否要追 绗 跳 禮 新作 (Ric).	MDR (Memory	y Pata Register)	記憶體質料都存於
-馬纽曼架構. Computer = CPU-	+ Memory + Bus	+ Output + Input	
Von Neumann Architecture.			

一個指令的執行過程: 程表、解碼, 執行 階段一: 提取 IR = [PC] 新作1, 提取指令 PC=PC+4 下前進到下一個指定) 傳到資料随流排上. 新作工、更新针数哭。 ® CPU會特資料題流排. 階段二三 解碼 指生储存到政当 控制單元對环途行解碼後 斩作3、解碼 設定資料流向開開與 ALU 的運算模式 节节 取 三 · 執行 資料施入ALU, 经温運算後, 流回指定的暂存器 新作 · 執行