

**СКВОЗНОЕ ПРОЕКТИРОВАНИЕ
ФУНКЦИОНАЛЬНЫХ УЗЛОВ РЭС
НА ПЕЧАТНЫХ ПЛАТАХ
В САПР ALTIUM DESIGNER 6**

Санкт-Петербург
2009

Федеральное агентство по образованию
Санкт-Петербургский государственный электротехнический
университет “ЛЭТИ”

В. Ю. СУХОДОЛЬСКИЙ

**СКВОЗНОЕ ПРОЕКТИРОВАНИЕ
ФУНКЦИОНАЛЬНЫХ УЗЛОВ РЭС
НА ПЕЧАТНЫХ ПЛАТАХ
В САПР ALTIUM DESIGNER 6**

Учебное пособие
Часть 2

Санкт-Петербург
Издательство СПбГЭТУ “ЛЭТИ”
2009

УДК 621.396.6.001.66 (075)

ББК 3 844:1–02–5–05я7

С 89

Суходольский В. Ю.

С 89 Сквозное проектирование функциональных узлов РЭС на печатных платах в САПР Altium Designer 6.: Учебное пособие. Часть 2. СПб.: Изд-во СПбГЭТУ “ЛЭТИ”, 2009. 108 с.

ISBN 5 – 7629 – 0895 – X

Рассматривается одно из ключевых свойств Altium Designer 6, ставящее его в ряд высокотехнологичных интегрированных САПР – выполнение в интегрированной среде Altium Designer проекта цифрового радиоэлектронного функционального узла на программируемых логических интегральных схемах (ПЛИС). Рассматриваются также вопросы формирования рабочей конструкторской документации и управляющей информации для автоматизированного производственного оборудования.

Предназначено для студентов направлений 210200 “Радиотехника” и 210201 “Проектирование и технология электронных средств”, а также может быть полезно инженерам и конструкторам НИИ и КБ радиоэлектронного профиля.

УДК 621.396.6.001.66 (075)

ББК 3 844:1–02–5–05я7

Рецензенты: кафедра ТиМ СПбГУТ им. проф. М. А. Бонч-Бруевича; д-р техн. наук, проф. П. П. Бескид (Российский государственный гидрометеорологический университет).

Утверждено

редакционно-издательским советом университета

в качестве учебного пособия

ISBN 5 – 7629 – 0895 – X

© СПбГЭТУ “ЛЭТИ”, 2009

ВВЕДЕНИЕ

В предлагаемой вниманию читателя 2-й части учебного пособия “Сквозное проектирование функциональных узлов РЭС в САПР Altium Designer 6” рассматриваются функции программы, не нашедшие освещения в части 1-й. Прежде всего, это выполнение в интегрированной среде Altium Designer проекта цифрового радиоэлектронного функционального узла на программируемых логических интегральных схемах (ПЛИС). Наличие такой возможности ставит Altium Designer 6 в ряд с совсем немногими высокотехнологичными САПР: Allegro, Mentor Graphics Leonardo Spectrum, Zuken Cadstar CR-5000.

Вслед за этим рассматриваются функции экспорта результатов проектирования в системы технологической подготовки производства и формирования рабочей конструкторской документации.

В заключение рассматриваются вопросы выпуска рабочей конструкторской документации, полученной при экспорте проекта Altium Designer, в среде конструкторской САПР AutoCAD.

Ввиду ограниченного объема приходится отложить на будущее освещение еще одной важной группы функций Altium Designer 6, а именно функций схемотехнического SPICE- и XSPICE-моделирования, а также моделирования паразитных эффектов в печатном монтаже – так называемого анализа “целостности сигнала” (Signal Integrity) – эффекта искажений на фронтах импульсов в быстродействующих логических функциональных узлах из-за отражений и паразитных наводок внутри печатной платы.

8. ПРОЕКТ ПЛИС

Достижения технологии интегральных микросхем обеспечили такой рост степени интеграции, что оказалось возможно выполнить в одной микросхеме сложную цифровую систему с так называемой жесткой логикой, ориентированную на выполнение единственной задачи обработки данных.. Интегральная микросхема, выполненная таким образом, в западной инженерной лексике определяется аббревиатурой ASIC – Application-Specific Integrated Circuit – интегральная схема, ориентированная на конкретное приложение.

Дальнейшее развитие технологии и увеличение степени интеграции привело к разработке микро-ЭВМ и микроконтроллеров, включающих встроенную память, узлы логической, арифметической обработки и синхрониза-

ции. Такие устройства могут программироваться для выполнения задач цифрового управления процессами в широком спектре инженерных приложений.

В обоих этих случаях внутренняя структура таких микросхем является жесткой, не подлежащей модификации применительно к приложению. Они нуждаются только во вводе данных в необходимом формате и выводе результата обработки на исполнительные или индикаторные устройства. С точки зрения конструкторского проектирования проект функциональных узлов на их основе является рассмотренным в первой части нашего учебного пособия проектом печатной платы (PCB Project).

Параллельно с индустрией ASIC-микросхем и микроконтроллеров развивается индустрия микросхем, функции которых программируются пользователем под его конкретное приложение. Внутренняя структура таких микросхем представляет собой матричное поле элементарных логических вентилей или логических блоков, входы и выходы которых выходят на внутренние магистрали и могут коммутироваться под воздействием электрических сигналов, образуя логическую структуру, обеспечивающую выполнение задачи пользователя. Идеология такого построения логических и вычислительных устройств восходит к началу 60-х гг. XX столетия [1], когда на рынке только появились первые интегральные микросхемы, а микросхем высокой степени интеграции вообще еще не существовало. С развитием технологии микросхем появилась возможность практической реализации этих идей. В западной инженерной лексике интегральные схемы программируемой логики обозначаются по-разному, в зависимости от технологии выполнения коммутации на внутренних магистралях микросхемы:

- CPLD – Complex Programmable Logic Device – сложные программируемые логические устройства, исторически появившиеся первыми, как правило, с одноразовым программированием по типу “прожига” ПЗУ;
- EPLD – Electrically Programmable Logic Device – электрически перепрограммируемые логические микросхемы;
- FLASH PLD – микросхемы, внутренняя коммутация которых может многократно перепрограммироваться с использованием ФЛЭШ-технологии;
- FPGA – Field Programmable Gate Array – микросхема, внутренняя коммутация в которой перепрограммируется под воздействием электростатического поля на МДП-транзисторы с изолированным затвором, выполненные на пересечениях линий внутренних магистралей.

В отечественной лексике давно установился схожий по смыслу термин ПЛМ – программируемая логическая матрица. В последние годы этот термин уступил место новому – ПЛИС – программируемая логическая интегральная схема. В этих аббревиатурах отсутствует указание на технологию выполнения внутренней коммутации.

Следует также отметить, что программируемой может быть не только цифровая, но и аналоговая или аналого-цифровая микросхема. Некоторые производители, в частности фирма Cypress Semiconductors (США), выпустили на рынок и такие микросхемы.

В настоящий момент достижения в технологии программируемых интегральных микросхем настолько высоки, что позволяют в одном кристалле ИС реализовать сложные устройства обработки информации, включающие процессорное ядро, постоянную и оперативную память, узлы интерфейсной логики и управления периферийными устройствами.

Разработка проектов на основе ПЛИС невозможна без развитых программных средств САПР, предназначенных для программирования внутренней структуры ПЛИС под задачу пользователя. Такие средства были разработаны ведущими производителями ПЛИС – фирмами Altera, Atmel, Actel, Xilinx – каждой под свое семейство ПЛИС. Эти системы проектирования обладают развитыми средствами ввода исходных данных. К этим средствам относятся:

- привычный радиоинженеру графический ввод данных в среде встроенного схемного редактора в виде логической схемы устройства (Graphical Design File);
- ввод временных диаграмм логических сигналов на входах и выходах устройства в среде встроенного редактора “форм волны” (Waveform Editor);
- ввод описания логики на специально разработанных HDL-языках программирования высокого уровня – так называемых языках описания аппаратуры (Hardware Description Languages);
- комбинированный ввод: часть данных вводится в виде схемы, часть в виде временных диаграмм, часть – в конструкциях HDL-языка;
- ввод описания логики в формате специального языка обмена данными с “электронными” САПР общего назначения (P-CAD, OrCAD и др.).

Все эти специализированные средства разработки и программирования внутренней логики ПЛИС [2] не позволяют выполнить сквозной проект радиоэлектронного функционального узла с использованием ПЛИС, поскольку

конечным результатом их работы чаще всего являются карта разводки входных и выходных логических сигналов на электрические контакты выбранной микросхемы ПЛИС, результаты моделирования логики и файлы управляющей информации для компьютера или для специализированного программатора, под действием которого выполняется коммутация внутренних логических блоков ПЛИС.

Производители “электронных” САПР общего назначения предпринимают попытки разработать интегрированную среду, позволяющую выполнить сквозной проект радиоэлектронного функционального узла на ПЛИС. В качестве примеров могут быть упомянуты интегрированные САПР Mentor Graphics Leonardo Spectrum, Allegro фирмы Cadence Design Systems (развитие OrCAD).

Такую же интегрированную среду представляет рассматриваемая здесь САПР Altium Designer 6. Эта среда позволяет образовать иерархию проектов, верхним уровнем которой является рассмотренный в 1-части настоящего пособия проект печатной платы (PCB-проект).

В рамках PCB-проекта определяется “окружение” ПЛИС – компоненты, которые необходимы для нормальной работы проектируемого функционального узла, но не включаются в состав имеющихся на рынке микросхем ПЛИС (кварцевые резонаторы задающих генераторов, резисторы, конденсаторы, микросхемы АЦП, конфигурационные ПЗУ, электрические соединители и т.п.). Поскольку концепция ПЛИС предполагает, что пользователь программирует внутреннюю логику кристалла под свою задачу, библиотечные элементы ПЛИС поставляются с пакетами САПР в виде “болванок”: на схемном УГО (рис. 1.1) обозначены только цоколевочные номера и электрический тип выводов микросхемы (входные, выходные, выводы для подключения питания и земли, входы тактового сигнала, входы для загрузки программы коммутации внутренней логики ПЛИС и т.п.).

Таким образом, уже на начальной стадии разработки PCB-проекта наступает момент, когда следует выполнить подчиненный FPGA-проект внутренней логической структуры ПЛИС. Заложенные в Altium Designer 6 средства выполнения FPGA-проекта позволяют:

- составить файлы исходных данных для проектирования внутренней логики ПЛИС в виде привычной радиоинженеру принципиальной схемы или в виде описания логики на языке описания аппаратуры VHDL;

- промоделировать работу логики ПЛИС с помощью встроенного логического анализатора;
- указать тип конкретной микросхемы от одного из известных мировых производителей и ввести специальные файлы привязок (Constraints), устанавливающие связь логической схемы проекта и выбранной ПЛИС;

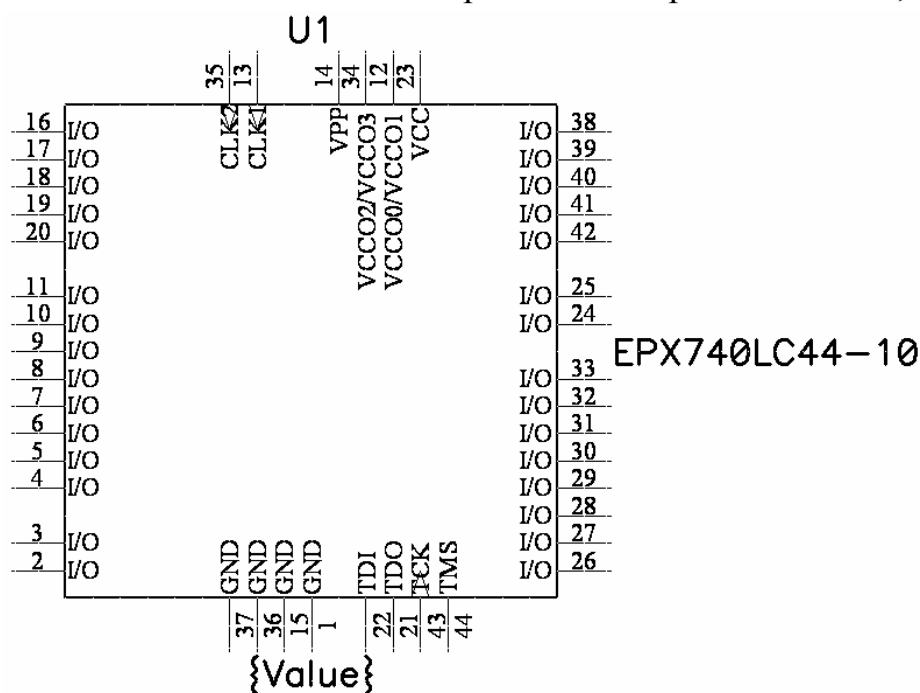


Рис. 8.1

- откомпилировать проект как это принято при выполнении проектов остальных типов;
- конвертировать данные проекта в обменный формат EDIF для передачи в специализированную среду проектирования внутренней коммутации логических связей на кристалле ПЛИС выбранного семейства, поставляемую фирмой-производителем ПЛИС (Vendor Tools);
- запрограммировать коммутацию внутренних логических связей и вывод входных и выходных логических сигналов на predetermined для этого выводы выбранной микросхемы в специализированной среде проектирования;
- установить выбранную микросхему ПЛИС и отладить логику на подключенной к параллельному порту компьютера отладочной панели Nano-Board (поставляется по отдельному заказу);
- сгенерировать файлы управляющей информации для выполнения коммутации в выбранной ПЛИС.

После выполнения рассмотренных операций запрограммированная ПЛИС возвращается в проект верхнего уровня иерархии, включается как

обычный компонент в документ схемного редактора Altium Designer 6, и оставшиеся этапы разработки выполняются как обычный РСВ-проект.

Отметим, что в иерархию РСВ-проекта может войти несколько FPGA-проектов, если проектируемый функциональный узел выполняется на нескольких ПЛИС. В свою очередь, в иерархию FPGA-проекта могут входить один или несколько “встроенных” проектов программного обеспечения (Embedded Project), если на ПЛИС реализуется процессорное ядро микроконтроллера или микро-ЭВМ, программируемой под задачу пользователя.

Библиотечное обеспечение FPGA-проектов включает библиотеки базовых логических узлов, из которых строится схема проектируемого устройства, и ряд логических прототипов широко распространенных 16- и 32-разрядных микроконтроллеров.

8.1. Формирование нового проекта ПЛИС.

Проект функционального узла, выполняемый на ПЛИС в среде Altium Designer 6, называется FPGA Project*. Файлу оболочки проекта назначается имя с предопределенным расширением *.PrjFpg.

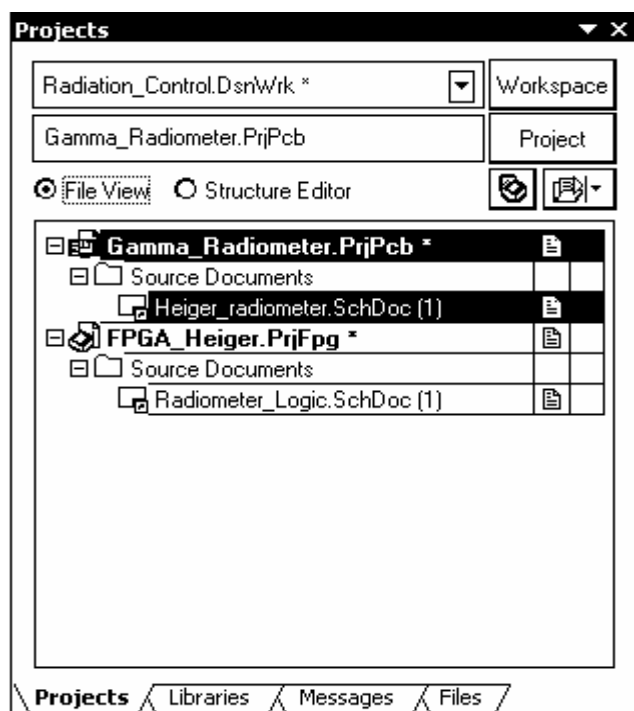


Рис. 8.2

Для образования нового проекта ПЛИС следует:

- в правом нижнем углу главного окна программы указать команду-закладку System и активизировать в контекстном меню плавающую панель Files;
- в поле New панели Files активизировать команду Blank Project (FPGA);
- автоматически открывается плавающая панель Projects (рис. 8.2), содержащая предопределенное по умолчанию имя нового проекта FPGA_Project1.PrjFpg.

* Документ Getting Started with FPGA Design.pdf. Tutorial TU0116 (v1.5), November 28, 2005.

Аналогичный результат достигается, если активизировать в главном меню программы цепочку команд: File>>New>>Project>>FPGA Project.

Щелчком правой клавиши мыши на имени проекта активизировать контекстное меню, указать в нем команду Save Project As и переименовать новый проект, присвоив ему имя, соответствующее функциональному назначению или другим отличительным особенностям разработки

В дальнейшем изложении мы попытаемся осветить основные моменты разработки FPGA-проекта на примере узла цифровой регистрации гамма-радиометра – прибора для измерения интенсивности радиоактивного гамма-излучения на основе газразрядного счетчика Гейгера-Мюллера. Электрическая структурная схема такого регистратора приведена на рис. 8.3. Прибор состоит из:

- источника первичного питания – гальванической или аккумуляторной батареи;
- преобразователя питания счетчика Гейгера, вырабатывающего постоянное напряжение 400 В;
- кварцевого задающего генератора, обеспечивающего тактирование работы всей схемы;
- цифрового таймера, формирующего временные интервалы, в течение которых газоразрядным счетчиком Гейгера-Мюллера или детектором другого типа регистрируется определенное число гамма-квантов, достаточное для получения отсчета интенсивности излучения с заданной точностью;
- четырехдекадного двоично-десятичного счетчика импульсов с дешифраторами двоичного кода в коды управления разрядами семисегментного жидкокристаллического индикатора в каждой декаде;

в зависимости от выбора конкретного семейства и микросхемы ПЛИС для реализации проекта схема может включать конфигурационное ПЗУ, задающее программу коммутации внутренних логических связей ПЛИС, либо эта программа будет вводиться в ПЛИС с внешнего программатора перед установкой ПЛИС в печатную плату или с компьютера непосредственно в готовом приборе.

Преобразователь высоковольтного источника вторичного питания, кварцевый задающий генератор, вырабатывающий тактовые импульсы с частотой 32768 Гц, и конфигурационное ПЗУ (если оно будет использоваться) выполняются на отдельных микросхемах и др. компонентах и образуют внешнее окружение ПЛИС. Проектирование функциональных узлов на пе-

чатных платах с использованием таких компонентов рассматривалось в Части 1-й нашего учебного пособия. В настоящем разделе мы сосредоточим наши усилия непосредственно на проектировании логической структуры цифровой части радиометра и реализации ее в ПЛИС.

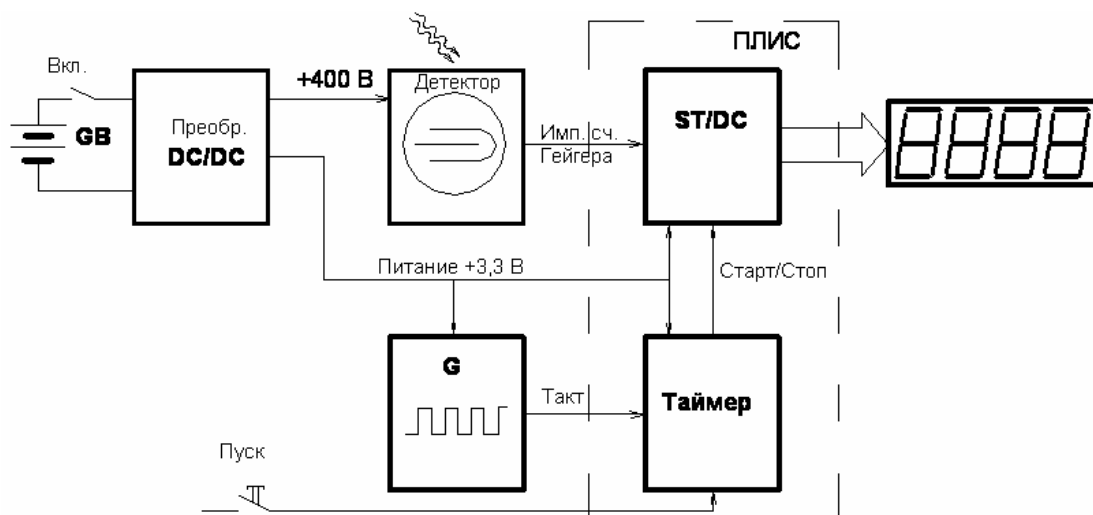


Рис.8.3

Времязадающую часть (таймер) радиометра построим так, чтобы при естественной, фоновой мощности дозы (интенсивности) гамма-излучения в 12 мкР/час счетчик Гейгера мог уловить 12 квантов излучения в течение нескольких секунд. С точки зрения инженерной психологии и радиационной безопасности время ожидания отсчета мощности дозы может составлять 15...30 с. Более длительное ожидание отсчета может оказаться утомительным для человека, выполняющего измерение, а то и опасным для здоровья при высоких уровнях интенсивности излучения. В зависимости от марки используемого счетчика Гейгера этот интервал может быть различным. Так в нашем случае при использовании в приборе четырех счетчиков типа СБМ-21 интервал, необходимый для регистрации 12 квантов составляет 18 с. При таком условии таймер может быть построен на двух двоичных счетчиках, первый из которых имеет коэффициент пересчета (деления частоты) 32768, а второй – 18. Для этой цели могут использоваться счетчики с предварительным занесением кода по пусковому импульсу, после чего тактовые импульсы задающего генератора доводят счетчики до переполнения в продолжение 18 с.

Зададимся диапазоном интенсивностей, подлежащих контролю, в пределах 10...9999 мкР/час. При таком диапазоне счетчик-регистратор отсчета составляется из четырех двоично-десятичных декад с дешифраторами двоич-

ного кода в коды управления четырьмя семисегментными жидкокристаллическими цифровыми индикаторами.

Прежде чем перейти непосредственно к разработке этой части проекта необходимо рассмотреть вопросы обеспечения проектных процессов библиотеками базовых логических элементов и узлов, образующих логику ПЛИС.

8.2. Библиотечное обеспечение проектов ПЛИС

С программным пакетом Altium Designer 6 поставляется обширная библиотека базовых логических элементов FPGA Generic Library.IntLib*, позволяющая выполнять ввод исходных данных для проектирования логической структуры функционального узла на ПЛИС в привычной инженеру-разработчику графической форме. Библиотека составлена по принципу независимости от конкретных семейств ПЛИС, поставляемых на рынок разными производителями. Это позволяет реализовать FPGA-проект Altium Designer, на выбор, в микросхемах таких фирм-производителей, как Altera, Atmel, Xilinx, Lattice, Sharp. Приведем в нашем пособии основные сведения о составе, принципах обозначения и правилах использования элементов библиотеки логических прообразов функциональных блоков ПЛИС в сквозном проектировании узлов РЭС на микросхемах программируемой логики.

Имена логических прототипов кодируются лаконичными аббревиатурами, для понимания которых следует рассмотреть принятые в библиотеке Altium Designer 6 соглашения об именах и правила обозначения базовых логических элементов проекта ПЛИС.

Имя библиотечного элемента – функционального прототипа логической ячейки ПЛИС – образуется из обозначения функционального класса, типа (Type), разрядности (Bit-Size), функциональных особенностей (Function), дополнительных признаков (State – направление счета или сдвига в регистрах, предел счета для программируемых делителей частоты и др.) и признака однолинейного (Bus – в виде линии групповой связи) или многолинейного (Single – для каждой линии свой проводник) изображения входных и выходных линий логического элемента. Приведенный формат имени включает обязательные и необязательные поля, в зависимости от функционального класса и других особенностей конкретного библиотечного элемента.

* Документ FPGA Generic Library Guide.pdf. Core Reference CR0118 (v1.0) January 29, 2004.

Все логические прототипы сгруппированы в 18 функциональных классов. Эта классификация в целом совпадает с функциональными классами широко распространенных микросхем малой и средней степени интеграции – логические примитивы (LogicalPrimitives – схемы И, ИЛИ, НЕ и др.), триггеры (Flip-Flop), делители частоты (Clock Divider), в том числе с программируемым коэффициентом деления, счетчики (Counter), элементы арифметических устройств – сумматоры, перемножители (Arithmetic Function) и т.д. Кроме этих характерных для интегральных микросхем функциональных классов имеются еще 3 вида логических прототипов, отвечающих специфике ПЛИС:

- Bus Joiner – шинные соединители, использование которых облегчает соединение линий групповой связи при формировании логической схемы проекта;
- JTAG – логический прототип элемента JTAG-интерфейса для ввода программы коммутации внутренней структуры ПЛИС;
- Wired Function – прототип набора резисторов, предназначенных для “оттяжки” логических цепей к Земле (PULLDOWN) или к напряжению питания (PULLUP).

Приведем примеры обозначения логических прототипов*, которые в дальнейшем будут использованы в логической схеме ПЛИС, на примере которой мы попытаемся осветить основные моменты разработки FPGA-проекта. Обозначения даются в виде металингвистических формул, определяющих формат имени. В обозначениях конкретных логических узлов в поля металингвистической формулы вносятся алфавитно-цифровые условные обозначения соответствующих функциональных признаков, в результате чего имена логических компонентов представляют цепочки алфавитно-цифровых символов.

Поскольку логические прототипы функциональных ячеек ПЛИС не имеют конструктивного воплощения и не подлежат приобретению как комплектующие изделия, будем считать, что при выполнении FPGA-проекта логическая структура ПЛИС является внутренним документом проекта и может не выполняться в виде конструкторского документа по ЕСКД. Это избавляет от необходимости формировать УГО логических прототипов по ЕСКД и по-

* Документ FPGA Generic Library Guide.pdf. Core Reference CR0118 (v1.0) January 29, 2004.

звояет пользоваться их изображениями, поставляемыми в библиотеке Altium Designer.

1. Триггерный двоичный счетчик:

C<Type><Bit-Size><Function|{Function}>[Direrction][Version], где

C – функциональный класс счетчиков (Counter);

Type – тип счетчика:

B – каскадируемый синхронный двоичный счетчик;

D – каскадируемый синхронный двоично-десятичный счетчик

J – кольцевой счетчик (счетчик Джонсона);

R – асинхронный двоичный счетчик с переносом по отрицательному фронту.

Bit-Size – разрядность:

2, 4, 8 или 16 – для типов B и R;

4 – для типа D;

2, 4, 5, 8, 16 – для типа J.

Function – функция:

C – асинхронный сброс (Clear);

R – синхронный сброс (Reset);

P – асинхронная предустановка (Asynchronous Preset);

L – синхронная загрузка кода (Synchronous Load);

E – разрешение счета (Clock Enable).

Direction – направление счета (сложение/вычитание):

D – реверсивный счетчик.

Version – версия выполнения графического изображения линий данных:

S – многолинейное изображение линий входных и выходных данных: на каждый логический вывод своя линия связи (Single pin version);

B – однолинейное, “шинное” изображение линий входных и выходных данных (Bus pin version).

Таким образом, например, 4-разрядный двоично-десятичный счетчик с синхронным сбросом и разрешением счета, с многолинейным изображением линий входных и выходных данных имеет в библиотеке следующее обозначение: CD4RES.

2. Делитель частоты тактовых импульсов (Clock divider).

CDIV<Num>[Prog Bit-Size][Duty Cycle], где

CDIV – функциональный класс делителей;

Num – коэффициент деления частоты:

2, 3, 4, 5, 6, 7, 8, 9, 10, 12, 16, 20, 24, 32, 64, 128, 256.

Prog Bit-Size – разрядность кода коэффициента деления для программируемых делителей:

N_8 – 8-разрядный параллельный код;

N_16 – 16-разрядный код;

N_32 – 32-разрядный код.

Duty Cycle – доля времени активного положительного сигнала на выходе, в процентах к длительности цикла (для непрограммируемых делителей).

3. Дешифраторы двоичного кода (Decoder).

D<Type>[Function][Version], где

D – функциональный класс дешифраторов;

Type – тип преобразования:

4_10 – 4-разрядный двоичный код на 10 выходных линий унитарного кода;

7SEG – 4-разрядный двоичный код в коды управления 7-сегментными цифровыми индикаторами (высокий активный уровень);

7SEGN – 4-разрядный двоичный код в коды управления 7-сегментными цифровыми индикаторами (низкий активный уровень);

n_m – n-разрядный двоичный код в m выходных линий унитарного кода:

доступны 3 варианта: 2_4, 3_8 и 4_16.

Function

E – разрешение декодировки (только для вариантов 2_4, 3_8, 4_16).

Version – вариант выполнения входных и выходных линий:

S – многолинейное изображение линий данных (Single pin version);

B – однолинейное, “шинное” изображение линий данных (Bus pin version).

Таким образом, дешифратор двоично-десятичного кода в коды управления семисегментным цифровым индикатором, с высоким активным уровнем выходных сигналов, который мы в дальнейшем будем использовать в примере FPGA-проекта, обозначается как D7SEG.

4. Базовые логические ячейки (Logic Primitive).

<Type><Bit-Size>[Function][Version], где

Type – тип логической ячейки:

AND – ячейка И;

NAND – ячейка И-НЕ;

OR – ячейка ИЛИ;

NOR – ячейка ИЛИ-НЕ;

XOR – ячейка “исключающее ИЛИ”

XNOR – ячейка “исключающее ИЛИ-НЕ”

INV – ячейка НЕ (инвертор);

TCZO – логическое дополнение до нуля/единицы;

SOP – сумма логических произведений;

Bit-Size – число входных логических линий (разрядность слова):

2, 3, 4, 5, 6, 7, 8, 9, 12, 16, 32 – для ячеек AND, NAND, OR, NOR, XOR и XNOR;

1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 12, 16, 32 – для инверторов;

m_n – обозначение числа m n-входных ячеек AND (И), для которых определяется сумма произведений: допустимые значения 2_2, 2_3, 2_4 и 4_2.

Function – функциональные особенности (только для ячеек AND, NAND, OR, NOR, XOR и XNOR):

Nm – число логических входов активного низкого уровня (применено только к ячейкам разрядности 2, 3, 4 и 5, причем число m меньше или равно разрядности ячейки);

D – наличие прямого и инверсного выходов (только у ячеек И и ИЛИ с разрядностью 2, 3 и 4).

Version – версия выполнения логических линий:

S (Single pin version) – многолинейное исполнение (для каждого сигнала своя линия);

B (Bus version) – исполнение в виде линии групповой связи (шины).

Например, трехвходовая логическая ячейка И с одним входом активного низкого уровня и многолинейным исполнением входных линий обозначается именем AND3N1S.

5. Порт подключения шестнадцатиричного числа (Numeric Connector).

NUM<Hex Value>, где

Hex Value – постоянный четырехразрядный двоичный (он же шестнадцатиричный) код в пределах 0...F. Предназначается для ввода предустановок в двоичные счетчики и регистры.

6. Соединители и разветвители шин (Bus Joiner).

J<Bit><Port>[Bus-Num]_<Bit><Port>[Bus-Num][Pin-Type], где

J – функциональный класс соединителей/разветвителей;

Bit – разрядность шины или одной ветви слева и справа:

2, 3, 4, 5, 6, 7, 8, 9, 10, 12, 16, 32

Port – способ изображения входных и выходных линий:

B – однолинейное (шинное) изображение (Bus);

S – многолинейное изображение (Single pin);

Bus-Num – число входящих и исходящих ветвей-шин:

(1), 2, 4, 8

Pin-Type – тип входящих и исходящих связей:

X – для двунаправленных линий (INOUT). Если данное обозначение отсутствует, по умолчанию принято, что контакты соединителя имеют тип “входной” (IN) слева и “выходной” (OUT) справа.

Отметим, что допустимы не все возможные, а только 52 комбинации разрядностей и способов группирования входящих и исходящих ветвей.

Например, соединитель, принимающий слева 4 шины по 4 входных линии в каждой, объединяющий их и отдающий вправо 16-линейную шину обозначается именем J4B4_16B.

Таблицы коммутации входных и выходных линий для каждого из вариантов шинных соединителей и разветвителей приведены в руководстве по работе с библиотекой FPGA Generic Library Guide.pdf.

К сожалению, ограниченный объем пособия не позволяет дать более обширные сведения по обозначению элементов библиотеки логических прототипов: полный объем руководства FPGA Generic Library Guide.pdf. составляет 390 страниц.

Аналогично тому, как схемные символы библиотек компонентов, предназначенных для выполнения РСВ-проекта связаны с конструктивным образом (топологическим посадочным местом) соответствующих компонентов, за графическим представлением каждого логического прототипа стоит внутреннее представление модели его логики в конструкциях языка EDIF. При формировании логической структуры ПЛИС система проектирования конвертирует графический схемный образ в формат внутреннего представления на языке EDIF, которое только и позволяет в конечном итоге запрограммировать внутреннюю коммутацию логических связей ПЛИС.

Библиотечное обеспечение не ограничивается библиотекой базовых логических прототипов (Generic components). Для реализации в проектах ПЛИС

различных видов микроконтроллеров в поставке пакета имеется библиотека FPGA Processors.IntLib – логических прототипов процессорного ядра нескольких широко распространенных микропроцессоров, в том числе прототипы, совмещенные по системе команд с микропроцессорами семейства 165x фирмы Microchip, 8051 фирмы Intel, Z80 фирмы Zilog и еще нескольких типов.

Библиотека ...\\Altium Designer 6\\Library\\Fpga\\FPGA NanoBoard Port-Plugin.IntLib содержит схемные образы и EDIF-модели элементов обмена информацией и управления отладочной панелью NanoBoard.

Библиотека ...\\Altium Designer 6\\Library\\Fpga\\FPGA Peripherals.IntLib содержит логические прототипы контроллеров периферийных устройств различного назначения.

Проектирование сложных функциональных узлов, в том числе микроконтроллеров с развитой периферией, на основе этих прототипов требует разработки иерархических проектов, имеющих на верхнем уровне иерархии рассмотренный ранее РСВ-проект, на следующем уровне – один или больше проект ПЛИС (FPGA Project) и на нижнем уровне – один или больше проект встроенного программного обеспечения Embedded Project: файл оболочки проекта *.PrjEmb. В предлагаемом учебном пособии нет возможности охватить вопросы проектирования микроконтроллеров. Изложение проводится на примере проекта функционального узла с жесткой логикой. Для реализации подобного проекта потребуются только базовые логические прототипы.

8.3. Формирование логической структуры ПЛИС

Рассмотрим вариант графического ввода логической схемы, подлежащей выполнению в ПЛИС.

8.3.1. Конфигурация рабочего пространства схемного редактора.

1. Командой главного меню File>>New>>Schematic открыть новый документ схемного редактора Schdoc1.SchDoc. Имя нового файла отображается в плавающей панели Projects (см. рис. 1.2) в ветви дерева документов Free Documents.

2. Командой главного меню File>>Save As сохранить новый документ в памяти компьютера под именем Radiometer_Logic.SchDoc.

3. Щелчком правой клавиши мыши в плавающей панели Projects на имени проекта FPGA_Heiger.PrjFpg открыть контекстное меню и командой Add Existing to Project включить схемный документ в структуру проекта. Анало-

гичного результата можно достичь “перетаскиванием” (Drag and Drop) имени схемного документа в дерево документов проекта панели Projects.

4. Щелчком правой клавиши в поле графического окна схемного редактора вызвать контекстное меню и активизировать цепочку команд Options>>Document Options. Откроется диалоговое окно Document Options с тремя закладками – Sheet Options, Parameters и Units. Отконфигурировать рабочее пространство схемного редактора:

- поскольку УГО библиотечных логических прототипов построены в дюймовой метрике, установить дюймовую систему единиц измерения – на закладке Units активизировать опцию Use Imperial Unit System;
- на закладке Sheet Options установить:
 - размер листа, достаточный для размещения логической схемы ПЛИС (для нашего примера достаточен стандартный A2);
 - шаг сетки захвата (Snap) 100 mil (миллидюймов): в метрической системе это 2,54 мм;
 - шаг видимой сетки (Visible) также 100 mil;
 - шаг “электрической” сетки (Electrical Grid Range) 40 mil (в метрической системе это 1,02 мм).

Несмотря на то, что логическая схема ПЛИС является промежуточным документом проекта, она должна найти свое место в структуре комплекта конструкторских документов РСВ-проекта верхнего уровня иерархии, возможно, как дополнительный документ. Поэтому целесообразно подключить к схеме стандартную форматку и составить реквизиты документа по ЕСКД, как это описано в разд. 4.1 части 1-й пособия [3].

8.3.2. Вызов библиотечных компонентов.

1. Щелчком левой клавиши в поле System главного окна программы активизировать всплывающее меню и указать в нем команду Libraries. Откроется одноименная плавающая панель Libraries (рис 8.4).

2. Кнопкой Install активизировать процедуру поиска и включения библиотек в рабочую среду проекта. Найти и подключить библиотеку логических прототипов ...\\Altium Designer 6\\Library\\FPGA\\FPGA Generic.IntLib.

В полях плавающей панели Libraries отображаются имя библиотеки, список прототипов и графическое обозначение выбранного прототипа.

3. Щелчком на кнопке Place<имя> активизировать операцию переноса выбранного прототипа на поле схемы. Панель Libraries гасится программой, и вся

площадь графического окна схемного редактора оказывается доступной для размещения УГО логического прототипа.

4. Клавишей табуляции Tab активизировать диалоговое окно управления свойствами компонента Component Properties и назначить позиционное обозначение для выбранного компонента (Designator). Щелчком на ОК закрыть диалог управления свойствами.

5. Переместить прототип курсором мыши и зафиксировать необходимое число его копий щелчками левой клавиши. Позиционные обозначения инкрементируются программой автоматически.

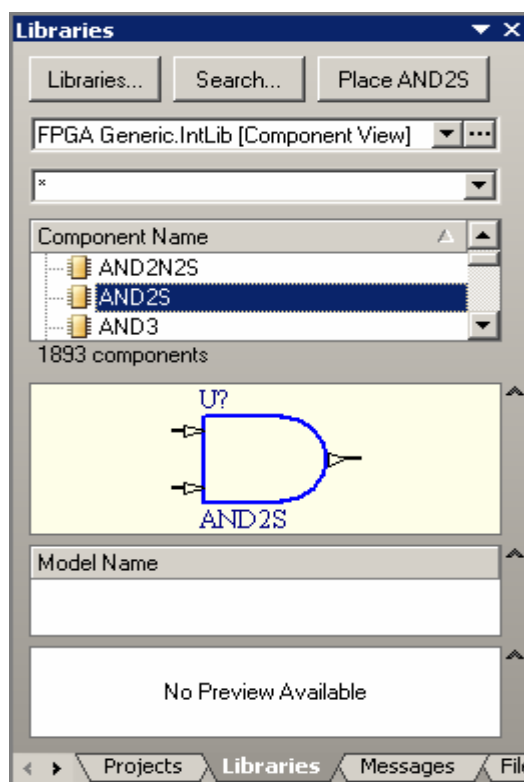


Рис. 8.4

Действуя таким образом, вызвать из библиотеки и разместить на поле схемы в графическом окне программы элементы логической схемы, реализуемой в ПЛИС:

- цепочку D-триггеров U1, U4, U7, U8, U11, образующих синхронный формирователь импульсов управления логикой регистратора гамма-квантов;
- два двоичных счетчика U6 и U17 типов, соответственно, CB16CES и CL8CLEDB, образующих делитель частоты таймера;
- два четырехразрядных порта для занесения шестнадцатичного кода предустановки $ED_{HEX} = 237_{DEC}$ во второй счетчик таймера;
- соединитель шин J2B4_8B для подключения линий, несущих код предустановки ко входам счетчика U17 таймера;
- четыре каскадируемых двоично-десятичных счетчика CD4CES с асинхронным сбросом и входом разрешения счета, образующих регистрирующую часть радиометра;
- одноразрядный инвертор U2 типа INV;
- четыре дешифратора типа D7SEGS для преобразования двоичного кода в коды управления сегментами цифрового индикатора;

- шестнадцативходовой логический вентиль AND16S, выполняющий функцию дешифратора кода 4000_{HEX} на выходах счетчика U6;
- двухвходовой логический вентиль AND2S в цепь управления регистрацией отсчета.

8.3.3. Линии электрической связи.

Линии электрической связи схемы выполняются по тем же правилам с помощью тех же команд, что и в схеме РСВ-проекта:

- Place Wire – команда размещения индивидуальных линий связи;
- Place Bus – команда размещения линий групповой связи.

Связность электрической цепи может обеспечиваться двумя способами:

- 1) непосредственным прочерчиванием линии электрической связи от контакта до контакта компонентов (логических прототипов);
- 2) присвоением единой метки цепи (Net Label) разбросанным по полю чертежа схемы сегментам одной и той же линии связи.

Все это относится как к индивидуальным связям, так и к линиям групповой связи (шинам). Для линий групповой связи формат метки включает имя линии связи и обозначение разрядности – числа линий связи, объединенных в групповую, например, DATA[7..0] или DATA[0..7]. Индивидуальные линии, входящие и отходящие от групповой линии, обозначаются как DATA0, DATA1 и т.д.

В отличие от схемных документов РСВ-проекта для слияния и разветвления линий групповой связи в FPGA-проекте могут использоваться рассмотренные ранее шинные соединители и разветвители.

Шинные соединители выступают при включении в схему как обычные компоненты схемы. Поэтому, в отличие от принятого в схемных документах РСВ-проекта способа назначения признаков связности цепей, образующих линию групповой связи, путем присоединения единой метки цепи каждой электрической связи схемы во всех точках входа и выхода ее из групповой линии, при использовании шинных соединителей имена входных и выходных линий, как отдельных, так и групповых, могут различаться. На рис. 8.5 приведены примеры допустимого обозначения входных и выходных линий при использовании шинных соединителей/разветвителей.

На рис. 8.5, а индивидуальные линии, образующие линию групповой связи с именем DATA[7..0] обозначены по общим правилам, принятым в схемных документах, метками DATA0, DATA1 и т.д. Входные контакты шинного разветвителя U29 обозначены в “шинном” формате индексом I[7..0]. Выходные кон-

такты разветвителя обозначены индексами O0, O1...O7, а подключенные к ним индивидуальные линии связи могут быть обозначены произвольными именами, отличающимися от имен связей исходной групповой линии.

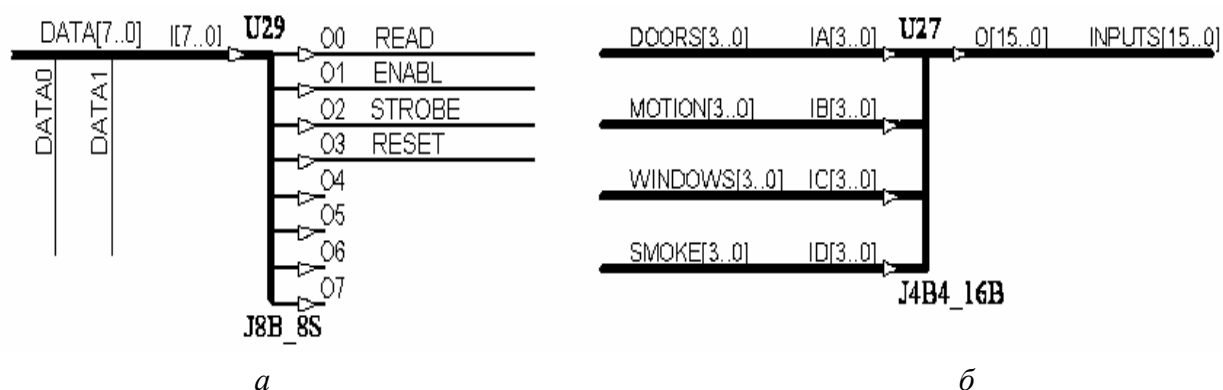


Рис. 8.5

На рис. 8.5, б четыре четырехразрядных линии групповой связи объединяются в одну 16-разрядную линию групповой связи. Входные контакты шинного соединителя U27 объединены в группы по 4 контакта и обозначены индексами IA[3..0], IB[3..0], IC[3..0], ID[3..0], а выходные контакты обозначены индексом O[15..0]. Вторая буква в индексах входных линий определяет старшинство разрядов входных линий при объединении их в выходную линию групповой связи INPUTS[15..0]: разряды 3...0 входной линии IA передаются в старшие разряды 15...12 выходной линии; разряды 3...0 входной линии ID передаются в младшие разряды 3...0 выходной линии.

В результате применения всей этой техники получаем логическую схему узла цифровой регистрации мощности дозы гамма-радиометра (рис. 8.6). Схема состоит из трех узлов и работает следующим образом:

1) Схема управления на триггерах U1, U4, U7, U8, U11. На триггерах U1, U4, U7, U8 построен синхронный формирователь последовательности импульсов Clear – сброса счетчиков U6, U17, U5, U9, U14, U16, Load – предустановки счетчика U17 и импульса Begin_18 – начала 18-секундного интервала отсчета (рис. 8.7).

Импульс Begin_18 поступает на вход предустановки PRE триггера U11 и устанавливает его в состояние “единица”. Положительный потенциал с выхода Q триггера U11 поступает на входы разрешения счета счетчиков таймера U6, U17 и счетчиков U5, U9, U14, U16, регистрирующих число импульсов датчиков гамма-излучения – четырех газоразрядных счетчиков Гейгера-Мюллера, поступающих на ПЛИС через порт HGR_IN.

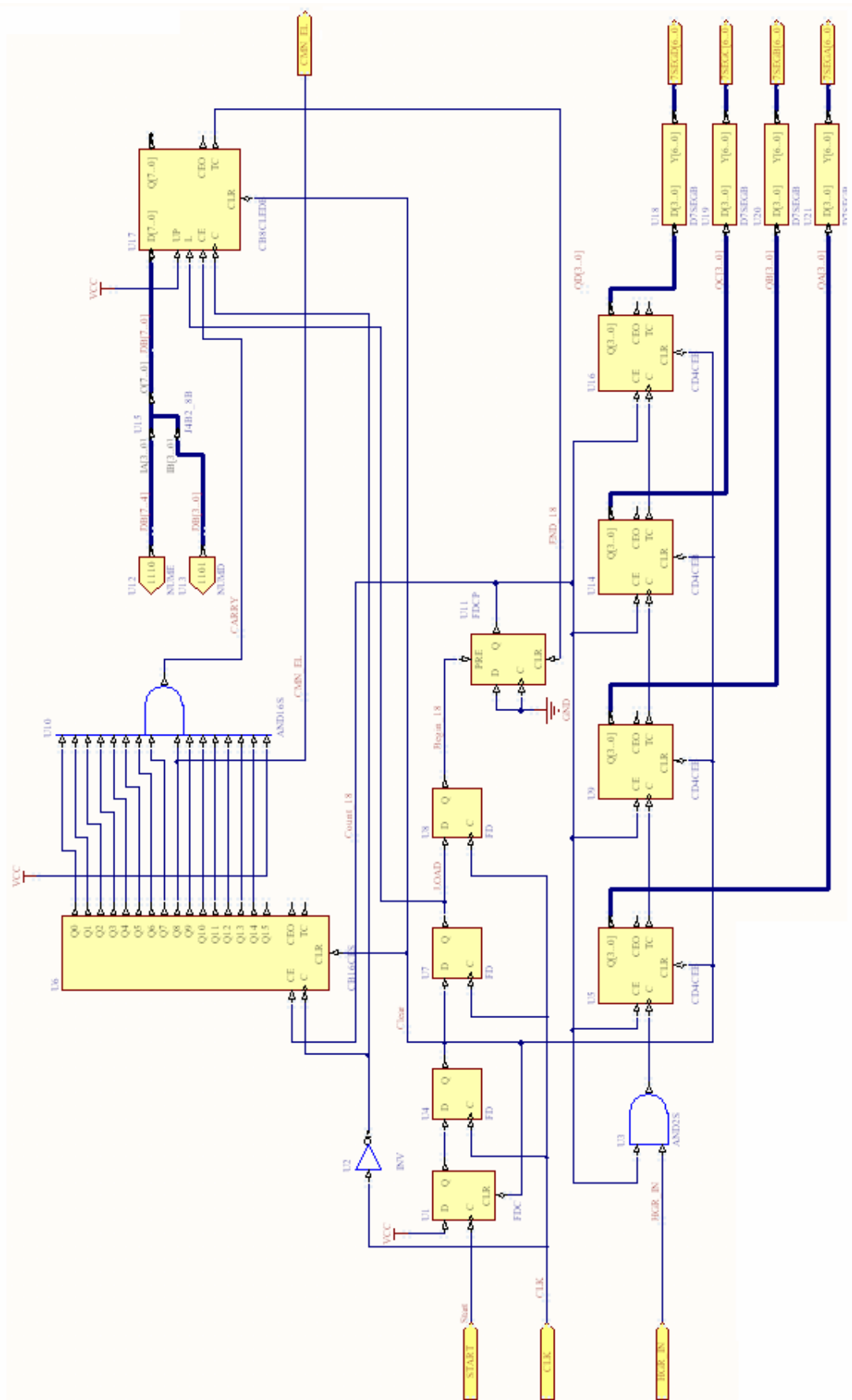


Рис. 8.6

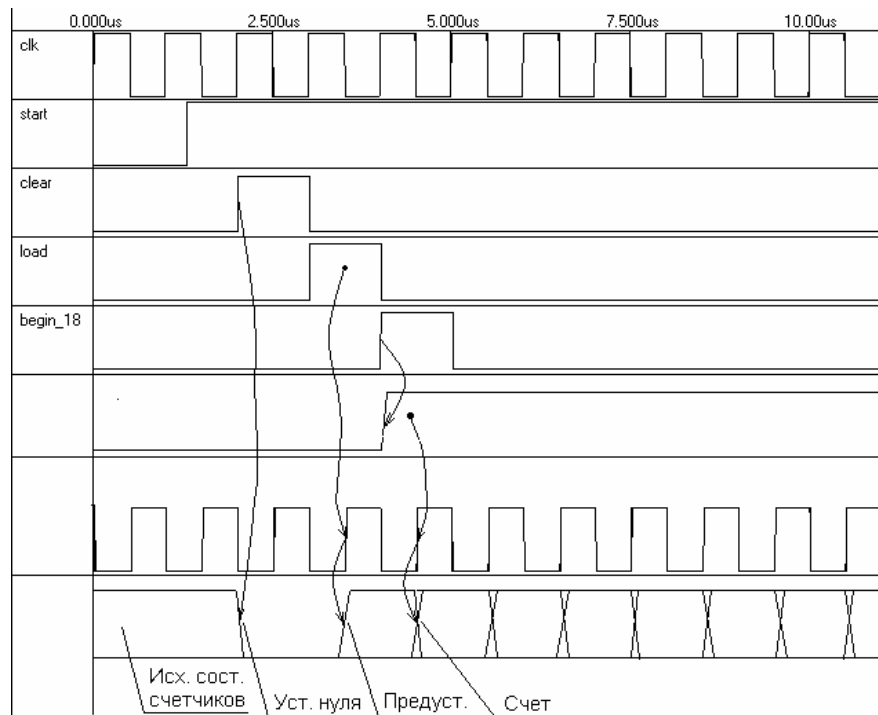


Рис. 8.7

2) Таймер, отсчитывающий время набора импульсов отсчета мощности дозы. Таймер состоит из двух двоичных счетчиков с асинхронным сбросом – шестнадцатиразрядного счетчика U6 и восьмиразрядного счетчика с занесением кодов предустановки U17. Первый счетчик делит частоту импульсов тактового генератора, поступающих с выхода инвертора U2, с 32768 Гц до 1 Гц. Полная емкость 16-разрядного счетчика составляет 65536. Счетчик считает тактовые импульсы до заполнения единицами 15 младших разрядов – до достижения кодом в разрядах счетчика значения $FFFF_{\text{HEX}} = 32767_{\text{DEC}}$. На это уходит время 1 с. Код $FFFF_{\text{HEX}}$ дешифруется логической ячейкой U10 AND16S. Выходной логический сигнал высокого уровня с вентиля U10 поступает на вход разрешения счета CE второго счетчика таймера, U17 и удерживается там в течение последнего, 32768-го тактового интервала первой секунды отсчета, после чего, по положительному перепаду напряжения тактового сигнала на входе С счетчика U17 в этот счетчик заносится первая единица. Для достижения коэффициента 18 в счетчик U17 в момент запуска измерения с двух шестнадцатиричных портов U12, U13 заносится код предустановки $ED_{\text{HEX}} = 237_{\text{DEC}} = 256 - 18$.

В результате счетчик U17 отсчитывает до переполнения 18 секундных интервалов, после чего импульсом переноса со своего выхода ТС сбрасывает в нуль триггер управления U11, и на этом время регистрации отсчета мощности дозы заканчивается.

3) Регистрация количества гамма-квантов излучения производится путем подсчета импульсов датчика излучения, поступающих с входного порта HGR_IN через вентиль U3 в течение 18 секунд. Технические характеристики применяемых в разрабатываемом регистраторе счетчиков Гейгера-Мюллера типа СБМ-21 таковы, что при фоновом значении интенсивности гамма-излучения 12 мкР/час четыре счетчика, работающие на общую нагрузку захватывают 12 квантов излучения в течение 18 сек. Таким образом, при использовании четырехдекадного счетчика-регистратора гамма-квантов пределы измерения мощности дозы составляют 10...9999 мкР/час. Меньшие значения интенсивности радиоактивного излучения в природе не встречаются, а интенсивности выше 10 мР/час маловероятны в бытовых условиях, для которых предназначен наш регистратор.

8.4. Выбор путей реализации проекта

Следующим этапом выполнения проекта после составления логической схемы ПЛИС является выбор возможностей его реализации. В простейшем случае для этого можно выбрать тип микросхемы ПЛИС, указать разводку логических сигналов проекта на выводы этой микросхемы, провести трассировку внутренней структуры кристалла ПЛИС и вернуть трассированную ПЛИС в корневой проект печатной платы. В Altium Designer 6 допускаются более широкие возможности реализации одной и той же логики ПЛИС, например, реализации ее в разных типах микросхем ПЛИС, в варианте, предназначенном для отладки на входящей в комплект с САПР отладочной панели Nano Board или пользовательском отладочном стенде и, наконец, в окончательном исполнении на печатной плате функционального узла, предназначенного для промышленного выпуска. Это свойство FPGA-проекта называется переносимостью (Design Portability)*.

Переносимость проекта ПЛИС достигается путем формирования так называемых файлов привязки (Constraint Files), которых может быть несколько и в которых фиксируются варианты выбора типа микросхем ПЛИС, составляется описание внешних портов схемы, их электрических свойств подключения к внешним выводам выбранных микросхем, в соответствии с числом возможных реализаций проекта. Это текстовые файлы, которые включаются в логическую структуру проекта и отображаются в ветви Settings дерева проекта в плавающей панели Projects.

* Документ AR0124 Design Portability Configurations and Constraints.pdf Article AR0124 (v.1.1) July 06, 2005

8.4.1. Создание нового файла привязок

Для создания нового файла привязок активизировать команду главного меню Project>>Add New to Project>>Constraint File. Формируется и отображается в главном окне программы оболочка нового файла привязок:

```
.....  
;Constraints File  
; Device :  
; Board :  
; Project :  
;  
; Created 11.11.2008  
.....  
  
.....  
Record=FileHeader | Id=DXP Constraints v1.0  
.....
```

Строки файла привязок, называемые группами начинаются с идентификатора группы Record. Идентификатору группы может быть присвоено одно из двух значений: FileHeader или Constraint. Идентификатор Id определяет тип и версию файла привязок.

Далее следует стадия редактирования файла привязок – наполнения его оболочки информацией о типе выбранной микросхемы ПЛИС, о направлении сигналов с внешних портов логической схемы, выполняемой на выбранной ПЛИС, на выводы микросхемы. Эта информация используется в ассоциированных с Atium Designer специализированных САПР фирм-производителей микросхем ПЛИС (Vendor Tools) для синтеза проекта – преобразования исходной логической схемы в комбинацию элементарных логических ячеек и логических блоков и программирования ПЛИС – коммутации внутренних логических связей.

8.4.2. Выбор микросхемы ПЛИС

Активизировать команду главного меню программы Design>>Add/Modify Constraint и указать подкоманду Part (рис. 8.8). Откроется диалоговое окно выбора микросхемы Choose Physical Device (рис. 8.9).

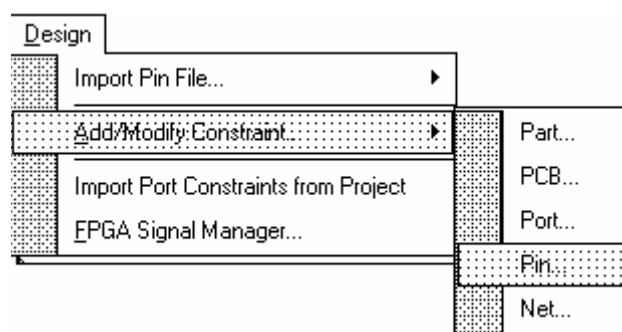


Рис. 8.8

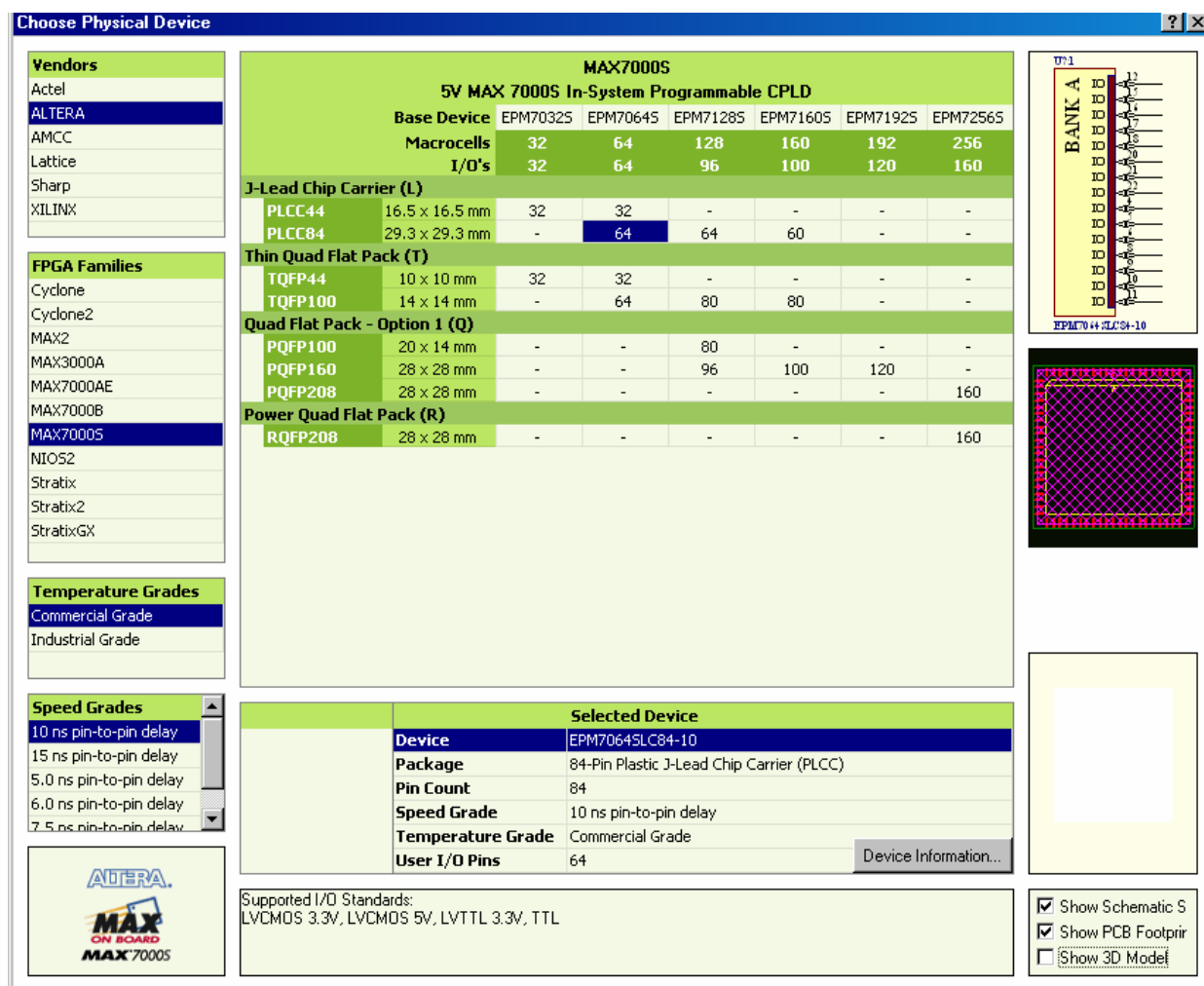


Рис. 8.9

- В поле Vendors отображается список фирм-производителей микросхем программируемой логики, использование которых в проектах ПЛИС поддерживается в Altium Designer 6. Выбираем микросхемы фирмы Altera.
- В поле FPGA Families выводится список семейств микросхем ПЛИС выбранного производителя. Выбор семейства ПЛИС определяется такими факторами как объем и сложность логической схемы проекта, быстродействие, электрическая совместимость выводов ПЛИС с технологическими стандартами микросхем внешней “обвязки” на печатной плате РСВ-проекта и др. Выбираем из этих соображений для рассматриваемого примера микросхемы семейства MAX 7000S.
- В центральном поле окна отображается список микросхем выбранного семейства, поддерживаемых программой, с их краткими конструктивно-технологическими и электрическими характеристиками:
 - 5V MAX 7000S In-System Programmable CPLD – программируемые в аппаратуре пользователя ПЛИС (CPLD – Complex Programmable Logical Device) MAX 7000S с напряжением питания 5 В;

- Base Device – перечень базовых микросхем, поддерживаемых программой;
- Macrocells – число логических макроячеек на кристалле ПЛИС;
- I/O's – число программируемых пользователем двунаправленных логических входов-выходов ПЛИС;
- Перечисление типов корпуса, в которых выполняются ПЛИС выбранного семейства.
- В поле Temperature Grades возможен выбор варианта исполнения ПЛИС по температурному режиму – коммерческого (Commercial) или промышленного (Industrial) стандарта.
- В поле Speed Grades выбрать характеристику быстродействия - указать время задержки распространения логического сигнала от контакта до контакта ПЛИС.

Указать курсором мыши ячейку таблицы в центральном поле диалогового окна, рис. 1.9, на пересечении столбца с именем ПЛИС и строки с обозначением типа корпуса. Ячейка выделяется цветовой подсветкой, а в двух нижележащих полях отображаются обозначение и краткий список технических характеристик выбранной ПЛИС, а также перечень технологических стандартов, электрически совместимых с выбранной ПЛИС.

В файл привязок добавляется следующая группа:

Record=Constraint | TargetKind=Part | TargetId=EPM7064STC100-10

Поля данной группы обозначают тип объекта-мишени (TargetKind), для которого определяется привязка – компонент (Part) и идентификатор объекта-мишени (TargetId), в качестве значения обозначающий тип выбранной микросхемы ПЛИС.

8.4.3. Привязка портов

Активизировать команду главного меню программы Design>>Add/Modify Constraint (см. рис. 8.8) и указать подкоманду Port. Откроется диалоговое окно редактирования привязок порта (рис. 8.10)

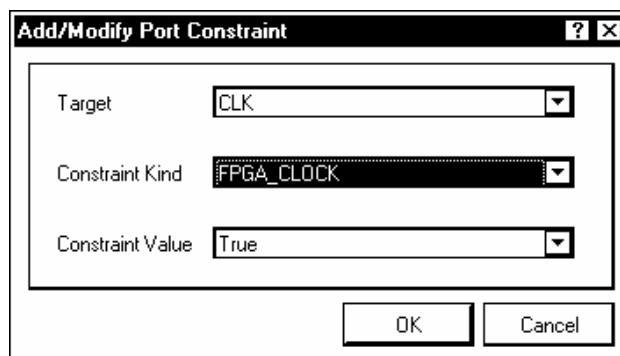


Рис. 8.10

- В поле Target ввести имя порта. Для входа внешнего тактового импульса это порт CLK. В дальнейшем, по мере формирования привязки других портов их имена образуют в поле Target список, разворачивающийся (Drop-down List) по щелчку левой клавиши мыши на кнопке, расположенной в правом конце поля;
- В поле Constraint Kind (тип привязки) развернуть щелчком мыши список predetermined типов привязок и, в нашем случае выбрать тип FPGA_CLOCK_PIN, означающий, что на тактовый вход микросхемы ПЛИС будет подведен внешний “глобальный” тактовый сигнал.
- В поле Constraint Value (значение параметра привязки) выбрать из разворачивающегося списка логическое значение True (истинно).

В результате этих действий в файл привязок добавляется группа:

```
Record=Constraint | TargetKind=Port | TargetId=CLK | FPGA_CLOCK_PIN=True
```

Повторяя рассмотренную последовательность действий, добавим в группу привязки порта CLK новые поля:

- FPGA_PINNUM – номер контакта в цоколевке ПЛИС, на который выводится сигнал данного порта (см. рис. 8.1);
- FPGA_CLOCK_FREQUENCY – частота тактовых импульсов, на которой должна работать выбранная ПЛИС;
- FPGA_DRIVE – токовая нагрузка на данный контакт ПЛИС;
- FPGA_IOSTANDARD – технологический стандарт, электрически совместимый со стандартом входных-выходных цепей выбранной ПЛИС: всего возможен выбор одного из более чем полусотни стандартов, но реальный выбор должен быть ограничен перечнем, приводимом в поле Supported I/O Standards диалогового окна выбора ПЛИС (см. рис. 8.9);
- FPGA_SLEW – скорость нарастания сигнала на входных-выходных контактах микросхемы ПЛИС; допустимы два значения – Fast и Slow.

Переходя к другим портам схемы, составим группы привязок и для этих портов. В результате получим для нашего примера следующий файл привязок:

```
;.....
;Constraints File
; Device : Altera 7000s EPM7064STC100-10
; Board : User-defined PCB
; Project : Any
; Created 12.11.2008
;.....
Record=FileHeader | Id=DXP Constraints v1.0
```

```

Record=Constraint | TargetKind=Part | TargetId=EPM7064STC100-10
;.....
;....Global clock signal....
Record=Constraint | TargetKind=Port | TargetId=CLK |
FPGA_CLOCK_PIN=True
;....Input from Heiger counter....
Record=Constraint | TargetKind=Port | TargetId=HGR_IN | FPGA_PINNUM=99
;....Start measurement....
Record=Constraint | TargetKind=Port | TargetId=START | FPGA_PINNUM=100
;....Indicator outputs....
Record=Constraint | TargetKind=Port | TargetId=CMN_EL | FPGA_PINNUM=37
;....First (most-significant) decade....
Record=Constraint | TargetKind=Port | TargetId=7SEGA[6..0] |
FPGA_PINNUM=6,8,9,10,12,13,14 |
FPGA_SLEW=SLOW,SLOW,SLOW,SLOW,SLOW,SLOW,SLOW
;....Second decade....
Record=Constraint | TargetKind=Port | TargetId=7SEGB[6..0] |
FPGA_PINNUM=16,17,19,20,21,23,25 |
FPGA_SLEW=SLOW,SLOW,SLOW,SLOW,SLOW,SLOW,SLOW
;....Third decade....
Record=Constraint | TargetKind=Port | TargetId=7SEGC[6..0] |
FPGA_PINNUM=29,30,31,32,33,35,36 |
FPGA_SLEW=SLOW,SLOW,SLOW,SLOW,SLOW,SLOW,SLOW
;....Fourth decade....
Record=Constraint | TargetKind=Port | TargetId=7SEGD[6..0] |
FPGA_PINNUM=40,41,42,44,45,46,47 |
FPGA_SLEW=SLOW,SLOW,SLOW,SLOW,SLOW,SLOW,SLOW

```

Отметим особенности формата записей в группах привязки портов, выполненных в схеме в “шинном” варианте. Для таких портов в поле Target диалогового окна, рис. 8.10, имя порта записывается так же, как в схеме, например, 7SEGA[6..0]. В поле FPGA_PINNUM указываются через запятую номера всех контактов ПЛИС, на которые поступают сигнальные линии данного порта. Если указывается скорость нарастания сигнала на выводах, то в поле FPGA_SLEW так же через запятую значение Fast или Slow повторяется столько раз, сколько сигнальных линий объединяет “шинный” порт.

В качестве альтернативного варианта можно на данной стадии не назначать привязку портов к контактам ПЛИС, а предоставить выполнение этой привязки средствам САПР производителя ПЛИС (Vendor Tools) и после выполнения внутренней трассировки ПЛИС импортировать результат в файл привязок проекта.

8.4.4. Формирование конфигурации проекта

Для обеспечения возможности множественной реализации формируется набор конфигураций проекта. Конфигурация представляет собой именованный список файлов привязки проекта к микросхемам ПЛИС различных ти-

пов, привязки к вариантам реализации на отладочной панели NanoBoard, пользовательском отладочном стенде, наконец, на печатной плате функционального узла, предназначенного для промышленного выпуска.

Для формирования конфигурации следует активизировать команду главного меню программы Project>>Configuration Manager. Откроется диалоговое окно Configuration Manager For <имя проекта> (рис.8.11).

Центральное поле окна разделено на две части – Constraint Files и Configurations. В поле Constraint Files отображается список имен файлов привязки, входящих в структуру текущего активного проекта. Поле Configurations пусто.

Щелчком на кнопке ADD (добавить) против надписи Configurations активизировать образование новой конфигурации. Откроется диалоговое окно назначения имени новой конфигурации (поверх основного окна на рис 8.11).

Ввести в поле New Configuration Name имя новой конфигурации и щелчком на ОК завершить операцию. В поле Configuration появится подзаголовок, обозначающий новую конфигурацию.

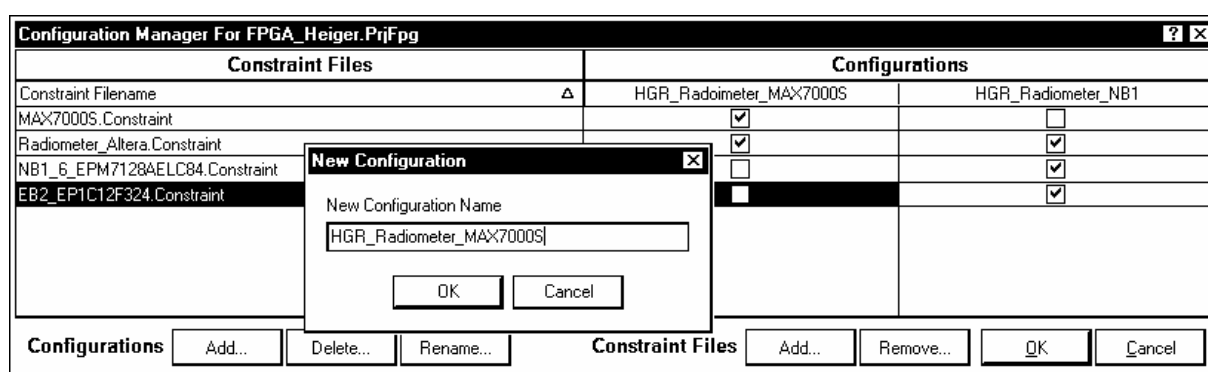


Рис. 8.11

Повторяя последние два действия, образовать необходимое количество новых конфигураций. Для каждой новой конфигурации в поле-таблице Constraints образуется новая колонка.

При необходимости добавить к списку файлов привязки новые файлы щелчком на кнопке ADD против надписи Constraint Files активизировать стандартный диалог поиска файлов. Имена найденных файлов подключаются к списку в поле Constraint Files.

Конфигурация составляется из одного или нескольких файлов привязки, относящихся к одному из возможных исполнений проекта. Для составления конфигурации установить знаки-птички (Ticks) в колонках конфигураций на пересечении со строками файлов привязки. Ничто не мешает включить в одну конфигурацию несколько файлов привязки, однако, программа контролирует,

не включены ли в одну конфигурацию конфликтующие объекты – две микросхемы разных типов, две разные отладочные панели и т.п. В случае обнаружения таких конфликтов в плавающую панель Messages выводятся сообщения о фатальной ошибке, и конфигурация не составляется.

8.5. Выполнение проекта в оболочке Devices View

Очередным этапом разработки FPGA-проекта является программирование ПЛИС. Этот этап, в свою очередь, делится на фазы компиляции (Compile) и синтеза проекта (Synthesize), в результате чего генерируется исходный файл для инструментов размещения логики проекта на выбранной ПЛИС и трассировки (коммутации) ее внутренних логических связей (Vendor Tools). Затем следует фаза “построения” (Build) – собственно работа инструментов размещения и трассировки, главным результатом чего является формирование файла двоичных данных для программирования ПЛИС (программы коммутации) и, наконец, фаза загрузки программы коммутации в “физическую” ПЛИС на отладочной панели или в аппаратуре пользователя (Program FPGA).

Все эти фазы выполняются в оболочке Devices View, которая активизируется командой главного меню View>>Devices View или кнопкой Devices в линейке инструментов главного окна программы*.

Для обеспечения процесса размещения логики проекта в выбранную ПЛИС и трассировки ее внутренних логических связей на компьютере должны быть установлены “инструменты производителя” (Vendor Tools). В частности, для микросхем фирмы Altera, используемых в рассматриваемом нами примере, это САПР Altera Quartus II.

Проектирование в оболочке Devices View может выполняться в “живой” (Live) или “неживой” (Not Live) модах.

Проектирование выполняется в моде Live, если в комплект инструментов Altium Designer входит и подключена к компьютеру отладочная панель NanoBoard или пользовательская отладочная панель. В обоих случаях на отладочную панель должна быть установлена микросхема ПЛИС, на которой реализуется проект. В этой моде выполняются все четыре рассмотренные фазы разработки. Когда загрузка файла программирования выполнена, возможна отладка жесткой логики проекта и (или) встроенного в ПЛИС программно-

* Документ AP0103 Processing the Captured FPGA Design.pdf. Application Note AP0103 (v.1.2) December 12, 2005.

го ядра с помощью виртуальных инструментов отладки Nexus Core Components, загружаемых в ПЛИС как и файл программирования коммутации.

Проектирование в режиме Not Live выполняется в случаях если:

- аппаратная отладочная панель отсутствует;
- на существующей отладочной панели нет возможности установить требуемую микросхему ПЛИС;
- цель разработчика – убедиться, возможно ли размещение логики проекта в выбранной им микросхеме ПЛИС или выбрать микросхему, в которой она размещается;
- ставится задача выполнения проекта в нескольких вариантах – на ПЛИС разных типов.

Во всех этих случаях выполняются три из четырех рассмотренных фаз – за исключением фазы загрузки файла программирования коммутации ПЛИС. Этот файл или файлы (по числу вариантов выбора ПЛИС) формируются при выполнении фазы Build и сохраняются в памяти компьютера и могут быть загружены с компьютера в выбранные ПЛИС с помощью специального программатора или непосредственно в плату функционального узла в аппаратуре пользователя.

8.5.1. Работа в режиме Live

Для программирования в режиме Live необходимо, чтобы к компьютеру была подключена отладочная панель NanoBoard NB-1* или отладочная панель пользователя с установленной в ней микросхемой ПЛИС, на которой выполняется разработка.

Активизировать команду главного меню Tools>>Preferences, после чего в левом поле диалогового окна Preferences выбрать ветвь FPGA>>Devices View и в правой панели окна установить активность опции Live.

Активизировать команду главного меню View>>Devices View откроется оболочка Devices (рис. 8.12).

Оболочка разделена по горизонтали на четыре области (Regions). В трех первых областях отображаются действия, выполняемые в трех потоках, на которые делится процесс программирования ПЛИС. В лексике Altium Designer 6 эти потоки названы цепями (Chains).

- NanoBoard Controllers Chain – цепь контроллеров отладочных панелей;
- Hard Devices Chain – цепь “твердых” приборов – микросхем ПЛИС;

* Документ TR0102 NanoBoard Technical Reference manual-NB 1.pdf. Technical Reference TR0102 (v.1.2) February 8, 2006.

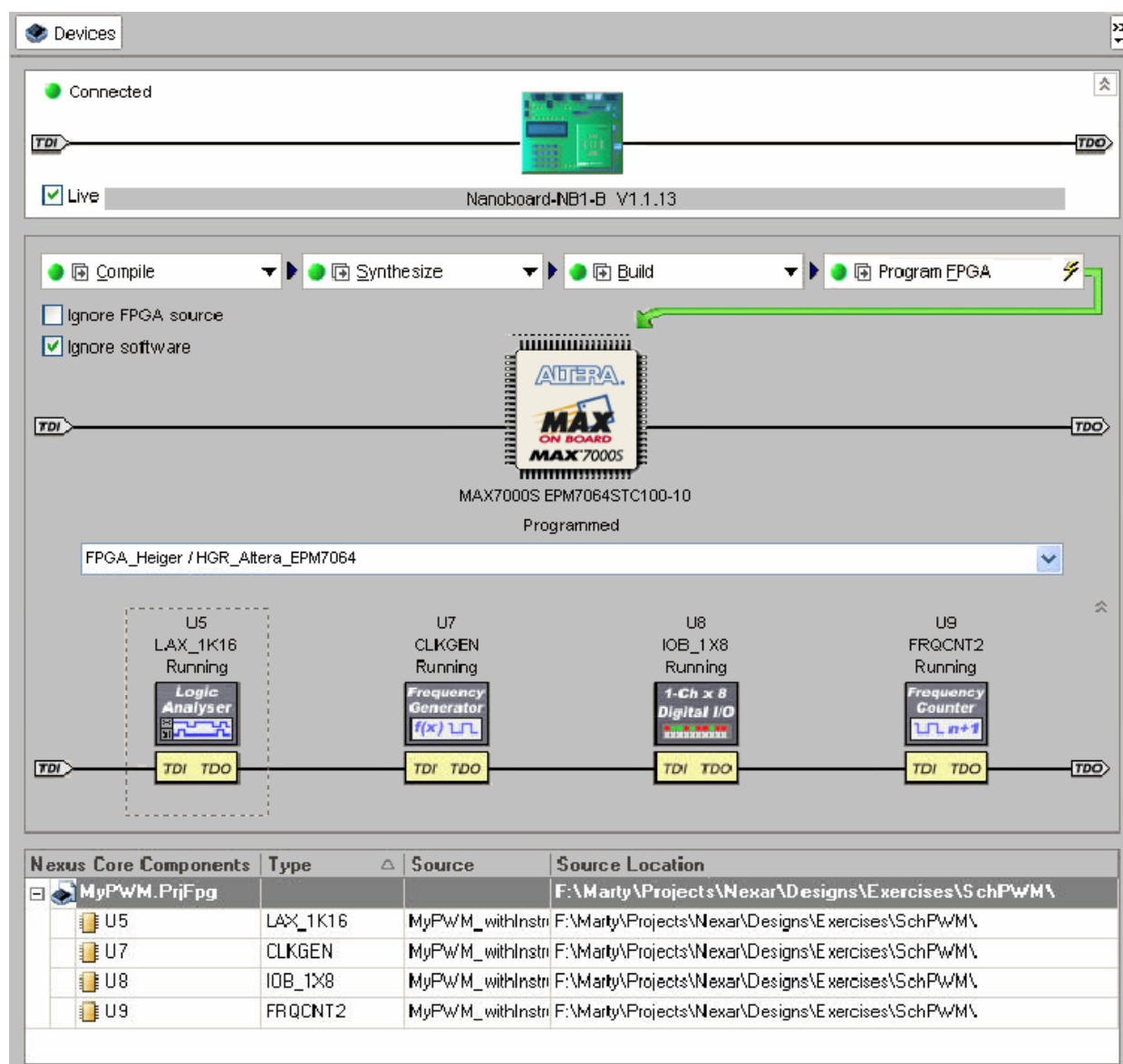


Рис. 8.12

- Soft Devices Chain – цепь программных моделей процессорного ядра микроконтроллеров, реализуемых в проекте;
- Nexus Core Component listing – список виртуальных инструментов в стандарте Nexus 5001*, предназначенных для контроля и отладки ПЛИС после ее программирования.

При активизации оболочки Devices автоматически детектируется наличие включенных отладочных панелей и установленных на этих отладочных панелях микросхем ПЛИС. В поле NanoBoard Controllers Chain графически отображается цепь отладочных панелей, соединенных между собой и с компьютером через входные и выходные линии JTAG-интерфейса. Факт подключения отладочных

* Документ AR0130 PC to NanoBoard Communications.pdf. Article AR0130 (v.1.1) May 27, 2005.

панелей отображается также кнопкой-индикатором зеленого цвета и надписью Connected в левой части поля NanoBoard Controllers Chain. Там же, в левой части этого поля отображается активность моды Live.

В области Hard Devices Chain графически отображается состав микросхем ПЛИС, установленных на всех включенных отладочных панелях, обозначенных в файлах привязки (Constraint Files) и включенных в конфигурации проекта (Configurations). Каждая микросхема отображается условным значком (Icon) и расположенным под значком обозначением типа микросхемы.

В верхней части области располагаются четыре поля управления фазами обработки проекта – компиляции, синтеза, построения (внутренней структуры ПЛИС) и загрузки программы коммутации в ПЛИС.

В поле, расположенном ниже цепочки микросхем ПЛИС раскрывается выпадающий (Drop-Down) список могут быть выбраны проекты и конфигурации, нацеленные на выполнение на выбранной микросхеме (микросхемах).

При необходимости поиска других микросхем для реализации текущего активного проекта есть возможность активизировать такой поиск. Для этого щелчком правой клавиши мыши в поле Hard Devices Chain активизируется функция Add (рис. 8.13), после чего щелчком левой клавиши мыши на стрелочке в поле Add раскрывается выпадающее командное меню, содержащее список имеющихся в проекте конфигураций и команды просмотра (Browse) и поиска (Search) поддерживаемых программой ПЛИС.

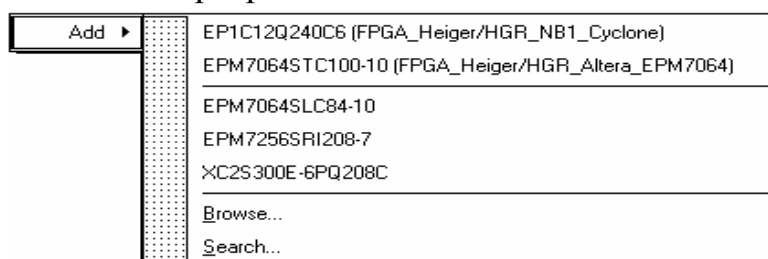


Рис. 8.13

При активизации команды Browse откроется рассмотренное ранее диалоговое окно выбора Choose Physical Device (см. рис. 1.9), в котором может быть изменен сделанный ранее выбор ПЛИС.

При активизации команды Search откроется диалоговое окно поиска Find Physical Device (рис. 8.14).

В поле Search Criteria назначить критерии поиска. Упомянем здесь только те критерии, которые могут интересовать нас с точки зрения рассматриваемого в пособии примера проекта ПЛИС:

- Device Type – тип ПЛИС: выбираем CPLD;
- Vendor – производитель: выбираем фирму Altera;

- Min IO Pin Count – минимальное число входных-выходных контактов;
- Min Macrocells – минимальное число макроячеек в кристалле ПЛИС;
- With IO Standard – технологический стандарт входных-выходных линий ПЛИС;
- Min Global Clock Resources – минимальное число глобальных тактовых входов.

Find Physical Device

Search Criteria

Device Type: Min. High Speed Differential Pair Count:

Vendor: Min. DSP Multipliers (18x18):

Min. IO Pin Count: Min. Embedded RAM (K):

Min. Differential Pair Count: Min. Global Clock Resources:

Min. Macrocells: Min. Clock Managers:

With IO Standard: With On Chip Termination Support:

Search

Matching Devices

Drag a column header here to group by that column

Name	Vendor	Family	Macrocells	IO Pin Count	Diff. Pair Count	Embedded RAM...	Global Clocks
EPM7064SLC84-10	ALTERA	MAX7000S	64	64	0	0	2
EPM7064SLC84-5	ALTERA	MAX7000S	64	64	0	0	2
EPM7064SLC84-6	ALTERA	MAX7000S	64	64	0	0	2
EPM7064SLC84-7	ALTERA	MAX7000S	64	64	0	0	2

OK Cancel

Рис. 8.14

Щелчком на кнопке Search запустить процедуру поиска. Результаты поиска отображаются в виде списка в поле Matching Devices – приборы, отвечающие назначенным критериям. Выбрать курсором строку в этом списке и щелчком на ОК подключить новую микросхему к набору ранее выбранных. Она ставится последовательно в существующую цепь и отображается в области Hard Devices Chain.

Если вновь выбранная ПЛИС не соответствует ни одной из установленных конфигураций проекта, в нижележащем поле выводится красным цветом сообщение: [No Compatible Project Configurations Found]. Для того, чтобы вновь выбранную ПЛИС можно было использовать, следует вернуться к формированию новых файлов привязки и составить из них новую конфигурацию.

Для исключения неподходящей ПЛИС из цепи щелчком правой клавиши мыши на ее значке активизировать контекстное меню и указать в нем команду Remove.

В области Soft Devices Chain отображается цепочка моделей процессорного ядра программируемых контроллеров в стандарте Nexus 5001, если предполагается их реализация на выбранной ПЛИС. Они также связаны в последовательную цепь линиями JTAG-интерфейса. Если проект не предполагает использования моделей процессорного ядра, область остается пустой.

В области Nexus Core Components Listing отображается дерево текущего открытого проекта, вложенных проектов и все входящие в них компоненты стандарта Nexus 5001 – модели процессорного ядра микроконтроллеров, блоки оперативной памяти (RAMXXX), виртуальные инструменты отладки.

Обмен данными между компьютером и отладочной панелью NanoBoard, формируемыми в трех потоках процесса обработки проекта, происходит по линиям JTAG-интерфейса. Эти данные мультиплексируются контроллером отладочной панели, а при поступлении в компьютер распределяются по цепям NanoBoard Controller Chain, Hard Devices Chain и Soft Devices Chain.

8.5.2. Работа в моде Not Live

В моду Not Live можно перейти из моды Live непосредственно в оболочке Devices View, сняв активность опции Live в области NanoBoard Controllers Chain (см. рис. 8.12), либо по команде Tools>>Preferences>>FPGA>>Devices View в главном меню программы.

Диалоговое окно оболочки Devices View приобретает вид, показанный на рис. 8.15. В область контроллеров отладочных панелей выводится сообщение об отсутствии подключения к “физическим” приборам Not Connected To Any Physical Devices.

В области Hard Devices Chain активными остаются только три поля управления процессом – Compile, Synthesize и Build. Поле Program FPGA затенено и недоступно для работы, поскольку в моде Not Live не предполагается загрузка кода программирования в ПЛИС.

Поскольку в моде Not Live ПЛИС, на которой выполняется проект, не детектируется автоматически, она должна быть включена в оболочку Devices View по команде Add, активизируемой щелчком правой клавиши мыши в области Hard Devices Chain. В контекстном меню показаны микросхемы ПЛИС, для которых в структуре проекта назначены конфигурации (см. рис. 1.13). При указании курсором на одну из них со щелчком левой клавиши мыши выбранная микросхема включается в оболочку Devices View и отображается в виде значка в поле Hard Devices Chain (рис. 8.15).

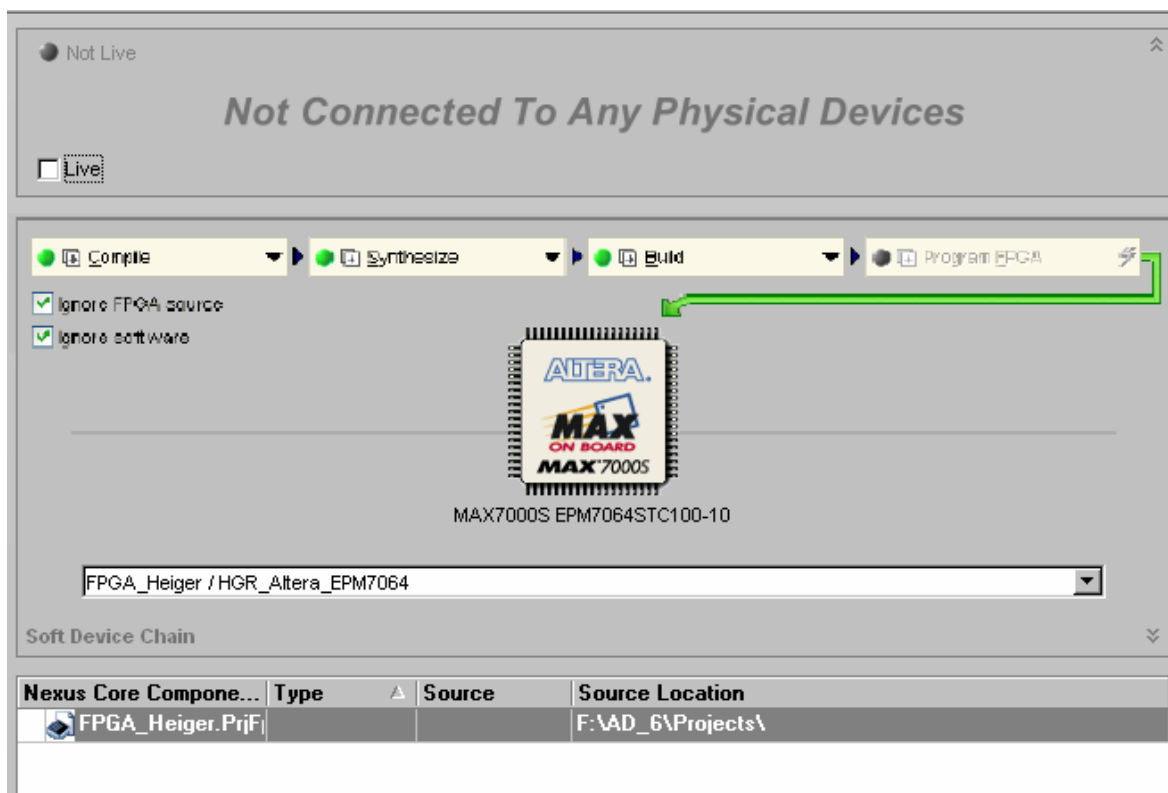


Рис. 8.15

Поскольку отсутствует физическое подключение ПЛИС к аппаратным средствам программирования и отладки, линии ее интерфейса затенены.

В режиме Not Live также доступны средства поиска, выбора и замены ПЛИС, рассмотренные в предыдущем разделе (см. рис. 1.13 и 1.14).

При необходимости реализации проекта в нескольких вариантах необходимые микросхемы ПЛИС отбираются средствами поиска и составляются в цепочку в области Hard Devices Chain. Командой главного меню Tools>>Devices List может быть активизировано окно просмотра Design Workspace – Physical devices List, в котором отображается список выбранных микросхем ПЛИС с краткой технической характеристикой каждой из них. Если для каждой из них в проекте определена конфигурация, командой Compile All Bit Files может быть запущено формирование двоичных файлов программирования для всех ПЛИС, составляющих цепочку.

8.6. Программирование ПЛИС

Как уже было сказано, завершающая стадия выполнения проекта ПЛИС включает четыре фазы: компиляцию, синтез, построение и загрузку программы коммутации в выбранную ПЛИС. Первые три фазы могут выполняться как в режиме Live, так и в режиме Not Live. Управление этими фазами производит-

ся командами, выведенными на поля-кнопки в области Hard Devices Chain оболочки Devices View (см. рис. 8.12, 8.15).

8.6.1. Компиляция

Компиляция проекта активизируется щелчком на кнопке Compile. В процессе компиляции выполняется проверка исходных документов проекта на отсутствие электрических, графических ошибок и ошибок кодировки. Кроме того, если проект содержит Nexus-компоненты (процессорное ядро микроконтроллера, блоки памяти, виртуальные инструменты отладки), для каждого такого компонента генерируется шестнадцатиричный файл, включаемый в структуру проекта. Входящие в структуру Nexus-компоненты выстраиваются в цепочку в области Soft Devices Chain оболочки Devices View.

Если компиляция прошла успешно, информация о структуре проекта образует файл структуры проекта с именем проекта и расширением *.PrjFpgStructure. Этот файл включается в дерево структуры проекта и отображается в плавающей панели Projects.

8.6.2. Синтез

Назначением данной фазы является подготовка исходных данных для инструментов размещения и трассировки внутренних связей ПЛИС от производителя микросхем (Vendor Tools). На этой стадии выясняется, возможен синтез или нет.

Если синтез проходит успешно, конечным результатом является файл описания всей структуры проекта (Netlist) на языке обменного формата EDIF (Electronic Design Interchange Format). Синтез выполняется в несколько шагов:

1) Синтезируются модели ядра логических блоков, входящих в состав проекта ПЛИС. Эти модели содержат скомпилированные шестнадцатиричные данные из вложенных проектов.

2) Для каждого листа схемы проекта формируется промежуточное описание в конструкциях языка описания аппаратуры VHDL. Эти описания конвертируются и объединяются в файл верхнего уровня на языке EDIF.

3) Для конкретной выбранной микросхемы ПЛИС программа отыскивает в библиотечной директории ...\\Altium Designer 6\\Library\\EDIF\\ и копирует в выходную директорию ...\\Output2\\ файлы синтезированных EDIF-моделей компонентов схемы и функциональных узлов внутренней структуры ПЛИС.

Допускается использование как системных моделей, так и моделей, синтезированных пользователем. Размещение директории пользовательских моделей определяется в диалоге настройки Tools>>FPGA Preferences на странице FPGA – Synthesis диалогового окна.

8.6.3. Построение

В фазе Build из оболочки Devices View запускаются инструменты размещения и трассировки логики проекта на кристалле ПЛИС (Vendor Tools). Перед этой фазой могут стоять задачи разного рода:

- проверить, размещается ли логика проекта в выбранной ПЛИС;
- получить данные о подключении внешних логических сигналов к выводам выбранной ПЛИС для импорта их в Altium Designer и формирования в его среде файлов привязки.

При выполнении фазы построения в полном объеме конечным результатом является файл программирования ПЛИС, который в конечном итоге загружается в выбранную микросхему и обеспечивает ее функционирование в соответствии с замыслом разработчика проекта. Этот конечный результат достигается в результате выполнения пяти шагов. Названия этих шагов разворачиваются по щелчку левой клавиши мыши на кнопке Build:

- Translate Design – конверсия EDIF-файла проекта верхнего уровня и присоединенных файлов синтезированных моделей, полученных с фазы синтеза, в формат внутренней базы данных (Native Generic Database) специализированной САПР производителя ПЛИС (Vendor Tools);
- Map Design to FPGA – формирование логики проекта из логических примитивов внутренней структуры ПЛИС;
- Place and Route – использование данных из описания нижнего уровня, полученного на предыдущем шаге для размещения необходимой логики на кристалле ПЛИС и последующей коммутации внутренних логических связей;
- Timing Analysis – временной анализ проекта в соответствии с настройками временных параметров, назначенными в файлах привязки;

Make Bit File – формирование двоичного файла программирования, предназначенного для загрузки в выбранную ПЛИС.

По окончании работы фазы построения (Build) открывается диалоговое окно, в котором представлены сведения об использовании ресурсов кристалла ПЛИС при размещении в нем логики проекта (рис. 8.16).

Results Summary

Device Resources - Usage summary

4-Input LUTs - Logic	3,245 / 6,144	52%
4-Input LUTs - Total	3,489 / 6,144	56%
Block RAMs	4 / 16	25%
DLLs	1 / 4	25%
Global Clock I/O Buffers	1 / 4	25%
Global Clocks	3 / 4	75%
I/O Pins	26 / 142	18%
Slice Flip Flops	1,235 / 6,144	20%
Slices with only related logic	2,143 / 2,143	100%
Slices with unrelated logic	0 / 2,143	0%
Slices	2,143 / 3,072	69%
Tbuts	8 / 3,200	1%

Design Statistics - Timing summary

JTAG_NEXUS_TCK (Constraint = 1.000 MHz)	54.708 MHz
Maximum Frequency	10.485 MHz
Maximum combinatorial path delay	5.603 ns
Minimum input required time before clock	16.470 ns
Maximum output delay after clock	28.257 ns

☒ Show Results Summary dialog

Note: The Results Summary also appears in the Output panel

Print

Copy

Report

Close

Рис. 8.16

В нижней части окна размещаются сведения о тактовых частотах и временных задержках логических сигналов. Те же самые сведения выводятся в плавающую панель Output.

В случае использования микросхем ПЛИС фирмы Xilinx к этим шагам добавляется еще один – Make PROM File – формирование файла программирования конфигурационного ПЗУ, с которого в ПЛИС при включении питания функционального узла загружается программа коммутации внутренних логических связей.

8.6.4. Загрузка программы коммутации ПЛИС

Данная фаза процесса выполняется только если к компьютеру подключена отладочная панель NanoBoard или пользовательская отладочная панель с установленной на ней микросхемой ПЛИС.

Вторым условием, при котором выполняется данная фаза является успешное завершение всех предыдущих фаз процесса.

Файл программирования загружается в ПЛИС через мультиплексируемый последовательный канал JTAG интерфейса, действующий под управлением контроллера отладочной панели NanoBoard. Ход программирования ПЛИС отображается в линейке статуса. По окончании программирования со-

общение Reset (установлено в исходное состояние) под значком ПЛИС в области Hard Devices Chain меняется на Programmed (запрограммировано).

Отметим еще ряд особенностей выполнения стадий работы в оболочке Devices View.

1) Кнопки запуска стадий процесса являются многофункциональными:

- щелчком мыши на текстовой надписи запускается только текущая стадия процесса;
- щелчком на значке в левой части поля кнопки запускаются все предыдущие и текущая стадия;
- щелчком на “сигнальной лампочке” в левом конце или на стрелке в правом конце поля кнопки разворачивается список шагов текущей стадии процесса с цветовой индикацией, отображающей ход выполнения каждого шага, при этом может быть активизирован диалог настройки опций для каждого шага.

2) Цвет “сигнальной лампочки” в левом конце поля кнопки отображает ход и успех или неудачу при выполнении текущей стадии или отдельных ее шагов:

- серый – Not Available – стадия недоступна для исполнения;
- красный – Missing – данная стадия или ее шаг ранее не выполнялись (в том числе перед первым исполнением стадии или шага);
- желтый – Out of Date – исходный файл был изменен, поэтому требуется повторное выполнение стадии или шага, чтобы согласовать результаты стадий;
- синий – Running – происходит выполнение текущей стадии или шага;
- оранжевый – Cancelled – выполнение стадии или шага остановлено пользователем;
- сиреневый – Failed – при выполнении стадии или шага произошла ошибка;
- зеленый – Up to Date – выполнение стадии или шага прошло успешно, все результаты согласуются.

3) Выполнение процесса на стадии Build может быть остановлено нажатием клавиши Esc на клавиатуре. На стадиях Compile и Synthesize имеется свой диалог прогресса, в котором выполнение стадии может быть прервано. Стадия загрузки файла программирования в ПЛИС (Program FPGA), если она запущена, не может быть остановлена и выполняется до конца.

4) Наблюдать за ходом выполнения стадий формирования логической структуры и программирования ПЛИС структуры в текущем времени можно по сообщениям в плавающей панели сообщений (Messages).

5) Микросхеме ПЛИС может быть присвоен индивидуальный идентификационный код. Для этого следует двойным щелчком левой клавиши мыши на имени проекта в поле Nexus Core Components активизировать диалог настройки опций FPGA-проекта и открыть закладку Options (рис. 8.17).

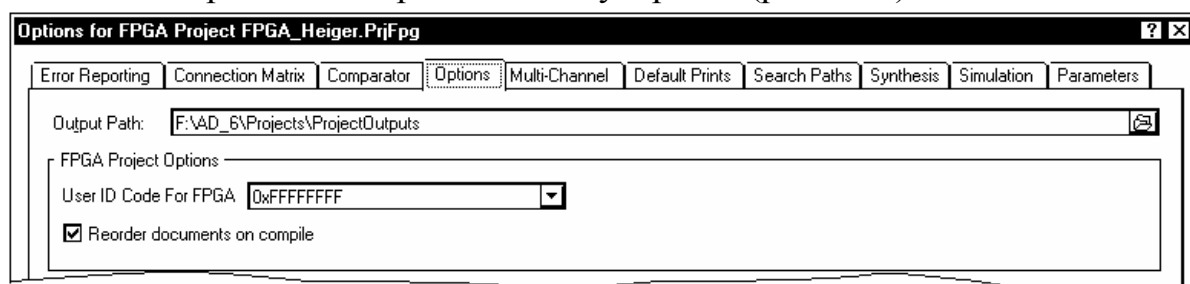


Рис. 8.17

Ввести в поле User ID For FPGA шестнадцатеричный код идентификации. Этот код появляется в панели Devices View под изображением значка микросхемы. Такая кодировка может быть полезной в случаях, когда на печатной плате РСВ-проекта верхнего уровня иерархии стоит несколько однотипных микросхем ПЛИС.

8.7. Встроенные инструменты контроля и отладки

При отладке изготовленных радиоэлектронных функциональных узлов обычной практикой является применение электро- и радиоизмерительных приборов для наблюдения сигналов в разных точках схемы. Существуют контрольные стенды с матричным расположением большого количества щупов, снимающих сигналы в сотнях точек печатного узла, сканированием этих щупов и отображением сигналов на мониторе логического анализатора (bed-of-nails testing). Применить такую практику контроля к интегральным микросхемам чрезвычайно затруднительно в силу малых размеров кристалла, наличия защиты кристалла и возможности доступа далеко не ко всем узлам электрической схемы.

Средства Altium Designer позволяют организовать такой контроль за счет использования ресурсов кристалла ПЛИС, не задействованных при реализации логической схемы проектируемого устройства. Библиотека FPGA Instruments.IntLib содержит набор встраиваемых в кристалл инструментов, виртуальные измерительные щупы которых подключаются к узлам электрической схемы, реализуемой в кристалле ПЛИС и обеспечивают наблюдение

сигналов в этих узлах. Для этого необходимо извлечь из библиотеки FPGA Instruments.IntLib и ввести эти инструменты в схему как обычные компоненты, присоединив их электрические выводы к необходимым узлам схемы. В оболочке Devices View в Live-моде виртуальные инструменты наблюдаются в области Soft Devices Chain и включаются там в цепочку с другими программно-эмулируемыми компонентами. При размещении и трассировке логической схемы в кристалле ПЛИС для их реализации используется некоторая часть площади кристалла. Настройка и управление работой встроенных виртуальных инструментов активизируется двойным щелчком левой клавиши мыши на значке инструмента в поле Soft Devices Chain оболочки Devices View. На экране монитора компьютера открывается вид передней панели, напоминающий вид передних панелей современных цифровых измерительных приборов, набираемых в стойку (рис. 8.18). Отсюда общее название этого набора инструментов – Instrument Rack.



Рис. 8.18

Набор встраиваемых инструментов включает:

- CLKGEN – генератор тактовой частоты, значение которой устанавливается щелчком мыши на одной из экранных кнопок передней панели или из диалогового окна настройки.
- FRQCNT2 – двухканальный цифровой частотомер, измеряющий частоту сигнала, период или число импульсов за заданный временной интервал.
- IOB_x – модули входных-выходных буферов*, через которые могут наблюдаться или активироваться логические сигналы в узлах схемы устройства, реализованного в ПЛИС. Варианты исполнения – от 1 до 4-х каналов 8-разрядного или 16-разрядного параллельного кода. Логические сигналы, активируемые на входах отображаются в виде шестнадцатиричного числа и в виде линейки светодиодов. Выходные сигналы отображаются в виде двоичного и шестнадцатиричного числа в каждом канале.
- LAX_x – логический анализатор, подключаемый к необходимым узлам схемы, конфигурируемый в диалоге настройки и представляющий на

* Документ CR0102 IOB_x Digital I/O Module.pdf Core reference (v.1.2)
December 12, 2005

экране монитора временные диаграммы дискретных (цифровых) или аналоговых сигналов в этих узлах*.

Отличие встроенных инструментов Altium Designer от эмулируемых виртуальных инструментов отладки состоит в том, что это реальные измерительные инструменты, встроенные в кристалл. Информация, которую получает пользователь, снимается с узлов физического прибора ПЛИС.

Кроме этих встраиваемых инструментов Altium Designer располагает виртуальными инструментами управления функциями контроллера отладочной панели NanoBoard NB-1 и средствами отладки программного ядра микроконтроллеров, встраиваемых в ПЛИС. Активация этих инструментов производится по двойному щелчку левой клавиши мыши на значке контроллера отладочной панели в области NanoBoard Controllers Chain или на значке эмулируемого компонента в зоне Soft Devices Chain оболочки Devices View.

На отладочной панели NanoBoard имеются средства поддержки встроенных инструментов, обеспечивающие их связь с компьютером, на котором ведется разработка проекта. Все виртуальные инструменты связываются с компьютером через программно-эмулируемую JTAG-цепочку, работающую в Nexus-стандарте и отображаемую в зоне Soft Devices Chain оболочки Devices View. Для того, чтобы иметь возможность активации и работы со встроенными инструментами и программно-эмулируемыми компонентами FPGA-проекта следует разместить на листе схемы верхнего уровня иерархии два компонента – NEXUS_JTAG_PORT и NEXUS_JTAG_CONNECTOR, хранящиеся в библиотеках, соответственно, FPGA Generic.IntLib и FPGA NanoBoard Port-Plugin.IntLib (рис. 8.19).

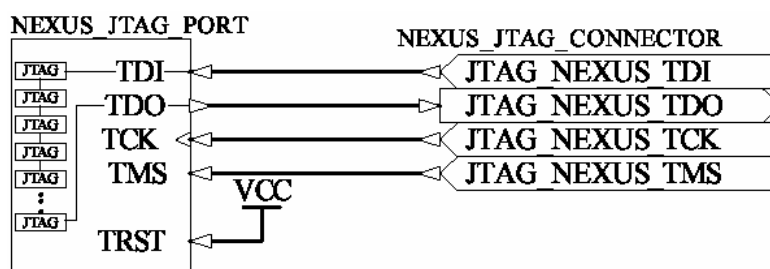


Рис. 8.19

Для физической реализации этого канала необходимо зарезервировать на выбранной ПЛИС четыре вывода для портов JTAG-коннектора, кроме того, на выбранной ПЛИС для него должно хватить аппаратных ресурсов.

* Документ CR0103 LAX_x Logic Analyzer.pdf Core reference CR0103 (v.1.2)
December 12, 2005

9. ОБЪЕДИНЕНИЕ ПРОЕКТА ПЛИС С ПРОЕКТОМ ПЕЧАТНОЙ ПЛАТЫ

В результате выполнения проекта ПЛИС мы получаем микросхему, запрограммированную на отладочной панели или готовую к программированию на печатной плате функционального узла, разрабатываемого в рамках РСВ-проекта. Технология сквозного проектирования предполагает параллельное выполнение FPGA-проекта логического ядра и РСВ-проекта функционального узла. В конце концов наступает момент, когда необходимо объединить оба проекта. Такое объединение достигается, если логическое ядро функционального узла, выполненное в ПЛИС, оформляется как схемный документ и включается в электрическую принципиальную схему РСВ-проекта на правах иерархического схемного компонента. При этом связность того и другого проектов обеспечивается через имена цепей: необходимо, чтобы входные и выходные порты микросхемы ПЛИС и метки цепей, подключаемых к схемному элементу ПЛИС в РСВ-проекте верхнего уровня имели одинаковые имена. Необходимо также, чтобы обеспечивалась возможность передачи изменений, вносимых как в FPGA, так и в РСВ проект, из одного проекта в другой и обратно. Это свойство называется синхронизацией проектов.

9.1. “Мастер” объединения проектов

Связь проектов FPGA и РСВ и их синхронизация легче всего достигается, если использовать функции “мастера” FPGA to PCB Project Wizard. В диалоговых окнах-страницах “мастера” могут быть выполнены такие шаги FPGA-проекта, как выбор микросхемы ПЛИС, формирование файла привязок и конфигурации проекта, назначение логических сигналов проекта на выводы выбранной ПЛИС. Эти шаги рассмотрены в предыдущих разделах нашего учебного пособия, поэтому будем считать, что эти шаги выполнены, и нет необходимости повторять их при рассмотрении функций “мастера”.

9.1.2. Выбор конфигурации проекта

Для использования функций “мастера” следует:

1. В среде открытого схемного документа FPGA-проекта активизировать команду главного меню Tools>> FPGA to PCB Project Wizard и щелчком левой клавиши мыши на кнопке Next перейти на страницу определения конфигурации проекта (рис. 9.1).

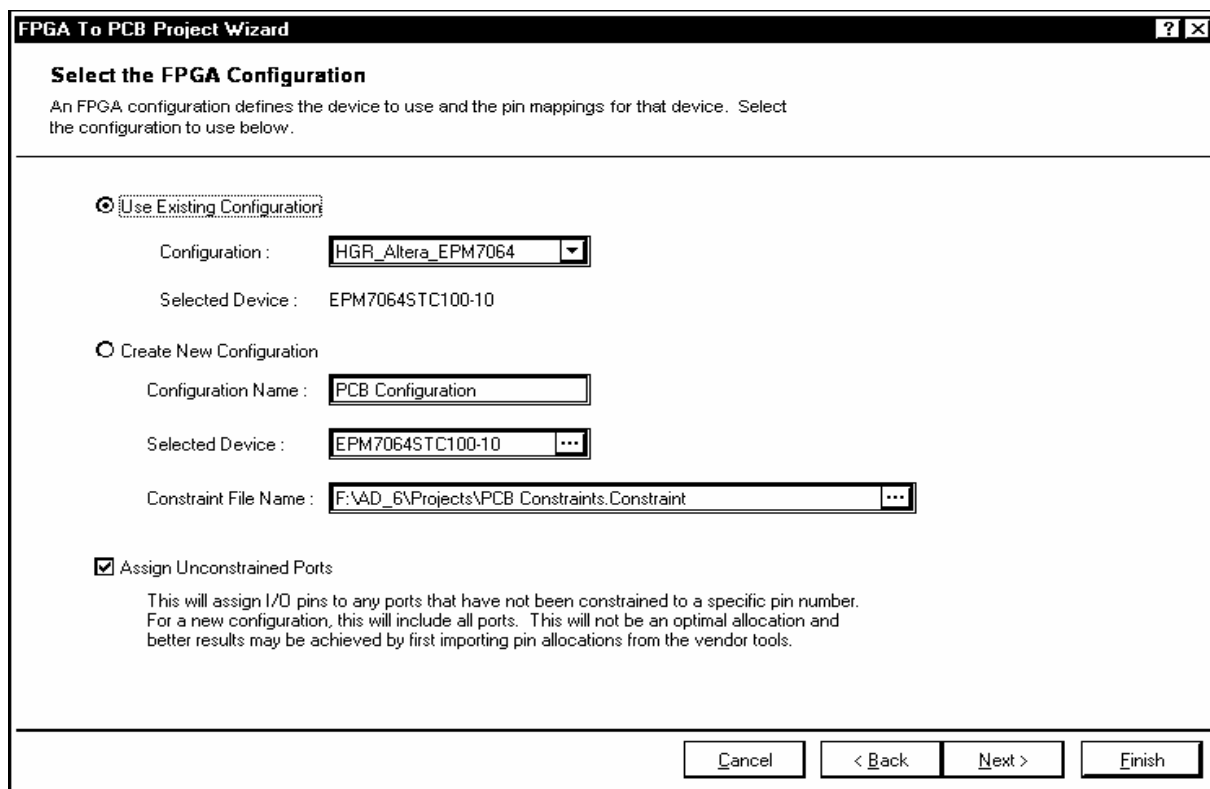


Рис.9.1

2. На странице Select the FPGA Configuration активизировать кнопку выбора Use Existing configuration – использовать существующую конфигурацию. Имя текущей активной конфигурации проекта отображается в поле выбора Configuration.

3. В поле Selected Device отображается название выбранной ПЛИС.

Если конфигурация ранее не назначалась, она может быть образована. Для этого следует активизировать кнопку Create New Configuration – создать новую конфигурацию.

4. В полях Configuration Name и Constraint File Name могут быть оставлены неизменными назначенные по умолчанию или назначены новые имена конфигурации и файла привязок.

5. В поле Selected Device кнопкой можно активизировать диалог поиска микросхемы ПЛИС, рассмотренный ранее, в 8.4.2 (см. рис. 8.9).

9.1.2. Привязка портов логической схемы к выводам ПЛИС

Привязка портов логической схемы нашего проекта к выводам выбранной ПЛИС была выполнена ранее, на стадии формирования файла привязок. Эти привязки передаются в САПР производителя ПЛИС (Vendor Tools), где используются для генерации файлов программирования ПЛИС. В среде “мастера” объединения проектов эти привязки используются при формировании

схемного элемента, включаемого в РСВ-проект. Это включение может выполняться одним из следующих способов:

1. Если к моменту работы по объединению FPGA и РСВ проектов уже выполнены синтез и построение FPGA проекта в среде САПР производителя ПЛИС (Vendor Place and Route Tools), назначения привязок могут быть импортированы из среды этой специализированной САПР командой главного меню программы Tools>>Import FPGA Pin File.

2. В открытом схемном документе активизировать команду главного меню программы Tools>>FPGA Signal Manager. Откроется диалоговое окно с таблицей, в которой отображен набор привязок, выполненных при формировании файла привязок проекта (рис. 9.2). При этом назначения, выполненные для групповых (шинных) портов, в данную таблицу не передаются. Недостающие привязки могут быть назначены вручную для каждой индивидуальной логической линии в колонках таблицы окна, рис. 9.2.

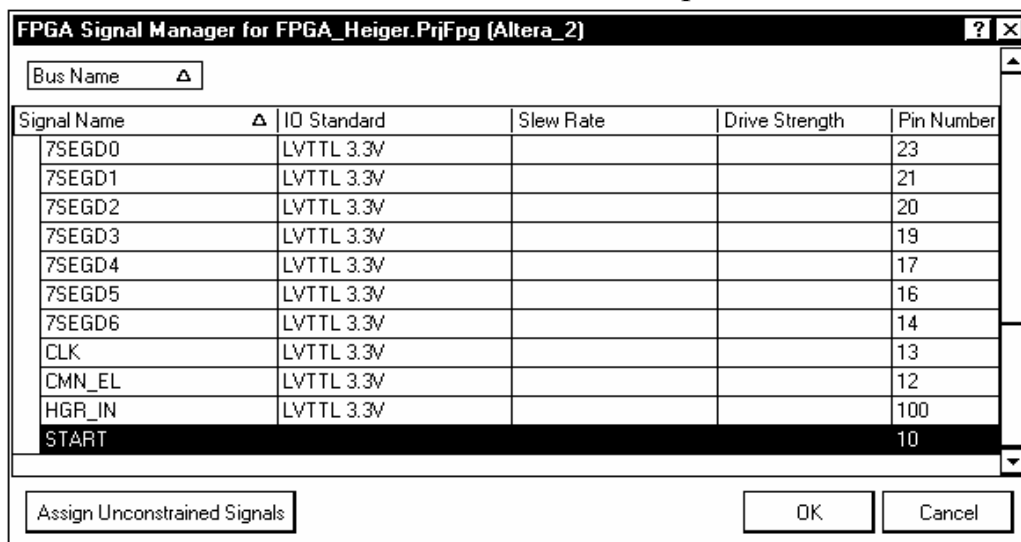


Рис. 9.2

Недостающие привязки могут быть также назначены Щелчком на кнопке Assign Unconstrained Signals. В обоих случаях эти привязки не совпадают с ранее назначенными в файле привязок. Таким образом, данная функция может использоваться для назначения привязок на “голый” проект.

3. Аналогично предыдущему случаю, автоматическая привязка портов логической схемы проекта к выводам выбранной ПЛИС может быть активизирована в среде “мастера” щелчком на кнопке Assign Unconstrained Ports (см. рис. 9.1). В случае, если привязка ранее не назначалась, операция касается всех портов логической схемы. Если же привязки назначены, активизировать данную функцию не следует, поскольку при ее выполнении программа игнорирует привязки индивидуальных линий, собранных в шинные порты, и до-

бавляет в группы файла привязок свои назначения, не удаляя исходные. В результате в группах привязки шинных портов оказываются два одноименных поля FPGA_PINNUM с разными назначениями контактов ПЛИС. Кроме того, порт входного тактового сигнала назначается не на predetermined вывод глобального тактового сигнала ПЛИС, а на один из пользовательских контактов. Все это нарушает первоначальный замысел автора разработки и приводит к ошибкам компиляции проекта.

4. Самый трудоемкий способ – назначить привязки вручную в готовом автоматически сгенерированном схемном документе. Использование этого способа нежелательно, поскольку кроме большого объема работы по назначению привязок каждого сигнала необходим еще дополнительный шаг синхронизации проектов для передачи выполненных назначений в файл привязок проекта.

9.1.3. Объявление имени РСВ-проекта

Поскольку в нашем проекте микросхема ПЛИС выбрана и не должна меняться, файл привязок сформирован и конфигурация определена, щелчком на кнопке Next переходим на следующую страницу “мастера”. На этой странице выполняется единственное действие – подтверждается существующее или назначается новое имя РСВ-проекта верхнего уровня (рис. 9.3).



Рис. 9.3

При назначении нового имени РСВ-проекта программа выдает диалоговое окно с предложением определить формат файла проекта – Protel PCB или P-CAD PCB. Определить формат проекта и щелчком на кнопке Next перейти на следующую страницу “мастера”.

9.1.4. Генерация схемного листа проекта

На странице Configure the Main Sheet – конфигурировать главный лист (рис. 9.4) – строится лист схемного документа РСВ-проекта, содержащий изображение схемного символа ПЛИС с присвоенными выводам микросхемы обозначениями цепей и изображениями портов логической схемы проекта.

- Назначить размерность для графических документов РСВ-проекта – метрическую (Metric) или дюймовую (Imperial) систему единиц измерения.
- В поле Main Sheet File Name выбрать из выпадающего списка существующих или ввести взамен назначенного программой по умолчанию имя файла схемного листа, включаемого в структуру РСВ-проекта.

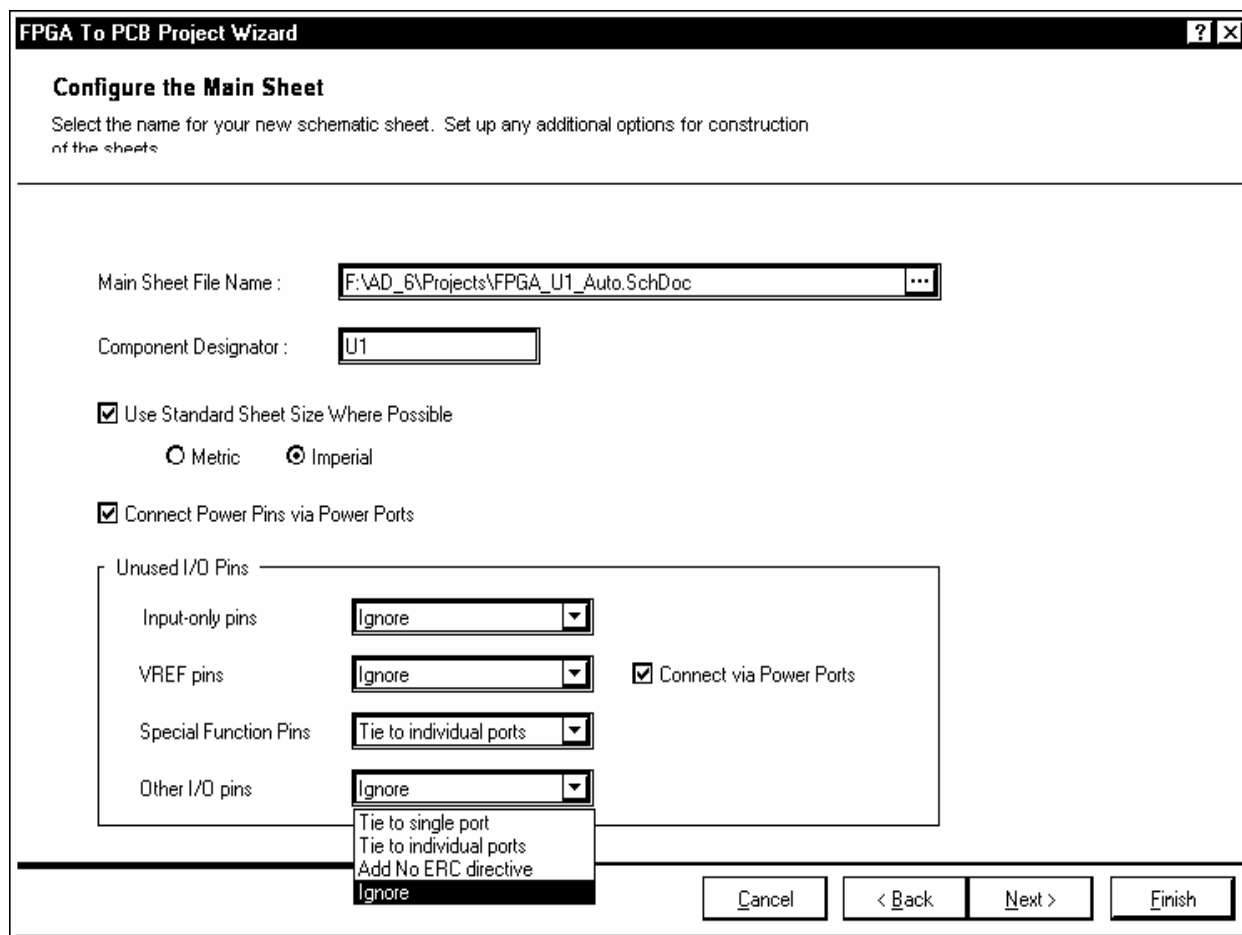


Рис. 9.4

- В поле Component Designator ввести позиционное обозначение для формируемого схемного документа.
- Оставить активными опции Use Standard Sheet Size Where Possible – использовать лист стандартного размера там, где возможно, и Connect Power Pins via Power Ports – соединить контакты питания (и земли) через силовые порты схемы.
- В поле Unused I/O Pins указать, каким образом следует обходиться с неподключенными входными и выходными контактами используемой ПЛИС. Возможны следующие варианты выбора (см. рис. 9.4):
 - Tie to single port – связать с одним общим портом;
 - Tie to individual ports – связать каждый вывод с индивидуальным портом;
 - Place No ERC directive – снабдить вывод директивой No ERC – не применять электрический контроль: в этом случае при компиляции не будут выводиться сообщения об ошибках;
 - Ignore – игнорировать, т. е. никуда не присоединять.

Применительно к выводам, предназначенным для выполнения специальных функций (Special Function Pins) – входам тактовых сигналов, начальной установки, выводам встроенного JTAG-контроллера – назначим присоединение к индивидуальным портам (Tie to individual ports).

Для остальных неиспользуемых выводов назначим признак Ignore.

После завершения рассмотренных настроек щелчком на кнопке Next переходим на следующую страницу “мастера” объединения FPGA и PCB проектов Configure Sheet Symbol Sheet (рис. 9.5).



Рис. 9.5

На этой странице следует выполнить единственную настройку – назначить имя схемного документа для иерархического компонента PCB-проекта:

- активизировать опцию Create Sheet Symbol – создать символ схемного элемента;
- в поле Sheet Symbol File Name выбрать из выпадающего списка одно из существующих имен или ввести с клавиатуры новое имя файла схемного документа иерархического компонента.

Щелчком на кнопке Finish завершить работу “мастера” объединения проектов.

В результате получаем два документа, образующих иерархию:

- лист схемы с изображением схемного символа ПЛИС, внешних портов логической схемы FPGA-проекта и портов питания (рис. 9.6);
- лист схемного документа с изображением иерархического схемного компонента, в котором сигнальные порты логической схемы FPGA-проекта заменены на соединители схемных листов – элементы Sheet Connector с теми же именами.

Кроме того, в файл привязок FPGA-проекта добавляется строка:

```
Record=Constraint | TargetKind=PCB | TargetId=Radiometer_3.PrjPcb
```

Эту строку следует удалить из файла привязок FPGA-проекта и перенести в файл привязок PCB-проекта.

Щелчком правой клавиши мыши на имени PCB-проекта в плавающей панели Projects активизировать контекстное меню и выполнить команду ком-

Figure 1: Pin connections for the EPM7K10-10C100. The figure consists of 10 sub-diagrams labeled U1.1 through U1.10, showing the pin connections for various components. U1.1 and U1.2 show BANK A and BANK B connections. U1.3 and U1.4 show BANK C and BANK D connections. U1.5 shows the connection for the EPM7K10-10C100 device. U1.6 shows the connection for the EPM7K10-10C100 device. U1.7 shows the connection for the EPM7K10-10C100 device. U1.8 shows the connection for the EPM7K10-10C100 device. U1.9 shows the connection for the EPM7K10-10C100 device. U1.10 shows the connection for the EPM7K10-10C100 device.

Для того, чтобы убедиться, осуществилась ли связь PCB и FPGA проектов следует активизировать в плавающей панели Projects опцию Structure Editor. В случае успешного объединения в верхнем поле панели FPGA-проект отображается в виде узла иерархической структуры PCB-проекта, а в нижнем поле Valid Sub Projects and Configurations (рис. 9.7) отображается структура документов FPGA-проекта.

9.2. Синхронизация FPGA и РСВ проектов

- 51 -

ПЛИС, разработан или открыт ранее сформированный документ редактора печатной платы и на него должны быть “выгружены” компоненты, образующие электрическую схему.

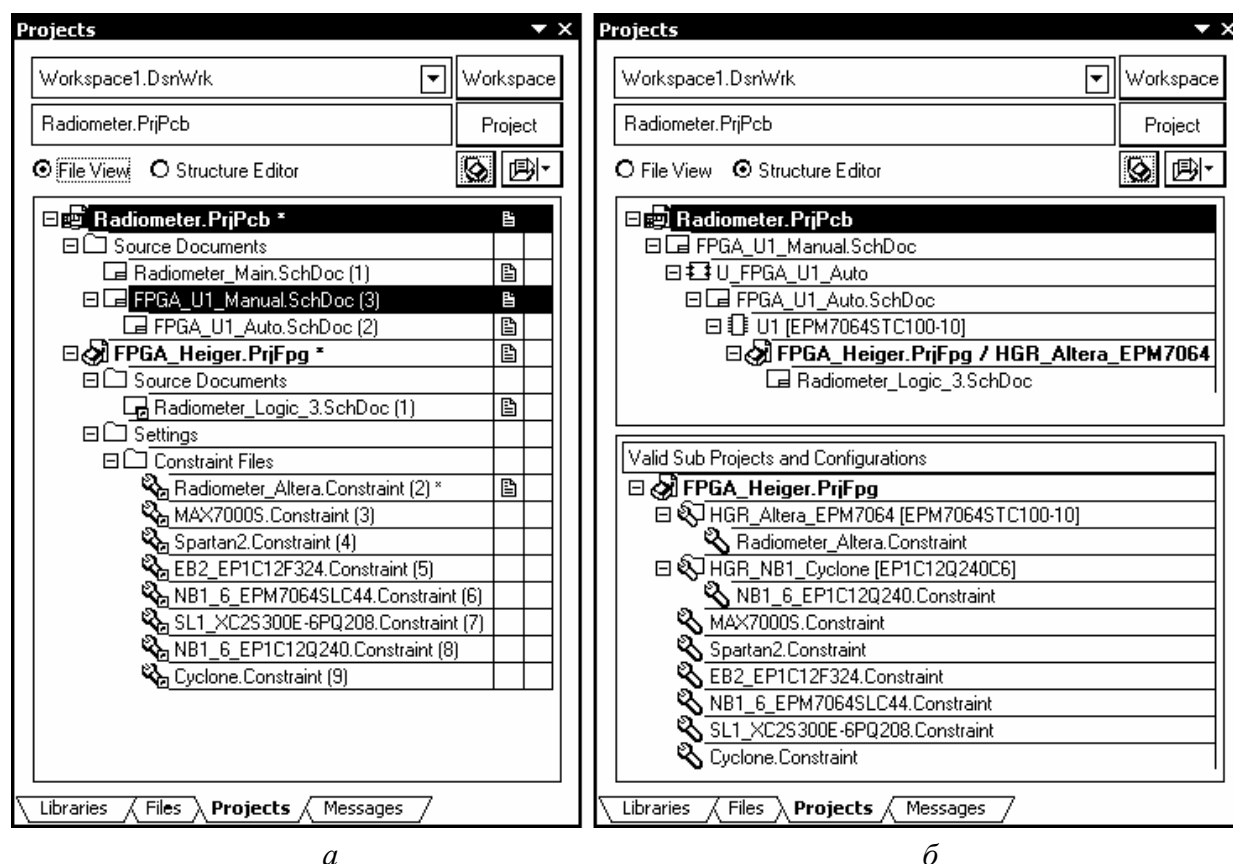


Рис. 9.7

Синхронизация проектов заключается в поддержании соответствия имен цепей и назначения выводов ПЛИС в FPGA и PCB проектах и в значительной степени обеспечивается внутренними механизмами DXF платформы. Тем не менее, разработчику проекта необходимо понимать действие этих механизмов, чтобы при неумелом вмешательстве не разрушить синхронность проектов, а в некоторых случаях вносить коррективы, призванные восстановить синхронность после редактирования документов выполненного проекта.

Для обнаружения текущего состояния синхронизации проектов следует активизировать команду главного меню Project>>FPGA Workspace Map. Откроется одноименная панель FPGA Workspace Map (рис. 9.8), в которой отображается состав и состояние синхронизации частей текущего активного сквозного проекта или всех проектов, отображаемых в плавающей панели Projects.

- В крайнем левом поле отображается позиционное обозначение ПЛИС в документе печатной платы PCB-проекта, имя документа печатной

платы текущего открытого проекта, значок и обозначение типа ПЛИС, используемой в проекте.

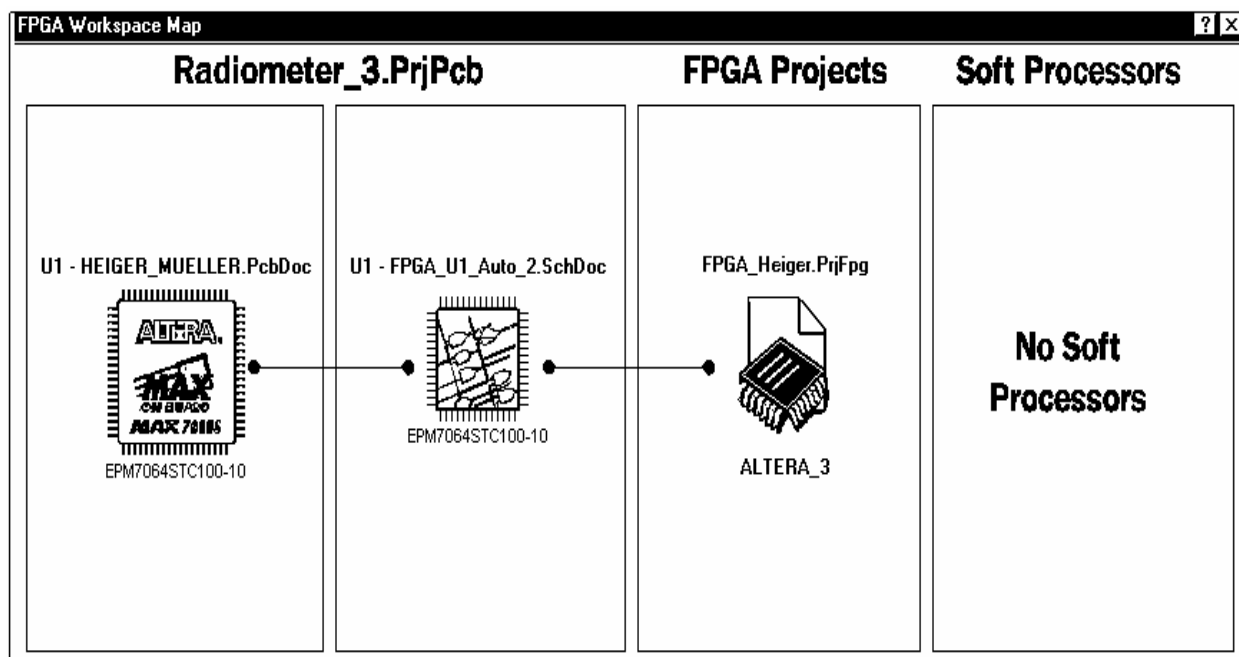


Рис. 9.8

- Во втором слева поле отображается позиционное обозначение ПЛИС в схемном документе РСВ-проекта, имя схемного документа, значок и обозначение типа ПЛИС, используемой в проекте.

Над двумя этими полями размещается заголовок с именем текущего открытого РСВ-проекта или заголовок PCB Projects, если проектов несколько.

- В следующем поле под заголовком FPGA Projects отображается имя текущего открытого FPGA-проекта (FPGA_Heiger.PrjFpg) или всех открытых проектов, значок, обозначающий ПЛИС и имя конфигурации проекта (в случае нашего примера ALTEA_3);

- В крайнем правом поле под заголовком Soft Processors отображаются сведения о проектах встроенного программного обеспечения.

Текущее состояние связности и синхронизации проектов показывают линии, тянущиеся из поля в поле – от одного проекта к другому. Если связь существует и синхронность достигнута, эти линии имеют зеленый цвет. Если нет – линии красного цвета.

Для достижения синхронности следует активизировать диалог щелчком левой клавиши мыши на красной линии связи проектов. Если это линия связи схемного документа, открывается диалоговое окно синхронизации проектов Synchronize U1 and FPGA_Heiger.PrjFpg (рис. 9.9; в заголовке окна отображено позиционное обозначение ПЛИС в схемном документе РСВ-проекта и имя FPGA-проекта).

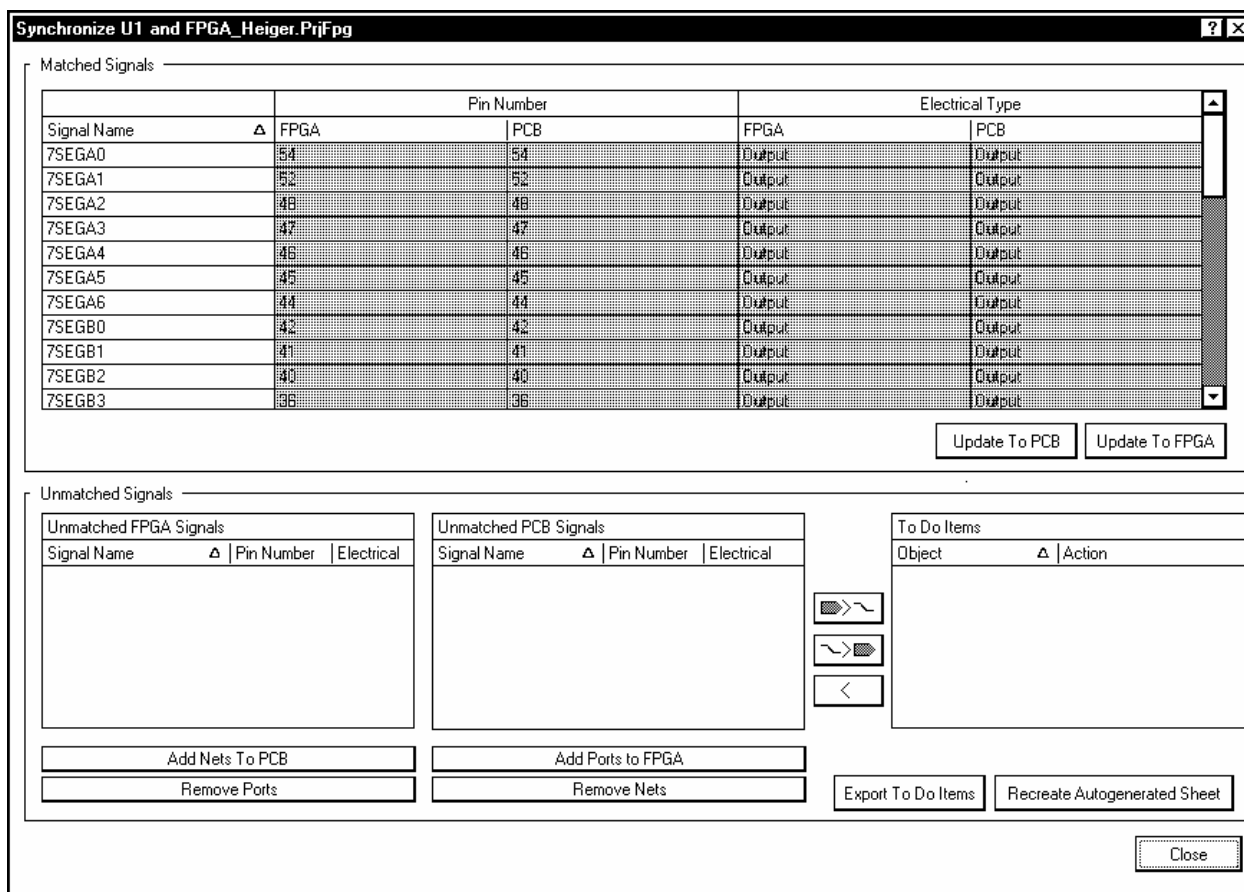


Рис. 9.9

В верхнем поле окна Matched Signals размещается таблица связанных сигналов (у которых совпадает имя цепи в FPGA и PCB проектах) с обозначением номеров выводов ПЛИС и их электрических типов в FPGA и PCB проектах. Ячейки таблицы, в которых эти обозначения совпадают, залиты зеленым фоном, а те, в которых обозначения не совпадают – красным фоном. Это является признаком отсутствия синхронизации. В этом случае следует выяснить источник несоответствия и устранить его щелчком мыши на кнопке Update to PCB или Update to FPGA. Для того, чтобы внесенные изменения вступили в силу, следует выполнить предлагаемую программой стандартную ЕСО-процедуру.

В нижних полях окна, рис. 9.9, отображаются списки несвязанных сигналов (Unmatched Signals) – цепей FPGA-проекта, для которых не выполнена привязка логики ПЛИС к выводам микросхемы (Unmatched FPGA Signals) и цепей PCB-проекта, для которых не определены порты в FPGA-проекте. Устранение этих несоответствий производится вручную. Для этого следует:

- кнопками Add Nets to PCB или Add Ports to FPGA сформировать список имен несвязанных сигналов из одного или другого поля в поле To-Do Items;

- кнопкой Export To-Do Items экспортировать строки этого списка в плавающую панель To Do*; само по себе это не приводит к изменениям в проекте, поскольку таблица в панели To Do служит лишь для напоминания разработчику проекта о необходимости выполнить доработки;

- кнопкой Close закрыть диалог;
- в открытом схемном документе внести изменения с целью обеспечить связность документов FPGA и PCB проектов – изменить имена цепей, портов, соединителей листов схемы и т.п.;

- откомпилировать измененные схемные документы;
- выполнить предлагаемую программой ESO-процедуру;
- вернуться в оболочку FPGA Workspace Map (рис. 9.8) и убедиться, что синхронизация достигнута (по зеленому цвету линий связи проектов).

Кроме рассмотренного способа автоматизированного установления связи и синхронизации FPGA и PCB проектов в Altium Designer 6 возможно проделать эту работу вручную. Это трудоемкий процесс, включающий практически тот же объем операций, что и при автоматизированном способе, и требующий от разработчика проектов предельного внимания.

9.3. Поддержка связности при модификации проектов

В процессе отладки, подготовки производства, опытной эксплуатации головных образцов изделия PCB-проект может подвергаться модификации различного рода. Это может быть оптимизация трассировки печатного монтажа, требующая переноса электрических связей с одних выводов ПЛИС на другие, изменение электрического типа выводов и технологических стандартов микросхем окружения, соединенных на печатной плате с микросхемой ПЛИС, модификация внутренней логики ПЛИС и связанная с этим необходимость замены одного типа микросхемы на другой и т.п. Altium Designer предоставляет разработчику возможность выполнить любую из упомянутых модификаций и сохранить при этом синхронизацию FPGA и PCB проектов.

Из всего разнообразия задач модификации рассмотрим один вопрос – оптимизацию печатного монтажа путем переключения цепей проекта с одних выводов ПЛИС на другие (Pin Swapping).

Прежде всего следует выбрать компонент, выводы которого должны переключаться. Для этого следует:

* Документ TR0104 Altium Designer Workspace Panels Reference.pdf. Technical Reference TR0104 (v.2.0) June 16, 2006.

1. В среде открытого схемного документа PCB-проекта активизировать команду главного меню Tools>>Configure Pin Swapping. Откроется диалоговое окно выбора компонента Configure Swapping Information in Components (рис. 9.10.).

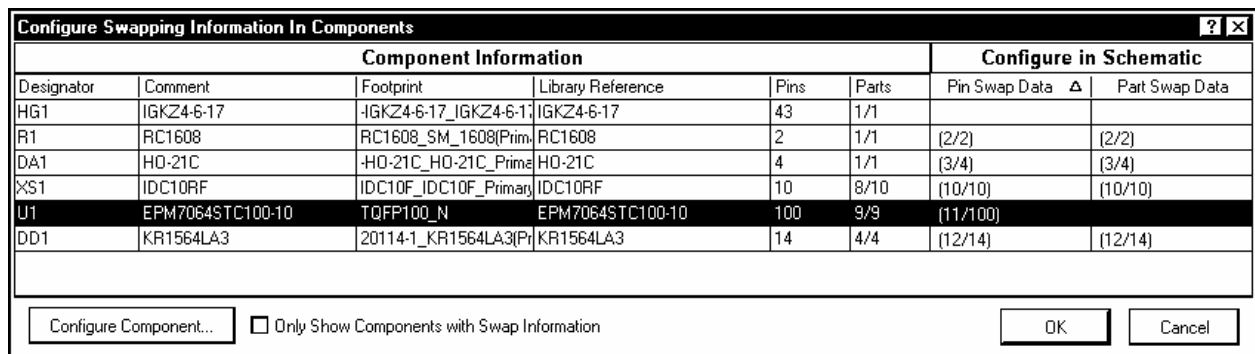


Рис. 9.10

2. Выбрать в списке строку с именем компонента ПЛИС и щелчком на кнопке Configure Component открыть диалог настройки Configure Pin Swapping For [XXX] (рис. 9.11). В квадратных скобках отображается позиционное обозначение компонента и имя PCB-проекта.

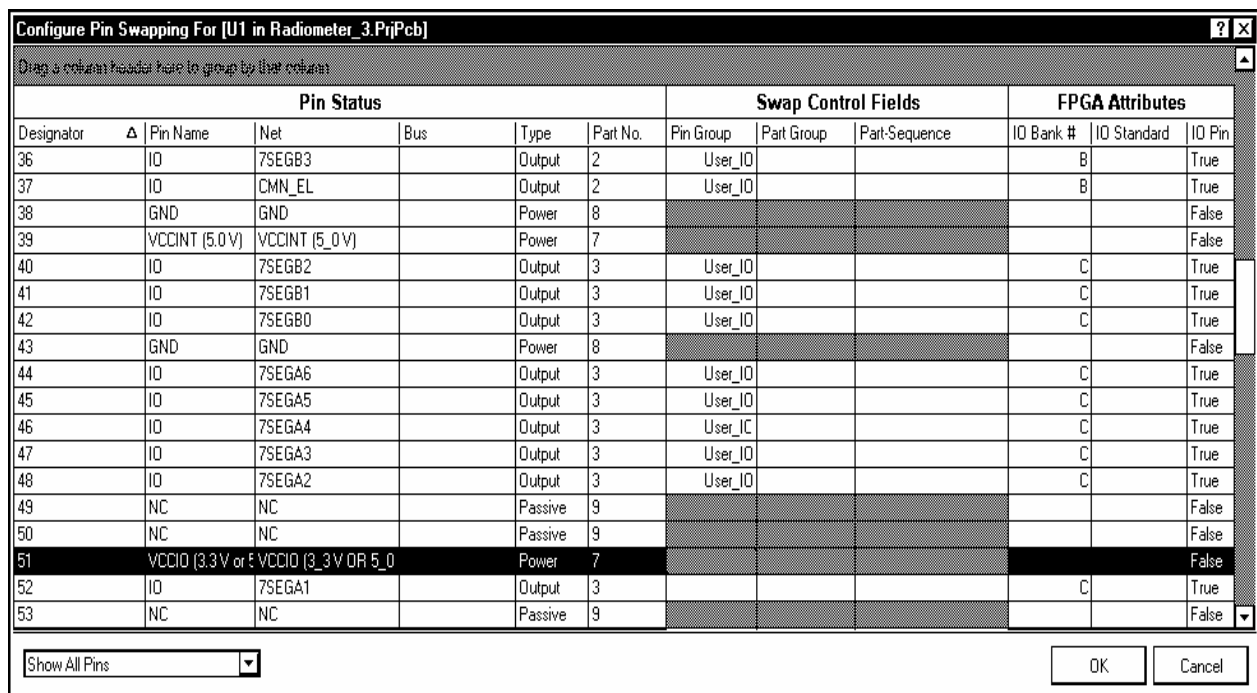


Рис. 9.11

3. В выпадающем поле в левом нижнем углу окна разворачиваются варианты представления выводов ПЛИС в списке главного поля:

- Show All Pins – показать все выводы;
- Show I/O Pins Only – показать только входные/выходные выводы;
- Show Assigned I/O Pins Only – показать только назначенные входные/выходные выводы.

Когда показаны все выводы, ячейки таблицы, относящиеся к выводам питания, земли, тактовых сигналов, JTAG-порта и другим выводам специального назначения, затеняются серым фоном.

4. Выбрать выводы, подлежащие переключению, и в колонке Pin Group указать имя группы, в пределах которой допускается переключение цепей.

5. Когда определены все группы, активизировать в среде открытого документа печатной платы РСВ-проекта команду главного меню Tools>>Pin/Part Swapping и указать одну из двух подкоманд – автоматической оптимизации подключения цепей к выводам компонента (Automatic Net/Pin Optimizer) или интерактивной процедуры переключений (Interactive Pin/Net Swapping). При оптимизации программа ищет компромисс между длиной линий электрической связи и количеством их пересечений на печатной плате.

6. После завершения процедуры программа выдает подсказку, предлагающую передать изменения в листы схемного документа. В случае согласия автоматически активизируется стандартная ЕСО-процедура, с тем, чтобы новые назначения выводов были зафиксированы в схемном документе ПЛИС РСВ-проекта.

7. Активизировать панель FPGA Workspace Map (см. рис. 9.8). Обнаруживается, что нарушилась синхронизация FPGA и РСВ проектов. Для восстановления синхронизации следует щелчком мыши на красной линии связи проектов в панели FPGA Workspace Map активизировать диалог синхронизации (см. рис. 9.9) и щелчком на кнопке Update to FPGA вызвать ЕСО-процедуру для фиксации выполненных переназначений. Линия связи проектов меняет цвет на зеленый, что свидетельствует о достижении синхронизации проектов.

Когда модификация РСВ-документов закончена, изменения переданы в FPGA-проект и восстановлена синхронизация проектов, выполненные изменения зафиксированы пока что только в файле привязок проекта. Для того, чтобы выполнить перепрограммирование коммутации внутренних логических связей ПЛИС, следует активизировать оболочку Devices View и повторить фазу Build – трассировку внутренних соединений и формирование файлов программирования в среде САПР производителя ПЛИС (Vendor Tools).

* * *

В следующих разделах пособия рассмотрим заключительные стадии выполнения сквозного проекта радиоэлектронного функционального узла – формирование рабочих документов проекта и файлов управляющей информации для автоматизированного производственного оборудования.

10. ЭКСПОРТ РЕЗУЛЬТАТОВ ПРОЕКТА

Разработанный интегральный графический образ функционального узла на печатной плате нуждается в дополнительной обработке, с тем, чтобы сформировать комплект конструкторских документов на электронном или бумажном носителе, иллюстраций для научно-технических отчетов и статей, а также файлы управляющей информации для автоматизированного производственного оборудования – данные для механической обработки контура платы, сверловки отверстий, формирования послойных фотошаблонов, роботизированной установки компонентов.

Altium Designer 6 располагает обширным набором функций преобразования формата данных графического редактора печатной платы. Команды управления всеми этими функциями сгруппированы в главном меню File.

10.1. Экспорт в AutoCAD

1. По команде главного меню File>>Save As активизировать стандартный диалог сохранения данных с измененным именем и форматом (типом) файла. Из возможных 12 форматов нас в данный момент интересует формат DWG/DXF, дающий возможность открывать сохраненный файл и обрабатывать данные в среде конструкторской САПР AutoCAD. Средства управления видами AutoCAD позволяют легко получить из интегрального образа печатной платы два рабочих конструкторских документа – чертеж печатной платы по ГОСТ 2.417-91 и сборочный чертеж функционального узла по ГОСТ 2.109-73. Щелчком на ОК закрыть фазу назначения имени и типа экспортного файла. Открывается окно настройки параметров экспортируемого файла Export to AutoCAD (рис. 10.1).

2. В поле Options окна Export to AutoCAD указать:

- AutoCAD Version – версию AutoCAD: возможен экспорт в формат ранних версий, из которых самая старшая R14 (1999 г.), что не мешает принимать данные экспорта в современные версии, вплоть до 2008-й;
- Format – формат данных: возможен выбор двоичного формата DWG или текстового обменного формата DXF\$
- Units – выбор дюймовой (Imperial) или метрической (Metric) системы единиц измерения.

3. В поле Holes:

- Активизировать опцию Export Pads and Via Holes – экспорт графических изображений монтажных отверстий КП и межслойных переходных отверстий (ПО);
- Выбрать способ формирования отверстий – на специально отведенных слоях (On dedicated hole layers) или на тех же слоях, что и металлизация КП и ПО (On pad and via layers). В дальнейшем увидим, что в первом случае для отверстий образуются отдельные слои Padhole и Viahole, и отверстия показываются на чертеже черными кружками, а во втором случае отверстия имеют естественный вид.

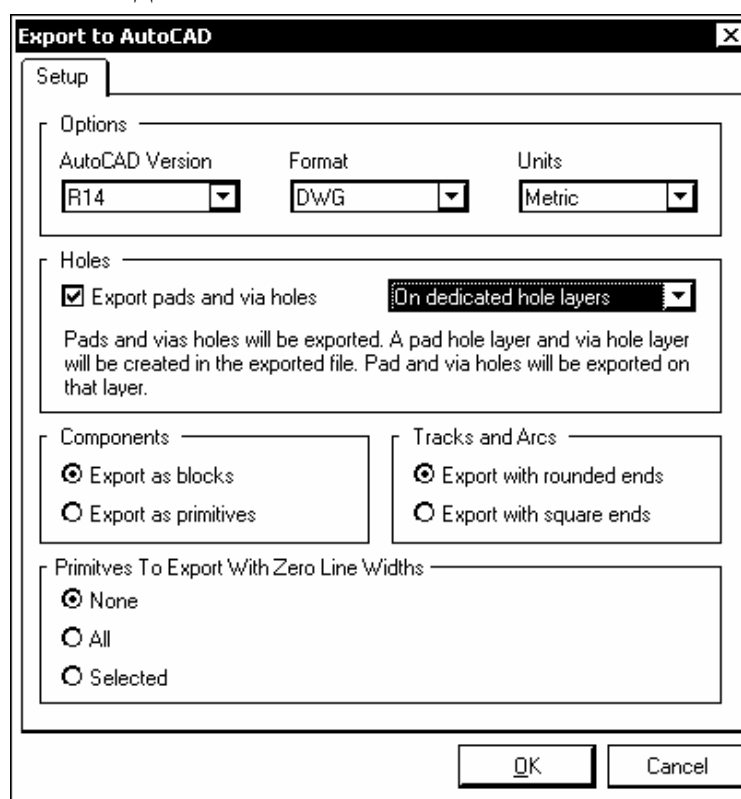


Рис.10.1

3. В поле Components указать способ представления компонентов в виде блоков AutoCAD (Export as blocks) или в виде графических примитивов (Export as primitives).
4. В поле Tracks and Arcs указать способ построения сегментов печатных проводников – с закругленными концами сегментов (Export with rounded ends) или с прямоугольными (Export with square ends).
5. В поле Primitives To Export With Zero Line Widths указать, какие примитивы должны изображаться линиями нулевой ширины – не изображать никаких (None), все (All) или выбранные (Selected).

6. Щелчком ОК завершить настройку. Программа генерирует экспортный файл, с которым в дальнейшем предстоит работать в среде AutoCAD. Этому будет посвящен материал раздела 11 нашего пособия.

10.2. Экспорт в PDF-формате Adobe Acrobat

Может быть полезен для составления иллюстраций к статьям, учебным пособиям, техническим отчетам и т.п. При экспорте кроме графической информации передаются элементы структуры исходного документа.

1. Активизировать команду меню File>>Smart PDF. Открывается процедура “Мастера экспорта” (Export Wizard) Altium Designer Smart PDF.

2. На шаге Choose Export Target указать, какие объекты подлежат экспорту – текущий проект с всеми входящими в него документами, свободные документы или текущий открытый документ, а также принять предлагаемый программой или назначить другой путь для сохранения результата.

3. На шаге PCB Printout Settings (рис. 10.2) выполняется настройка видимости в результирующем PDF-документе слоев и объектов на выбранных слоях. Слой указывается курсором, после чего двойным щелчком левой клавиши мыши вызывается диалог настройки видимости объектов на слое.

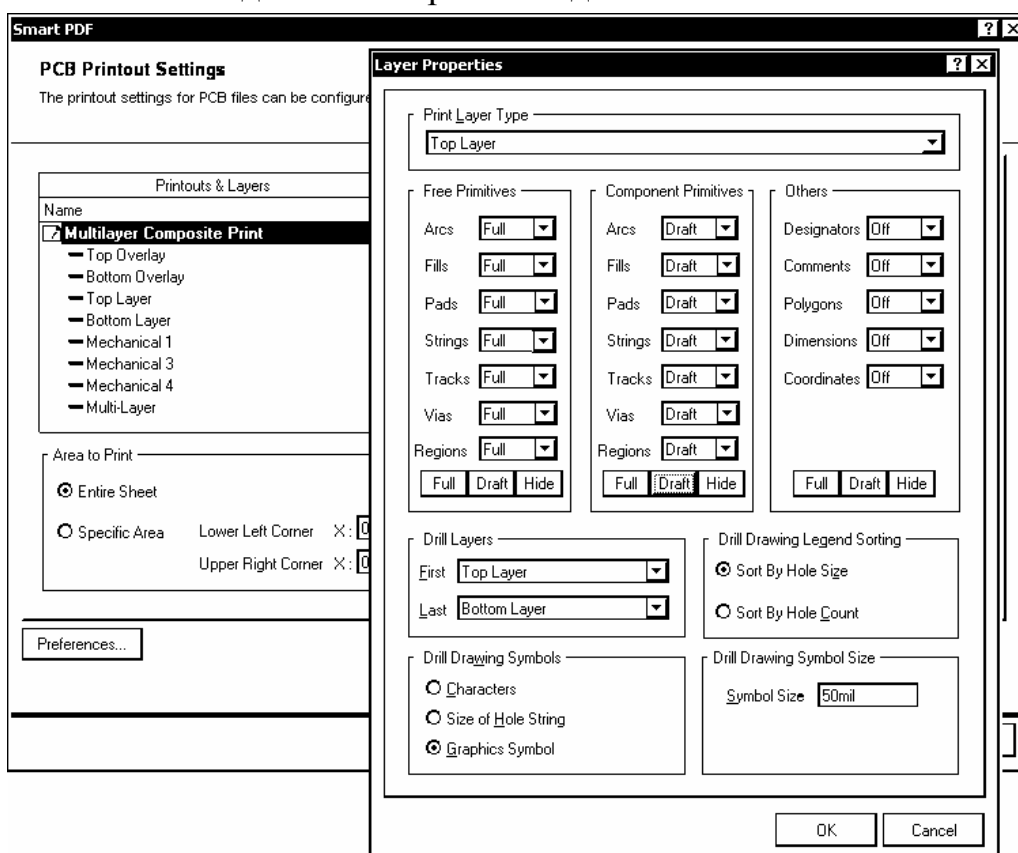


Рис. 10.2

Характер изображения – Full (полное изображение), Draft (набросок – изображение контуров тонкой линией) или Off (выключено) выбирается для выбранных типов объекта в полях, отведенных для каждого типа, либо кнопками Full, Draft или Off – для всех объектов в пределах каждой из трех категорий – свободных примитивов (Free Primitives), (Component Primitives) (Other).

Щелчком на кнопке Preferences активизируется диалог настройки цветовой палитры или тона “серой шкалы” для случая монохромного представления результатов экспорта.

4. На заключительных шагах выполняется еще ряд настроек, которые на начальной стадии освоения пакета могут быть оставлены без изменения. Процедура завершается щелчком на кнопке Finish, после чего открывается программа Acrobat Reader, в окне которой изображается экспортированный образ печатной платы.

В Acrobat Reader доступны средства навигации Bookmarks и Thumbnails, позволяющие просмотреть подробности в полученном графическом образе. В поле Bookmarks располагается дерево структуры графического образа, в котором могут быть развернуты ветви Components и Nets. Компоненты обозначаются позиционными обозначениями, а цепи – именами, назначенными в проекте Altium Designer. Ветвь Nets, в свою очередь, разворачивается в список узлов, принадлежащих выбранной цепи.

При указании курсором обозначения компонента или узла цепи выбранный объект показывается в главном окне Acrobat Reader в увеличенном масштабе.

10.3. Послойные распечатки проекта

Подкоманды главного меню File>>Fabrication Outputs>>... предназначены для формирования распечаток послойных видов проекта печатной платы (рис 10.3):

- Composite Drill Guide – в окне предварительного просмотра Preview Composite Drill Drawing of [<имя проекта>] изображается карта сверловки на всех парных слоях, сведенная в одну картинку, на которой показаны отверстия и обозначены крестиками их центры;
- Drill Drawings – в окне предварительного просмотра Preview Drill Drawing/Guides of [<имя проекта>] отображаются карты сверловки на отдель-

ных слоях: на верхнем слое пары показаны отверстия, а на нижнем слое – обозначения их центров;

- Mask Set – набор масок: в окне предварительного просмотра Preview Solder/Paste Mask Prints of [<имя проекта>] отображаются защитная (Solder) маска и маска-трафарет для нанесения припойной пасты (Paste) на верхнем и нижнем наружных сигнальных слоях печатной платы;

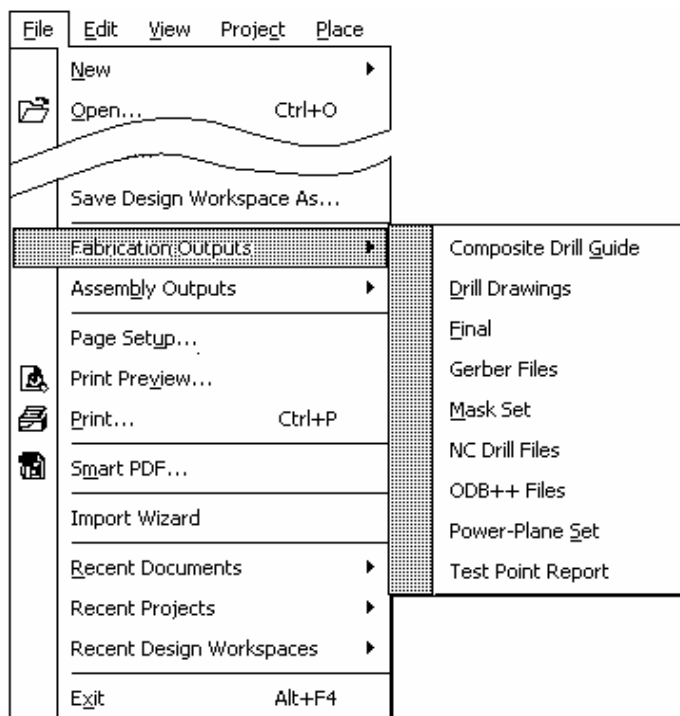


Рис. 10.3

- Power-Plane Set – карта межслойных ПО, пронизывающих внутренние слои металлизации типа Plane\$

- Final – полная подборка послойных видов проекта Preview Final Art-work Prints of [<имя проекта>] (рис. 10.4).

При активизации какой-либо из перечисленных команд формируется набор предварительных видов распечатки соответствующей группы слоев.

Панель навигации в левой половине окна позволяет выбрать для просмотра нужный слой.

Кнопкой Print запускается печать всех подготовленных образов. При этом действуют настройки печати, назначенные по умолчанию. При необходимости настройки печати могут быть изменены.

1. Щелчком правой клавиши на имени проекта в плавающей панели Projects вызвать контекстное меню и активизировать в нем команду Project Options. Открывается диалоговое окно Options for PCB Project <имя >.PrjPcb (рис. 10.5).

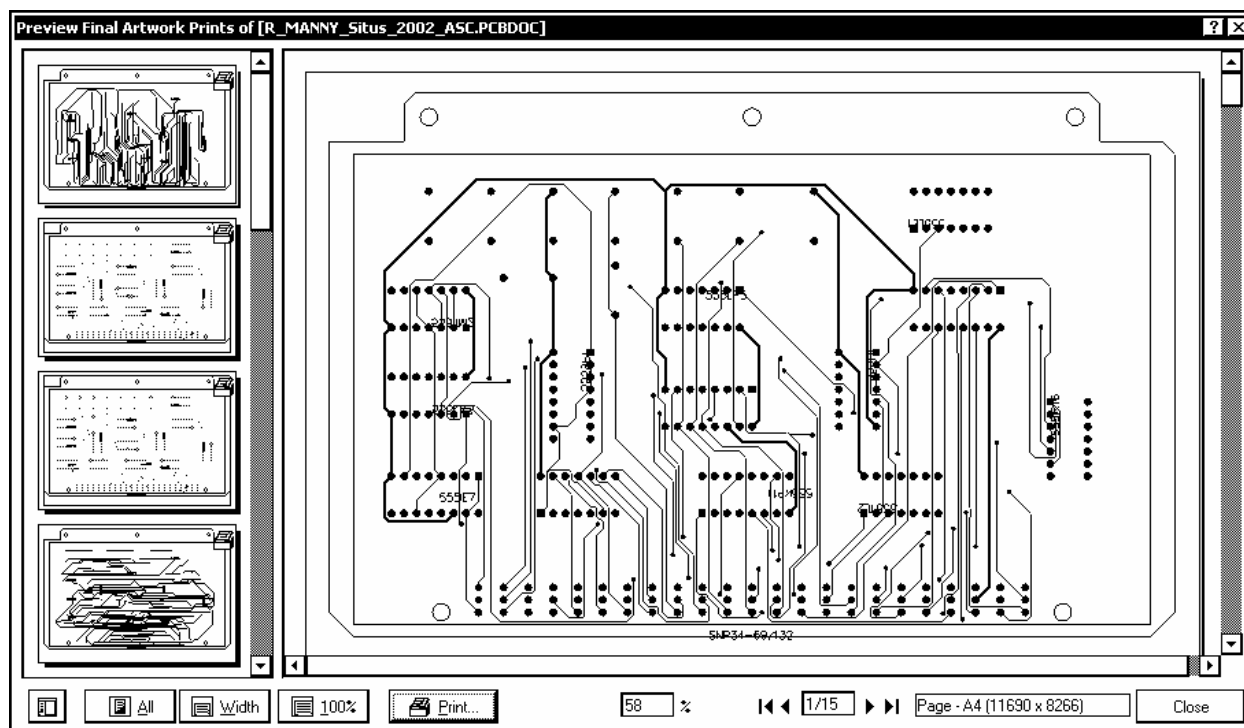


Рис. 10.4

2. В группе опций настройки Fabrication Outputs указать необходимый набор распечаток, например, Final Artwork Prints; установить флажок на пересечении строки с колонкой таблицы Default Print.

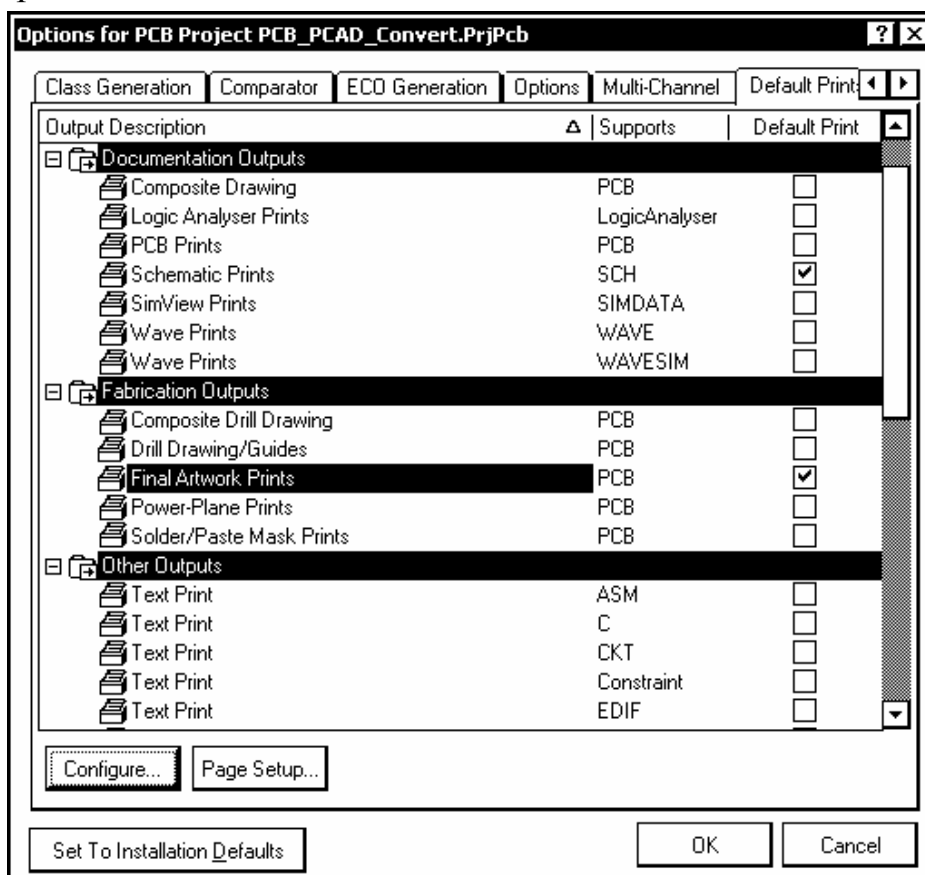


Рис.10.5

3. Кнопкой **Configure** активизировать диалог настройки конфигурации распечаток (рис. 10.6). Тот же результат достигается, если в окне предварительного просмотра, рис.8.4, щелчком правой клавиши мыши активизировать контекстное меню и указать в нем команду **Configuration**.

4. В диалоговом окне, рис. 10.6 располагается список всех листов распечатки, активизированных исполняемой командой группы **Fabrication Outputs**.

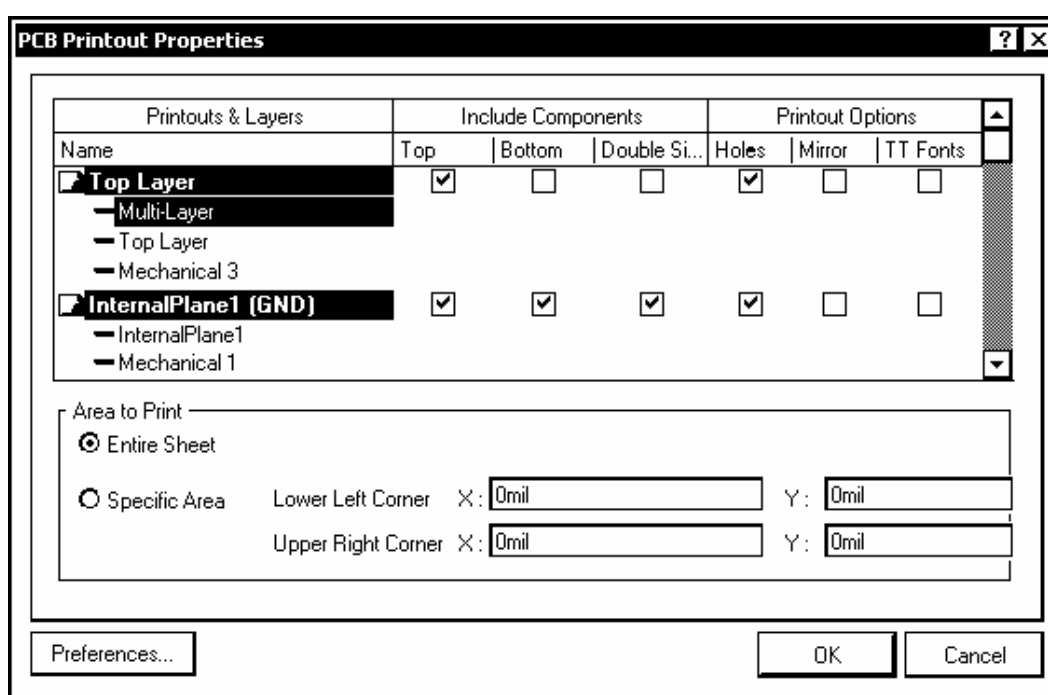


Рис. 10.6

Для каждого листа указывается состав слоев проекта, включенных в распечатку. Например, в распечатку верхнего слоя печатной платы **Top Layer** кроме собственно проводников верхнего сигнального слоя с тем же именем по умолчанию включаются контактные площадки компонентов, располагающиеся на слое **Multi-Layer** и контур печатной платы на слое **Mechanical 3**.

Указать лист распечатки и установить флажки против объектов, включаемых в распечатку, в частности, отверстий (**Holes**).

5. Двойным щелчком левой клавиши мыши активизируется окно, аналогичное окну, изображенному на переднем плане рис. 10.2. Кнопками **Full**, **Draft**, **Hide** может быть включена или отключена видимость указанного слоя в данном листе распечатки.

6. Щелчком правой клавиши в любом поле окна, рис. 10.6, активизируется контекстное меню, в котором дублируются команды групп **File>>Assembly Outputs** и **File>>Fabrication Outputs**. При выборе этих команд

текущая настройка распечаток теряется, и все управление конфигурацией распечаток начинается сначала.

Кроме этих команд контекстное меню содержит команды:

- Insert Printout – добавить распечатку;
- Insert Layer – добавить слой в выбранную распечатку;
- Delete – удалить выбранную распечатку или выбранный слой в выбранной распечатке.

10.4. Формирование распечатки видов сборки узла

Команда главного меню File>>Assembly Outputs (рис. 10.3) имеет две подкоманды – Assembly Drawings и Generates Pick and Place Files.

1. По команде Assembly Drawings в окне предварительного просмотра Preview Assembly Drawings of [<имя_проекта>] формируются и отображаются виды сборки функционального узла сверху и снизу. Конфигурация распечатки полученных видов настраивается так же, как это описывается в предыдущем разделе

2. По команде Generates Pick and Place Files программа формирует файлы координат точек захвата компонентов для роботизированной сборки функционального узла.

10.5. Экспорт данных для сверловки

1. Активизировать команду главного меню File>>Fabrication Outputs>>NC Drill Files (см. рис. 10.3). Открывается диалог настройки формата экспортируемых данных (рис. 10.7).

2. В поле Units диалогового окна, рис. 10.7, установить метрическую систему единиц измерения – Millimeters.

3. В поле Format установить точность передачи координатной информации – число десятичных знаков до и после запятой. Этот формат должен оговариваться с изготовителем печатных плат, поскольку он определяется точностью оборудования, которым располагает изготовитель.

4. Из остальных настроек может быть активизирована опция отдельной генерации файлов для сверления металлизированных и неметаллизированных отверстий – Generate separate NC Drill files for plated & non-plated holes.

Отметим, что выходные данные для неметаллизированных отверстий

генерируется только в том случае, если в проекте печатной платы эти отверстия имеют статус контактных площадок. Отверстий, которые просто начерчены на плате, программа “не видит”.

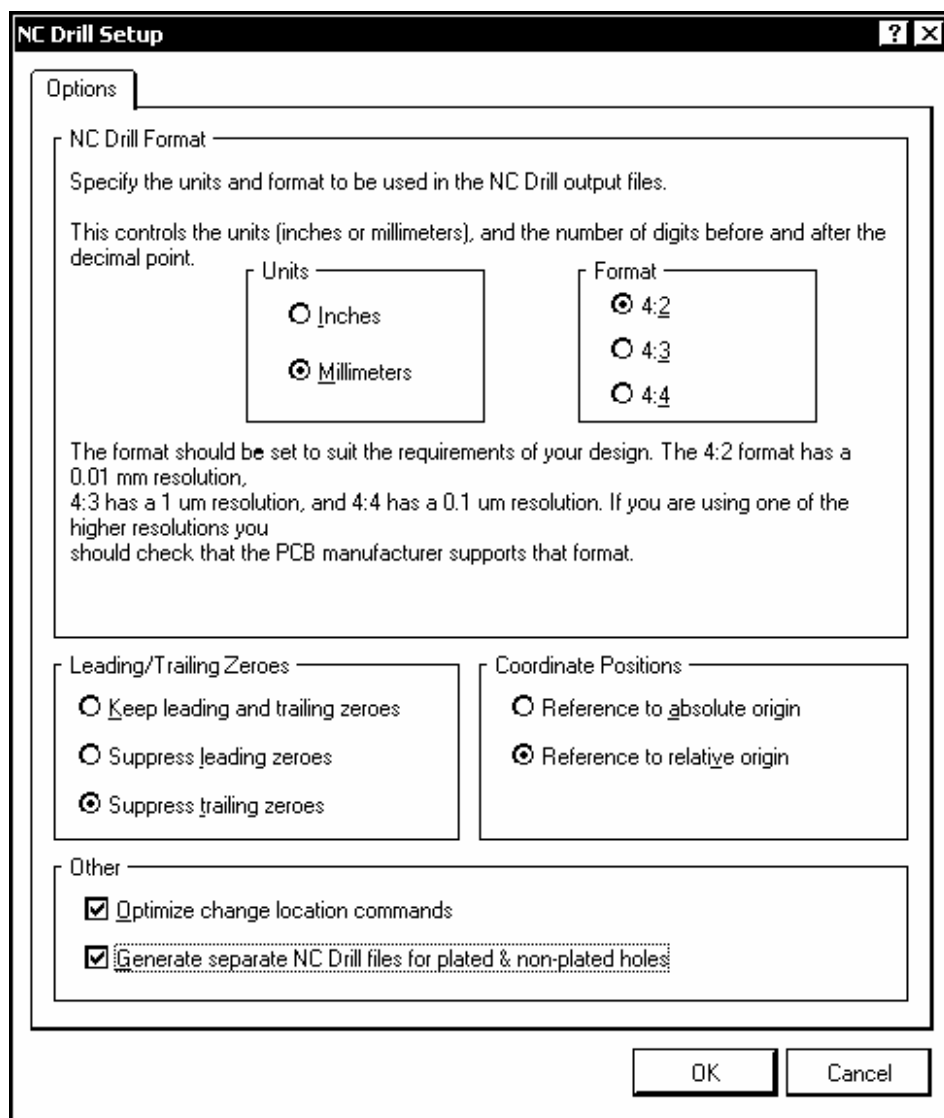


Рис. 10.7

5. Щелчком левой клавиши на ОК запускается генерация выходных файлов. Программа генерирует несколько файлов:

- Текстовый файл <Имя_проекта>.LDP, содержащий информацию о парах слоев сверловки, установленных в текущем проекте:

```
Layer Pairs Export File for PCB:
F:\student\KURS2006\Project_PCB.PRJPCB\Project.PCBDOC
LayersSetName=Top_Bot_Plated_Thru_Holes|DrillFile=Project-
plated.txt|LayerPairs=g1,gbl
```

- Текстовый файл отчета <Имя_проекта>.DRR, содержащий информацию о диаметрах и количестве отверстий, условные обозначения инструментов (сверл), путь, пройденный рабочим органом станка:

```
-----
NCDrill File Report For: R_MANNY_Situs_2002_ASC.PCBDOC    06.01.2008  17:18:12
-----
```

```
Layer Pair : Top Layer to Bottom Layer
ASCII Plated RoundHoles File : R_MANNY_Situs_2002_ASC-Plated.TXT
EIA File    : R_MANNY_Situs_2002_ASC.DRL
```

Tool	Hole Size	Hole Type	Hole Count	Plated	Tool Travel
T1	0.46mm (18.11mil)	Round	47		685.09 mm (26.97 Inch)
T2	0.8mm (31.496mil)	Round	279		1360.19 mm (53.55 Inch)
Totals			326		2045.28 mm (80.52 Inch)

```
Total Processing Time (hh:mm:ss) : 00:00:04
```

- Текстовый файл командной информации <Имя_проекта>.TXT в формате сверлильного станка с ЧПУ Excellon, являющемся фактически мировым стандартом в производстве печатных плат. Приведем фрагмент этого файла (в две колонки данные помещены для экономии места на листе):

```
M48
;Layer_Color=9474304          Y00725
;FILE_FORMAT=4:2             Y0075
METRIC,LZ                     X01775
;TYPE=PLATED                  Y00725
T1F00S00C0.46                 Y007
T2F00S00C0.80                 Y00675
%                               .....
T01                             .....
X008621Y003907                 X01425
X009729Y00394                  X0135Y0085
X010358Y00362                  Y00825
X011199Y003249                 Y008
X011842Y00362                  Y0085
X015238Y003107                 X016Y009
X01617Y005687                  Y00975
Y00375                         M30
X017Y006
```

- Двоичный файл координатной информации <Имя_проекта>.DRL. Данные из этого файла автоматически импортируются в среду CAM-

приложения Altium CAMtastic, в которой выполняется визуализация карты сверловки, контроль и доработка данных перед окончательной передачей их производителю печатных плат.

CAMtastic – специализированная CAM-программа фирмы Innovative CAD Software (CAM – Computer Aided Manufacturing – компьютерная подготовка производства). Программа интегрирована в Altium Designer 6 как динамически-загружаемое (*.DLL) приложение. Открывается диалоговое окно настройки формата импортируемых данных Import Drill Data (рис. 10.8, а), в котором следует щелчком на кнопке Units активизировать диалог NC Drill Import Settings (рис. 10.8, б) и подтвердить настройки, выполненные ранее, при экспорте сверловочной информации из Altium Designer (см. рис. 10.7).

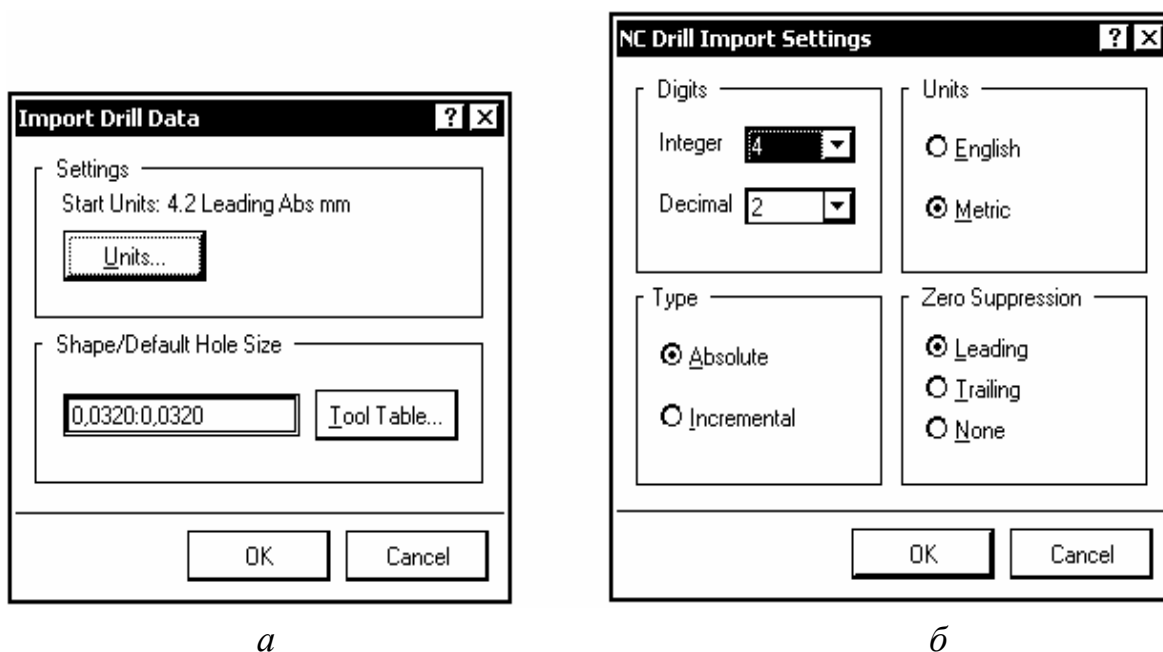


Рис. 10.8

- 6. Для передачи данных CAMtastic на производственное оборудование командой главного меню программы File>>Export>>Drill активизировать процедуру экспорта. В открывающемся диалоговом окне (рис. 10.9, а) предоставляется возможность настройки формата выходных данных.

- В поле Header приведен заголовок текстового файла управляющей информации для сверлильного станка ЧПУ.

- Кнопкой Units может быть повторно активизирована процедура настройки формата выходных данных – привести координатную информацию в соответствие с точностью позиционирования рабочего органа станка, имеющегося в распоряжении изготовителя. Дублирование операций настройки формата данных может быть объяснено тем, что программа

формата данных может быть объяснено тем, что программа CAMtastic может использоваться автономно для проектирования деталей механизмов, в том числе и выполнения “механической” составляющей проекта функциональных узлов на печатных платах. В этом случае координатная информация порождается самой программой CAMtastic, и при ее экспорте необходима настройка формата данных.

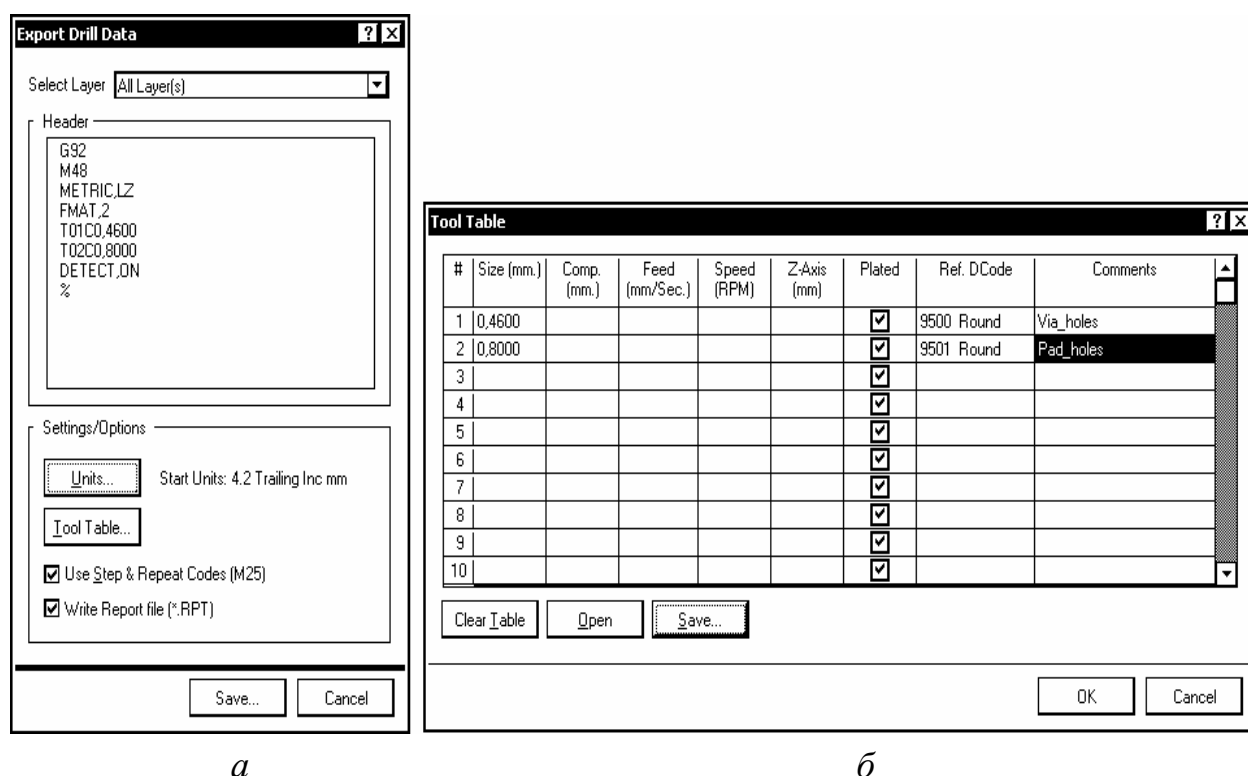


Рис. 10.9

- Кнопкой Tool Table может быть вызвана и отредактирована таблица инструментов (рис. 10.9, б). При импорте в CAMtastic из проекта печатной платы передаются значения диаметров отверстий КП и ПО. Нужно, однако, помнить, что в конструкторской документации указывается значение диаметра готового металлизированного отверстия, поскольку именно это значение должно быть достаточным для монтажа штыревых выводов компонентов и только оно может быть проконтролировано на готовой печатной плате. Поэтому значение диаметра отверстия, подлежащего металлизации, а значит и диаметр сверла должен превышать значение, импортированное из проекта печатной платы, на двойную толщину слоя металлизации. Величина эта устанавливается технологом и составляет обычно около 0,1 мм.

Кроме диаметра инструмента в таблице может быть назначена скорость вращения сверла (Speed), подача (Feed), глубина сверловки (Z-axis).

10.6. Экспорт в формате фотоплоттера GERBER

Система команд и формат представления координатной информации, разработанные в свое время для фотоплоттеров фирмы Gerber в настоящее время стали фактически мировым стандартом в производстве фотошаблонов для изготовления проводящего рисунка печатных плат. На практике используются две разновидности фотоплоттеров – с набором диафрагм, формирующих световое пятно (апертуру), производящее рисунок на фотопленке, и с программно синтезируемыми апертурами, форма и размеры которых импортируются из проекта печатной платы. Форматы данных для фотоплоттеров этих двух разновидностей называются, соответственно, RS274D и RS274X.

Управляющая информация для фотоплоттера состоит из команд выбора апертуры для выполнения очередного фрагмента печатного рисунка, команд перемещения рабочего органа фотоплоттера, включения и выключения заливки протяженных участков печатного проводника, включения вспышки света в местах расположения контактных площадок.

Основное различие массивов управляющей информации для фотоплоттеров с фиксированными и с синтезируемыми апертурами состоит в необходимости в первом случае кроме непосредственно файлов с координатной информацией формировать файл с таблицей апертур. При передаче файлов управляющей производителю данные из этой таблицы используются для выбора соответствующих диафрагм на имеющемся в его распоряжении фотопостроителе. Таблица апертур может генерироваться из проекта печатной платы, либо подбирается из имеющихся библиотек.

В случае использования фотопостроителя с синтезируемыми апертурами при экспорте проекта печатной платы генерируются и включаются в файл выходных данных макрокоманды управления синтезом апертур. Формат RS274X представляет собой развитие формата RS274D – содержит команды заливки полигонов металлизации и работает с негативными изображениями слоев сплошной металлизации Plane-слоев печатной платы.

Полное описание форматов RS274D и RS274X приведено в [4]. Приводить его подробное описание не входит в задачи настоящего учебного пособия. Ограничимся здесь рассмотрением процедуры формирования управляющей информации в Gerber-формате.

1. Активизировать команду главного меню File>>Fabrication Outputs>>Gerber Files (см. рис. 10.3). Открывается диалоговое окно настройки экспорта Gerber Setup (рис. 10.10) с пятью панелями-закладками.

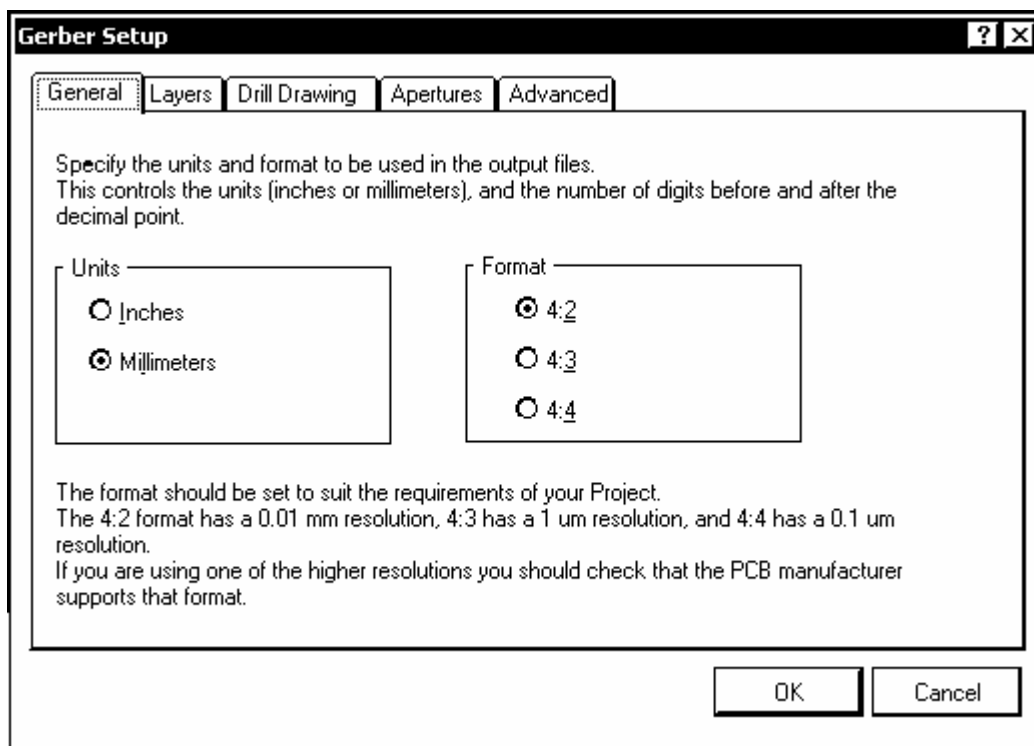


Рис. 10.10

2. На закладке General установить метрическую систему единиц измерения (Millimeters) и выбрать формат представления чисел в выходной управляющей информации. Число десятичных разрядов до разделителя (запятой или десятичной точки) определяет максимально возможные линейные размеры обрабатываемого объекта, а число знаков после разделителя – необходимую точность позиционирования рабочего органа оборудования (в данном случае фотоплоттера).

3. На закладке Layers (слои), указывая курсором, составить список слоев, для которых необходимо выполнить послойные фотошаблоны (рис. 10.11). В колонке Mirror могут быть указаны слои, для которых нужны зеркально отображенные фотошаблоны. На практике, однако, можно услышать рекомендации: разработчику печатной платы не формировать зеркально отображенные фотошаблоны, а предоставить производителю самому выполнить зеркальное отображение. Это облегчает контроль выполнения проекта в момент передачи его производителю.

Кроме того, в поле Mechanical Layers to Add to All Plots указать механические слои, которые должны быть изображены на всех фотошаблонах, на-

пример, контуры печатной платы, реперные знаки для совмещения слоев при сборке платы и т.п.

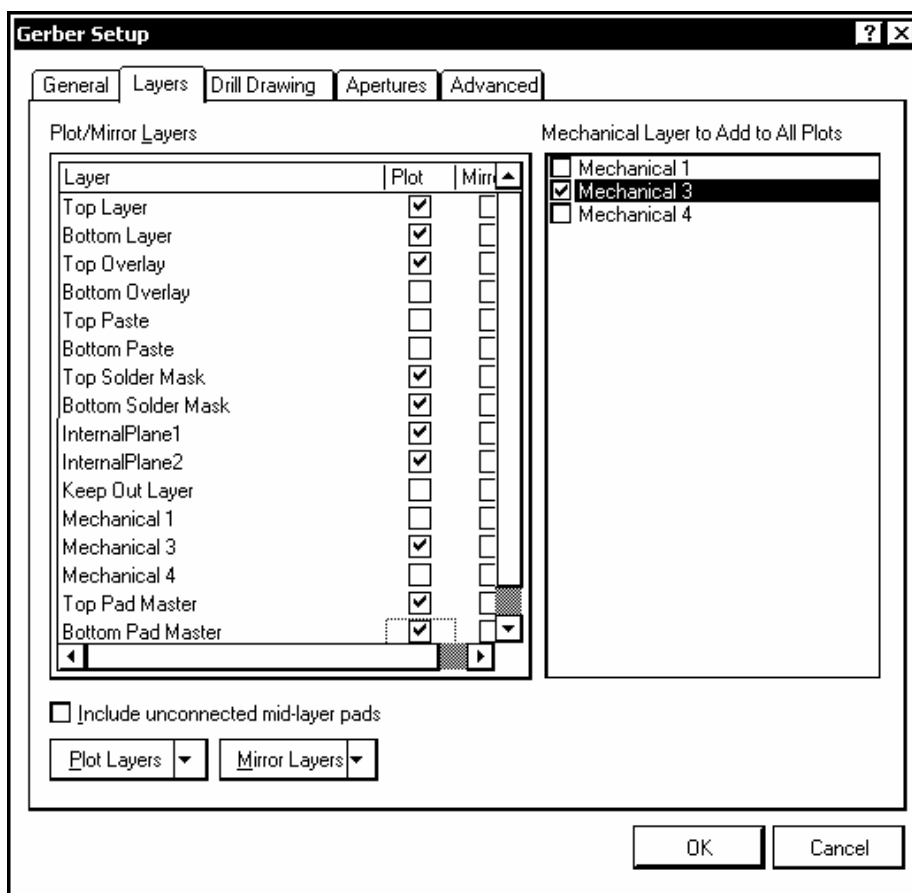


Рис.10.11

4. На закладке Apertures (рис. 10.12) активизировать (или нет) опцию Embedded Apertures (RS274X). Если опция активизируется, это означает, что выходные данные будут формироваться в формате RS274X, т.е. команды синтеза апертур будут генерироваться и встраиваться в файл выходных данных. В противном случае с помощью кнопок управления, расположенных в правой половине диалогового окна следует сформировать или загрузить извне готовую таблицу апертур. Для формирования таблицы апертур из параметров печатного рисунка проектируемой платы следует воспользоваться кнопкой Create List From PCB.

5. На закладке Drill Drawing назначить (если нужно) формирование слоев с изображением отверстий (Drill Drawings) и обозначениями центров отверстий (Drill Guide).

6. На закладке Advanced активизировать в поле Batch Mode опцию Separate file per layer – генерировать отдельный файл данных для каждого слоя (фотошаблона).

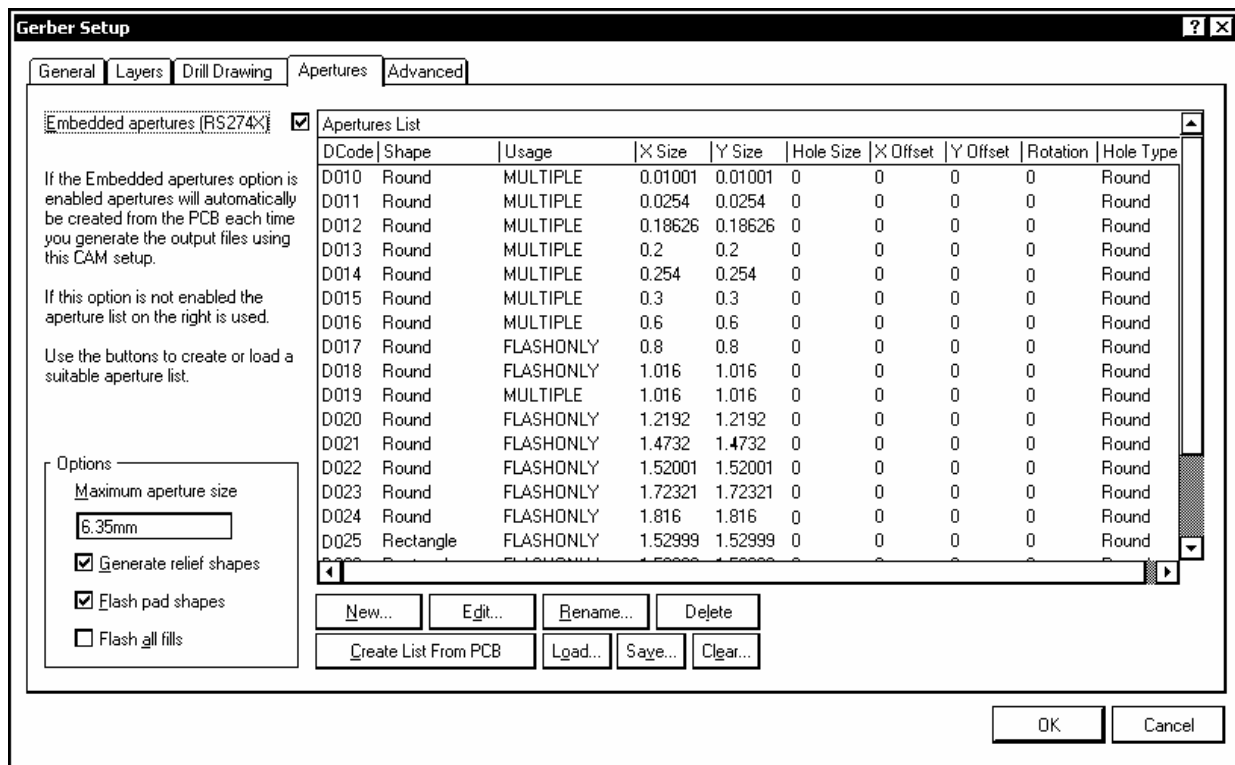


Рис. 10.12

7. Щелчком ОК завершить настройки и запустить генерацию выходных данных. Программа генерирует несколько выходных файлов. Полный их список выводится в файл Status Report.txt:

Output: Gerber Files

Type : Gerber

From : Project [Free Documents]

Generated File[Project.GTL]
Generated File[Project.GBL]
Generated File[Project.GTS]
Generated File[Project.GBS]
Generated File[Project.GP1]
Generated File[Project.GP2]
Generated File[Project.GM3]
Generated File[Project.GPT]
Generated File[Project.GPB]
Generated File[Project.GG1]
Generated File[Project.RUL]
Generated File[Project.EXTREP]
Generated File[Project.REP]

Files Generated : 13

Documents Printed : 0

Finished Output Generation At 21:44:01 On 07.01.2008

Видим, что имена всех файлов-фотошаблонов совпадают с именем проекта печатной платы, а в расширениях имен зашифровано имя слоя. Расшифровка содержится в файле *.EXTREP (аббревиатура от Extension Report – отчет о расширениях):

Gerber File Extension Report For: Project.GBR 07.01.2008 21:44:00

Layer Extension	Layer Description
.GTL	Top Layer
.GBL	Bottom Layer
.GTS	Top Solder
.GBS	Bottom Solder
.GP1	InternalPlane1
.GP2	InternalPlane2
.GM3	Mechanical 3
.GPT	Top Pad Master
.GPB	Bottom Pad Master
.GG1	Drill Guide

8. Автоматически открывается программа CAMtastic. Программа выполняет визуализацию сформированных фотошаблонов и дает возможность дополнительной коррекции фотошаблонов, а также данных сверловки и фрезерной обработки контуров платы. Привести подробное описание функций программы CAMtastic в нашем пособии нет возможности. Ограничимся минимумом функций коррекции и экспорта данных.

В плавающей панели CAMtastic (рис. 8.13) выводится список слоев-фотошаблонов с указанием цвета и активности каждого слоя, а также ряд функций управления. Установкой или снятием флажков включается или отключается видимость слоев на экране.

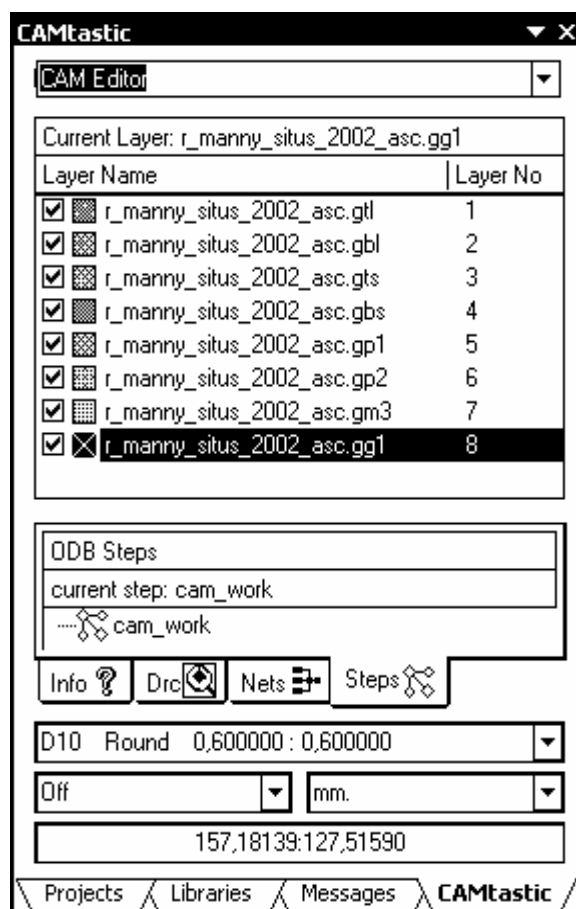


Рис. 10.13

В нижней части панели расположены поля с информацией о координатах курсора, выборе системы единиц измерения, назначения или отключения захвата курсором объектов на фотошаблоне.

В главном окне программы представлено графическое изображение всех фотошаблонов “на просвет”, как в графическом образе печатной платы.

Из функций редактирования фотошаблонов рассмотрим одну – сглаживание переходов от контактной площадки к печатному проводнику – выполнение так называемых “слезок” (Teardrops).

- Активизировать команду главного меню Tools>>Teardrops. Выделить рамкой селекции группу контактных площадок.
- Щелчком правой клавиши мыши вызвать диалоговое окно настройки Add Teardrops (рис. 10.14, а).

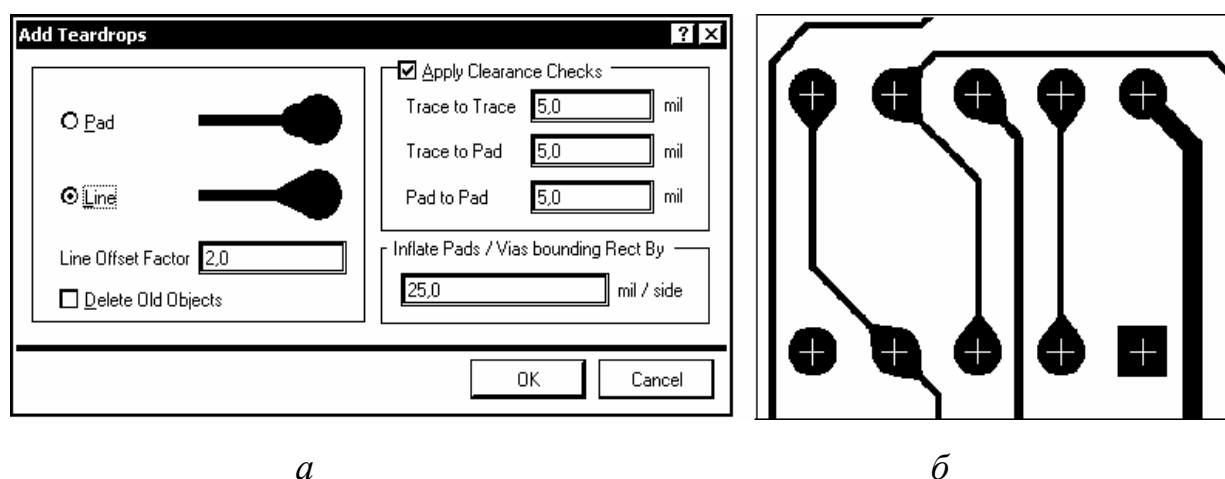


Рис. 10.14

- Выбрать форму слезки Line или Pad и завершить формирование щелчком ОК. Контактные площадки вытягиваются в сторону проводника (рис. 10.14, б) и приобретают вид капли.

9. Для окончательного формирования набора фотошаблонов для производства выполняется операция экспорта.

- Активизировать команду главного меню File>>Export>>Gerber. Открывается диалоговое окно настройки параметров экспорта (рис. 10.15).

- В поле Format левой кнопкой выбрать один из трех доступных форматов выходных данных: формат RS-274X, RS-274 или Fire9000 (при щелчках на кнопке меняется название формата).

- Кнопкой Settings может быть активизирован диалог настройки формата координатных чисел, аналогично рис. 10.8, б.

- Щелчком ОК завершить настройку формата выходных данных. Открывается окно Write Gerber(s) – записать гербер-файлы (рис. 10.16). В центральном поле окна располагается список всех гербер-файлов, подготовленных к экспорту. Редактирование записей в этом списке невозможно.

- В колонке флажков слева от списка установить флажки для тех файлов, которые необходимо записать.

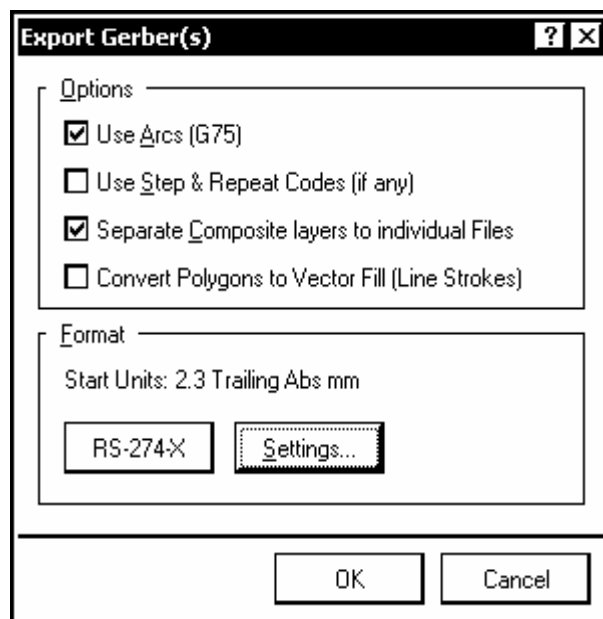


Рис. 10.15

- В нижней части окна, рис. 10.16, расположено поле, в котором указывается путь для экспорта. Путь может быть непосредственно указан вводом с клавиатуры, либо выбран в дереве файловой структуры компьютера, разворачивающемся по щелчку клавишей мыши на кнопке, расположенной справа.

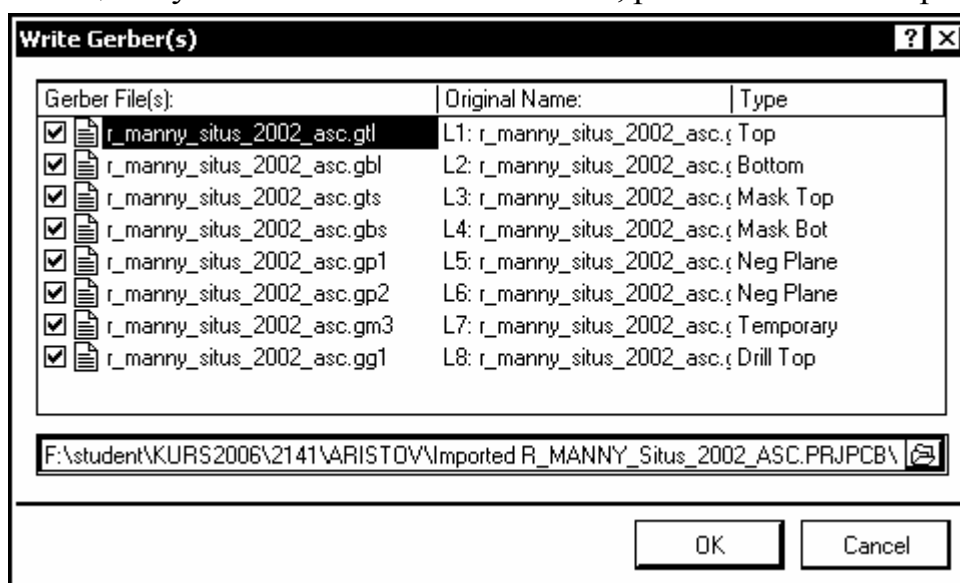


Рис. 10.16

Завершить экспорт щелчком на ОК. Программа записывает экспортные файлы по указанному адресу. Выходные данные представляют собой текстовые строки с командами управления и координатами элементов печатного проводящего рисунка, защитных масок, шелкографии, пастовых трафаретов и т.д. Приведем в качестве примера фрагмент выходного гербер-файла (в две колонки текст размещен для экономии места):

%FSTAX33Y33*%

%MOMM*%

%SFA1B1*%

%IPPOS*%

%ADD10C,0.599999*%

%ADD11C,0.250000*%

%ADD12C,0.299999*%

%ADD13C,0.030000*%

%ADD14C,1.519997*%

%ADD15R,1.529997X1.529997*%

%ADD16R,1.529997X1.529997*%

%ADD17C,1.019998*%

G54D10*

X054999Y052499D02*

X059999D01*

X069999Y084999D02*

X071389Y086389D01*

X102499Y069999D02*

X104999D01*

X107499Y089999D02*

X112499Y084999D01*

X147499Y052499D02*

X151469D01*

.....

.....

X159249Y066639D03*

X168179Y090099D03*

X114149Y045059D03*

X122149Y068299D03*

X152379Y031069D03*

X153059Y052709D03*

X144199Y046049D03*

G54D13*

X040537Y096962D03*

G54D11*

X043134Y097499D02*

X043125Y098125D01*

X042499Y098134*

X043134Y097499D02*

X043214Y098214D01*

X042499Y098134*

M02*

10.7. Экспорт в формате ODB++

При экспорте в формате ODB++ строится стандартная файловая структура, организованная в дерево каталогов и подкаталогов, в которых структурируется и сохраняется вся информация об элементах проекта печатной платы. Такую структуру часто называют базой данных проекта. Она позволяет переносить проект из одних САПР в другие без потери информации. Обменный формат баз данных электронных проектов предложен в 2001-м году израильской фирмой Valor Computerized Systems. Все файлы структуры ODB++ представляют собой текстовые файлы в стандартной кодировке ASCII*.

1. Активизировать команду меню File>>Fabrication Outputs>>ODB++ Files. Открывается диалог настройки ODB++ Setup (рис. 10.17).

2. В поле Layers to Plot представлен список всех слоев печатной платы текущего открытого проекта. Установкой флажков в колонке Plot (чертить) составить список слоев, подлежащих экспорту. Вместо этого можно кнопкой Plot Layers активизировать варианты автоматического назначения слоев:

* Документ ODB++ Version B.04. Doc. 0202.0801, Aug. 2001. Valor Computerized Systems, Ltd. Yavne, Israel. Интернет-ресурс <http://www.valor.com>.

- All On – включить в список все слои;
- All Off – исключить все слои из списка;
- Used On – включить в список только используемые слои.

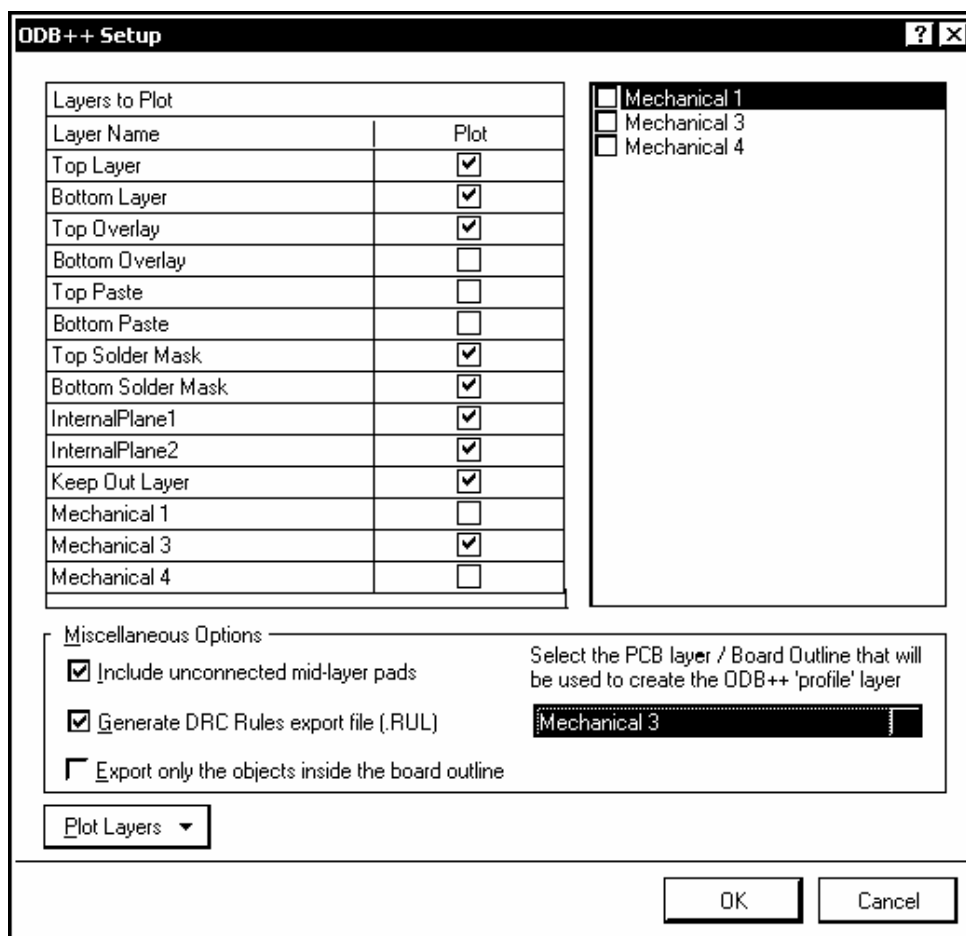


Рис. 10.17

3. В поле Miscellaneous Options активизировать опции:

- Include unconnected mid-layer pads – включить неподсоединенные КП на внутренних слоях;
- Export DRC Rules export file (.RUL) – экспортировать файл правил DRC-контроля (расширение имени .RUL);
- Select the PCB layer / Board Outline that will be used to create the ODB++ ‘profile’ layer – выберите слой платы или внешнего контура, который будет использован для создания слоя “профиль” в структуре данных ODB++.

4. Щелчком кнопкой ОК завершить настройку и запустить преобразование данных.

Данные в формате ODB++ структурированы в дерево каталогов: Fonts, Matrix, Misc, Steps, Symbols и User (рис. 10.18).

Каталог Fonts содержит единственный файл Standard с текстовым описанием графики символов шрифта надписей в проекте.

Каталог Matrix содержит определение физического порядка слоев, их типов, межслойных переходов: сквозные (Thru), слепые – с наружного слоя на один из внутренних (Blind), “захороненные” – переходы, соединяющие внутренние слои без выхода на наружные (Buried).

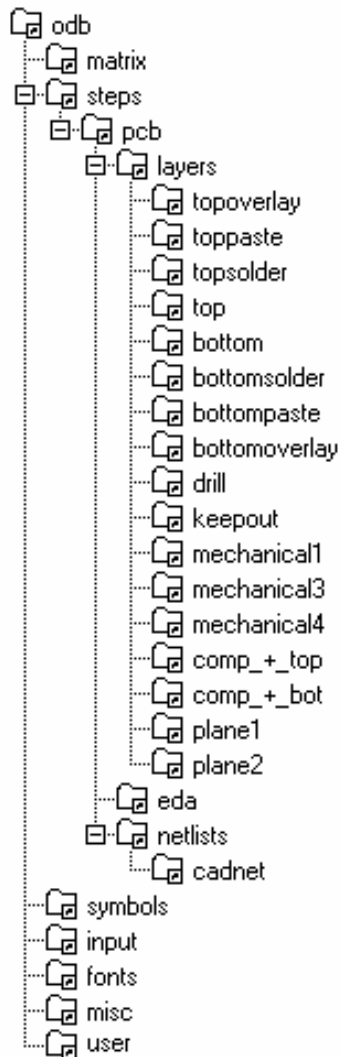


Рис. 10.18

Каталог Steps образует дерево подкаталогов, из которых отметим PCB, с подкаталогом Layers, который, в свою очередь, разворачивается в подкаталоги для каждого слоя экспортируемого проекта.

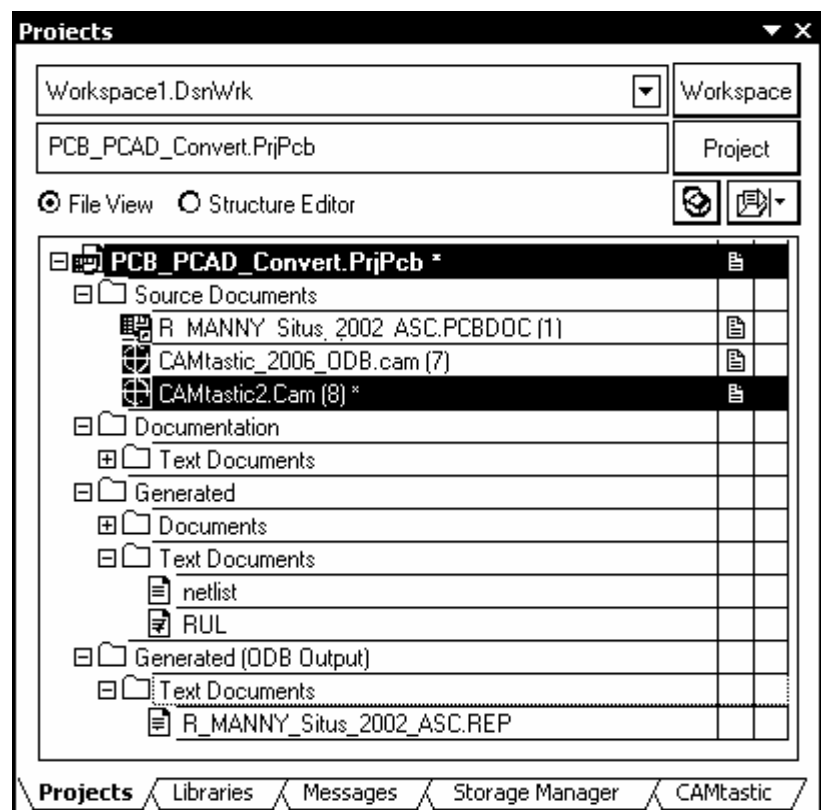


Рис. 10.19

Кроме слоев, определенных в проекте печатной платы в Altium Designer, в ODB-структуре выделяется в отдельные слои данные о расположении компонентов на верхней и нижней сторонах платы (слои comp_+_top и comp_+_bot) и данные для сверловки (слой Drill). В подкаталог Netlists\Cadnet экспортируется текстовое описание электрических цепей проекта (нетлист).

В каталог User экспортируется файл правил DRC-контроля, если его экспорт был задан в диалоге настройки (см. рис. 10.17).

Сгенерированные выходные данные включаются в логическую структуру текущего открытого проекта и отображаются в плавающей панели Projects в ветвь Generated дерева текущего проекта (рис. 10.19).

Физический путь в файловой структуре компьютера, по которому размещаются данные экспорта назначается на закладке Options диалога настройки Options for Project (см. рис. 10.5). По умолчанию это путь Projects\Project Outputs for <Имя_проекта>\ODB. В случае необходимости может быть назначен любой другой путь.

11. РАЗРАБОТКА ГРАФИЧЕСКИХ КОНСТРУКТОРСКИХ ДОКУМЕНТОВ СРЕДСТВАМИ AUTOCAD

AutoCAD является мощным графическим средством, предназначенным для формирования и выпуска машиностроительных чертежей. Для того, чтобы читатель мог выполнить необходимую доработку импортированного образа проекта до состояния полноценных конструкторских документов по ЕСКД, необходимо изучить основные функции AutoCAD. Привести описание его функций в полном объеме из-за ограниченного объема настоящего пособия не представляется возможным. В последнее время издано несколько исчерпывающих руководств и самоучителей, позволяющих изучить функции и приемы работы в среде AutoCAD самых новейших версий (AutoCAD 2000-2008) [5], [6], [7], поэтому в настоящем пособии ограничимся рассмотрением только того минимума функций, который позволяет решить нашу узкую задачу: довести импортированные из Altium Designer 6 DXF-данные до полноценного конструкторского документа по ЕСКД. В нашем изложении ограничимся рассмотрением функций AutoCAD 2002, поскольку объем функций, который необходим для решения задачи формирования конструкторских документов на функциональный узел на печатной плате, в более поздних версиях AutoCAD остался без изменений.

11.1. Общая характеристика графических средств AutoCAD 2002.

Окно графического редактора AutoCAD 2002 имеет традиционную для приложений MS Windows форму (рис. 11.1).

В верхней части главного окна программы располагаются:

- заголовок программы с именем текущего файла проекта;
- главное “выпадающее” (Dropdown) меню программы с командами операционной оболочки (File, Edit и др.) и командами настройки AutoCAD и управления процессом выполнения проекта;
- “стандартная” линейка инструментов (Standard Toolbar), в которой расположены экранные кнопки, дублирующие ряд наиболее употребительных команд работы с файлами (открытие, сохранение, копирование и вставка копий из буфера обмена) и некоторых часто используемых команд AutoCAD;
- линейка управления слоями графического редактора, цветом, типом и толщиной линий.

Центральную часть экрана занимает графическое окно, обрамленное так называемыми “плавающими” меню, на кнопки-пиктограммы которых вы-

ведены все основные команды AutoCAD. Плавающими эти меню называются потому, что они могут в нужный момент вызываться на экран или убираться с экрана, перемещаться по экрану в пределах графического окна или фиксироваться на его краях. Всего может быть активизировано до 24-х плавающих меню. Команды в них сгруппированы по принципу однородности выполняемых операций (черчение различных фигур, их редактирование, нанесение размеров и т.п.).

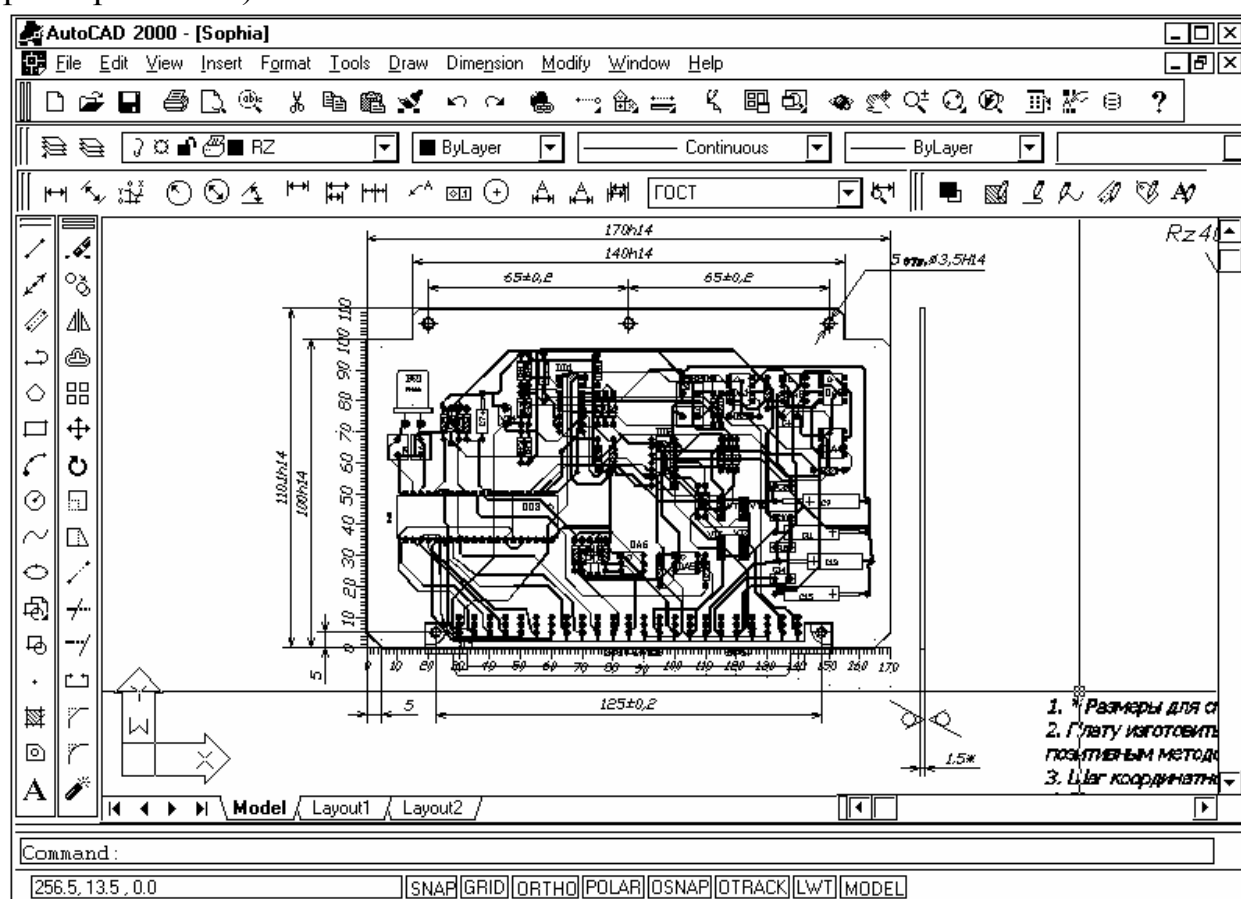


Рис. 11.1

В нижней части экрана располагаются текстовое окно команд и линейка статуса, в которую выводятся координаты курсора и ряд “горячих” кнопок-команд, позволяющих изменять значения системных переменных, определяющих ход выполнения чертежа, не прерывая исполнения текущей команды: переключать с непрерывного на дискретное перемещение курсора мыши (SNAP ON/OFF) и менять величину шага, включать/отключать ортогональное перемещение курсора при черчении (ORTHO ON/OFF), включать/отключать привязку одних графических объектов к другим (OSNAP ON/OFF) и др.

Текстовое окно команд служит для ввода команд с клавиатуры. В процессе выполнения команд в него выводится и в нем протоколируется командный диалог всего сеанса работы.

Такое разнообразие представления команд обеспечивает большую гибкость при выполнении работы: начало выполнения команды может, например, активизироваться из выпадающего меню или кнопкой-пиктограммой, затем необходимые данные вводятся через текстовое окно с клавиатуры, после чего снова можно работать мышью и т.д.

Графические и другие визуально отображаемые данные в AutoCAD структурированы в слои, аналогично “электронным” САПР P-CAD, Altium Designer и др. Вместе с импортом образа печатной платы AutoCAD воспринимает структуру слоев исходного проекта.

Запуск программы производится так же, как и всех приложений Windows – из стартового меню или указанием на значок-ссылку на “рабочем столе” компьютера. После запуска следует выполнить базовую настройку программы – назначить систему единиц измерения (команда Format>>Units), размеры рабочего поля (команда Format>>Drawing Limits) и стиль исполнения текстовых надписей (команда Format>>Text Style). Настройки выполняются в диалоговых окнах и не представляют большого труда для работника, знакомого с приложениями Windows.

Поскольку в процессе работы над импортированным из Altium Designer интегральным образом печатной платы практически не приходится заниматься черчением (вся графика поступает готовой с DXF/DWG-файлом проекта), ограничимся в нашем пособии рассмотрением функций AutoCAD, необходимых для выполнения рабочих чертежей печатной платы и сборки модуля 1-го уровня (ячейки) на основе импортированного из Altium Designer интегрального образа трассированной печатной платы:

- нанесение размеров на чертеже;
- управление видами проекта в плавающих видовых окнах;
- присоединение к чертежам бланков форматов и заполнение основной надписи чертежа.

Последние два вопроса наиболее скупо освещены в упомянутых изданиях.

11.2. Нанесение размеров и предельных отклонений на чертеже.

Перед выполнением данной операции следует провести настройку стиля простановки размеров. Для этого активизировать команду главного меню Format>>Dimension Style. Открывается диалоговое окно подсистемы Dimension Style Manager – менеджера размерных стилей (рис. 11.2).

В поле Styles представлен список ранее установленных размерных стилей. Если черчение начинается с чистого листа, в нем указан единственный стиль ISO-25, назначенный по умолчанию.

В поле Preview приводится пример простановки размеров.

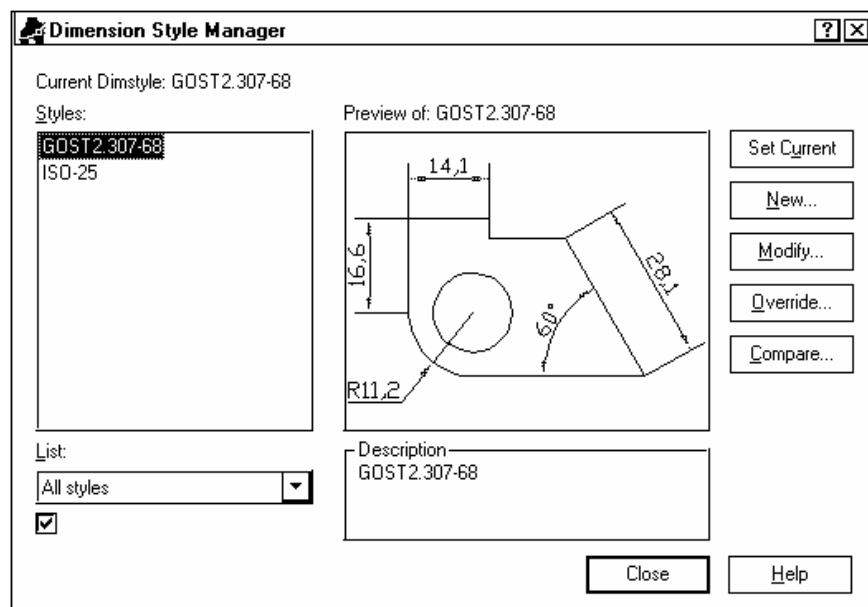


Рис. 11.2

Для назначения нового стиля нажать кнопку New. Открывается диалоговое окно назначения нового стиля, рис. 11.3.

В поле New Style Name назвать имя нового стиля, например, для размеров по ЕСКД указать имя GOST2.307-68.

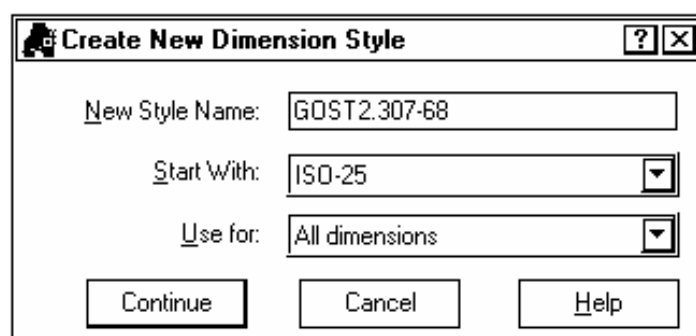


Рис. 11.3

В поле Use for выбирается вид размеров, для которых настраивается стиль – линейные, радиальные, угловые и т.д., или стиль назначается для всех видов размеров (All Dimensions).

Кнопкой Continue активизировать диалог настройки параметров нового стиля. Открывается диалоговое окно (рис. 11.4), содержащее 6 панелей-закладок, на каждой из которых устанавливаются элементы стиля:

- Lines and Arrows – способ изображения выносных и размерных линий (поля Dimension Lines и Extension Lines): цвет (Color), толщина линии (Lineweight), форма и размеры стрелок (Arrowheads), возможность не изображать (Suppress) одну или обе выносные линии, один или оба конца размерной линии, способ обозначения и размер перекрестия в центрах окружностей и дуг и т.д.;

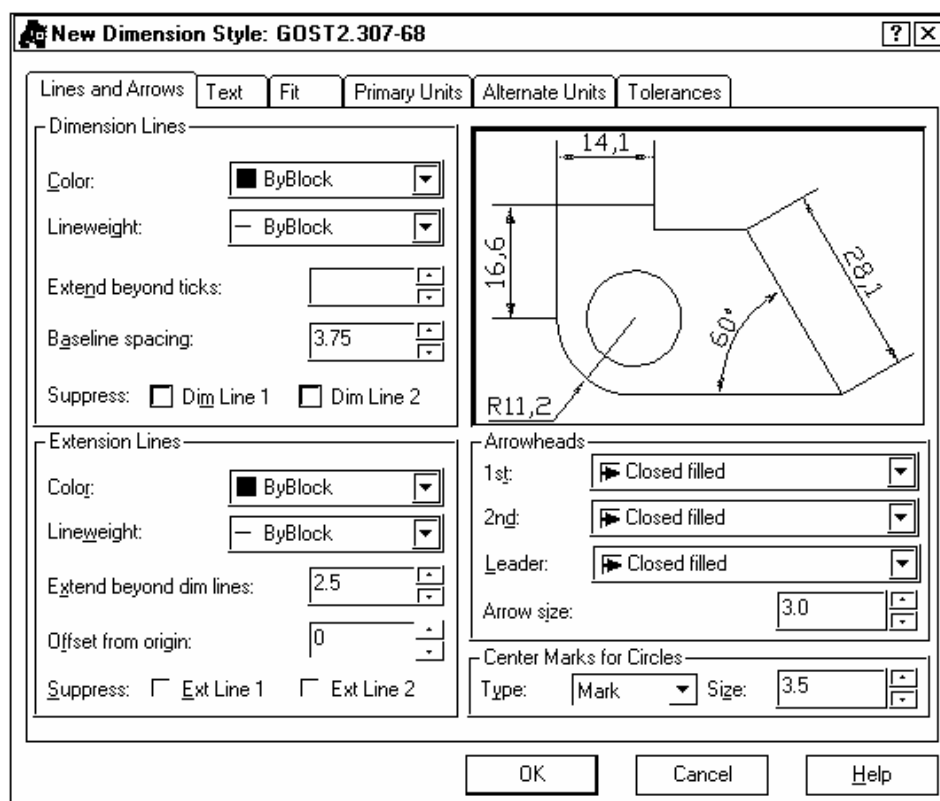


Рис. 11.4

- Text – размер шрифта и способ размещения размерного текста относительно выносных и размерных линий;
- Fit – расположение размерного текста, если он не умещается между выносными линиями;
- Primary units – основные единицы измерения, включая точность обозначения размеров (в нашем случае достаточно одного знака после запятой);
- Alternate Units – альтернативные единицы (дюймы, если для основных единиц принята метрическая система);
- Tolerances – способ обозначения предельных отклонений размеров.

Выполнив необходимые настройки, закрываем кнопкой “OK” окно рис. 11.4, возвращаемся в исходное окно, рис. 11.2, и кнопкой Set Current присваи-

ваем новому стилю статус текущего. Программа возвращается в главное графическое окно с изображением импортированного образа печатной платы (см. рис. 11.1).

При подготовке рабочих чертежей печатной платы и сборки функционального узла для нанесения размеров должны быть созданы два слоя AutoCAD, с тем, чтобы на будущем чертеже печатной платы были видны исполнительные и справочные размеры, необходимые для изготовления печатной платы, а на сборочном чертеже узла – габаритные, установочные и присоединительные размеры, относящиеся к сборке.

Перед нанесением размеров назначить один из этих слоев текущим и активизировать одну из команд-кнопок в линейке плавающего меню Dimension, либо команду главного меню Dimension с соответствующей подкомандой (Linear, Radial, Angular и т.д.).

При нанесении линейного размера последовательно указать курсором, со щелчком левой клавишей мыши, две точки контура, после чего движением курсора в сторону свободного поля чертежа вынести обозначение размера и зафиксировать его щелчком левой клавиши.

По ходу нанесения размера может возникнуть необходимость изменить форму изображения размера или текст размерной надписи. Так, при обозначении метрической резьбы размерная надпись должна начинаться с буквы М, а после цифрового обозначения размера может быть указано значение шага резьбы (например, М12×1,25), при обозначении предельных отклонений линейных размеров размерные цифры сопровождаются условным обозначением полей допусков (квалитетом) или числовыми значениями и т.п. Все эти варианты трудно предусмотреть при настройке размерного стиля, поэтому в таких случаях следует пользоваться опциями, предлагаемыми программой в текстовом командном окне. Возможны два способа редактирования.

1. Активизировать с клавиатуры опцию редактирования размерной надписи Text (ввести символ “Т”) – для непосредственного редактирования надписи в текстовом окне команд. В этом случае введенный с клавиатуры текст полностью заменяет предлагаемую программой размерную надпись.

2. Активизировать опцию Mtext (символ “М”) – для редактирования с помощью текстового редактора AutoCAD. В этом случае открывается диалоговое окно текстового редактора Mtext (рис. 11.5).

В главном поле окна угловыми скобками условно обозначен текст размерной надписи, предлагаемый программой, в соответствии с настройками текущего размерного стиля.

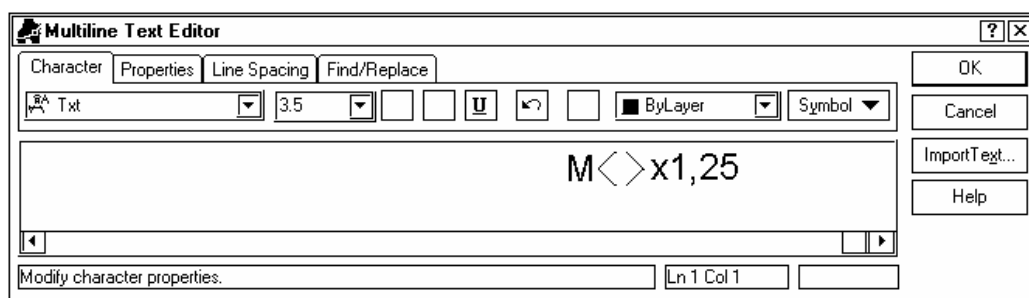


Рис. 11.5

Обычными способами редактирования текста слева и справа от этого условного обозначения могут быть внесены необходимые добавления (см. рис. 11.5). Для полной замены размерной надписи следует удалить угловые скобки и написать на их месте необходимый текст. Кнопкой ОК редактирование завершается, и у размерной линии на чертеже возникает новая надпись.

11.3. Создание и управление свойствами плавающих видовых окон в AutoCAD 2002

В AutoCAD предусмотрено два способа изображения объектов – изображение в так называемом пространстве модели (Model Space) и в пространстве листа (Paper Space или Layout). В пространстве модели выполняется вся проектная работа. При выполнении планарного чертежа ортогональные проекции объемных конструкций изображаются в единственном видовом окне. При таком способе создания конструкторского документа для его распечатки нет необходимости перехода из пространства модели в пространство листа.

В случае объемного конструирования различные виды объемной конструкции могут представляться в нескольких видовых окнах. Эти окна могут быть фиксированными, накрывающими весь экран наподобие кафельной плитки (Tiled Viewports) или плавающими (Floating Viewports), произвольного размера, возможно, накрывающими друг друга.

Из пространства модели может быть распечатан вид, находящийся в единственном, активном окне. Переход в пространство листа позволяет выполнить окончательную подготовку проекта к получению “твердой копии” – выводу на бумагу совмещенного изображения из нескольких плавающих окон. Изображения, созданные в пространстве модели, при переходе в про-

странство листа становятся недоступными для редактирования. Изображение становится единым объектом вместе со своим видовым окном. Вместе с окном оно может перемещаться по экрану командой Move, копироваться командой Copy, масштабироваться командой Stretch, может быть удалено командой Erase и т.д. Может быть создано неограниченное количество плавающих видовых окон (Floating Viewports), в которых размещаются именованные виды элементов проекта, но одновременно в AutoCAD 2002 на экране (как и на чертеже) могут быть видимыми не более 64-х окон. Границы плавающих видовых окон, в отличие от границ фиксированных окон, могут быть сделаны невидимыми, перемещения курсора происходят по всему экрану, и весь этот вид может быть отображен на бумаге в виде единого чертежа.

В AutoCAD 2000 и более поздних версий в одном проекте одновременно может быть назначено несколько конфигураций в пространстве листа. По-английски они называются Layouts, что может быть ближе всего по смыслу переведено как “раскладка”. В нижней части главного окна программы помещены “закладки” (Tabs), позволяющие в любой момент работы обращаться то к пространству модели, то к одной из раскладок пространства листа (см. рис. 11.1). При указании на закладку курсором, со щелчком левой клавишей мыши, соответствующий вид выдвигается на первый план на экране. В текстовом окне команд это действие протоколируется фразой: <Switching to Layout> или <Switching to Model>.

Функции установки конфигурации видовых окон сосредоточены в выпадающем меню View>>Viewports. Установка конфигурации выполняется по контексту: если мы работаем в пространстве модели, может быть установлена конфигурация фиксированных видовых окон, а в пространстве листа – конфигурация плавающих окон.

11.3.1. Создание новых плавающих окон

При разработке нового проекта автоматически устанавливается пространство модели, а “в запасе” обозначена закладка первого, неконфигурированного пространства листа с именем Layout1.

В случае необходимости перехода в пространство листа указать курсором мыши, со щелчком левой клавишей, на закладку Layout1. Открывается окно настройки конфигурации пространства листа (рис. 11.6).

Центральная зона окна содержит два поля-закладки – поле установки конфигурации плоттера Plot Device и поле установки конфигурации листа Layout Settings. Поскольку пространство листа используется для подготовки доку-

мента к печати, функции конфигурации практически совпадают с функциями настройки конфигурации распечатки, за исключением предварительного просмотра распечатки.

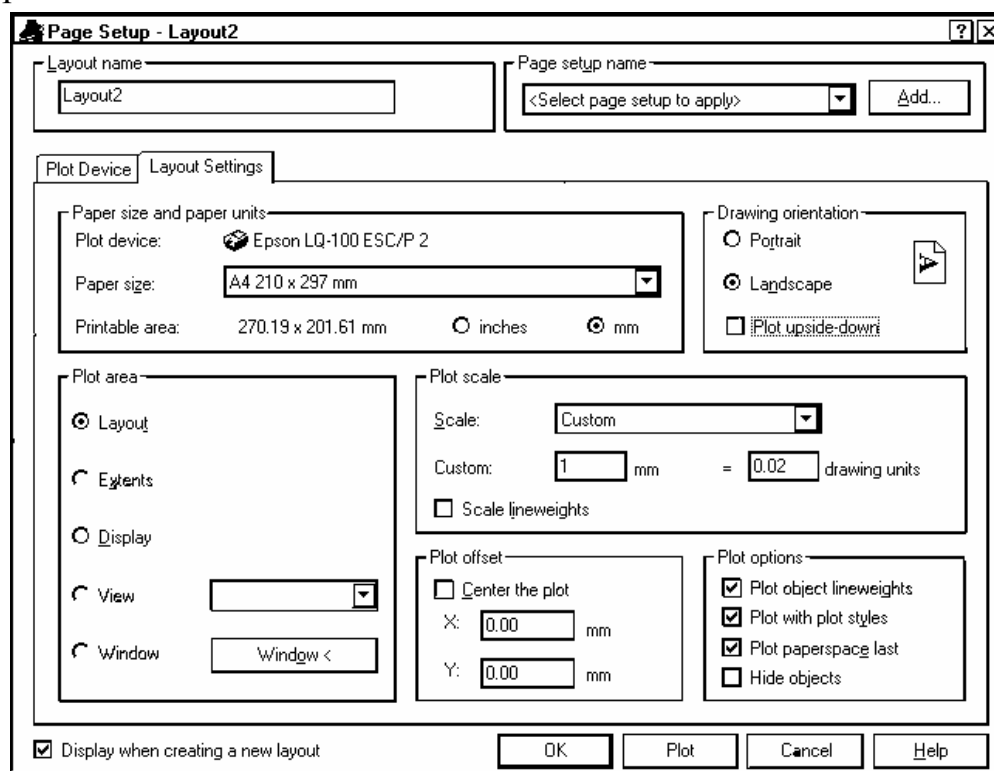


Рис. 11.6

На закладке Plot Device указать устройство печати, на которое предполагается вывод чертежей. Это может быть принтер, установленный в конфигурации компьютера, и тогда придется выводить чертеж большого формата по частям, либо может быть указан один из широкоформатных плоттеров, с которыми по умолчанию в состоянии работать AutoCAD. Несмотря на то, что выбранный плоттер может отсутствовать в конфигурации компьютера, программа позволяет выполнить настройку чертежа в пространстве листа для этого отсутствующего плоттера, и только при выводе чертежа использовать то реальное устройство, которым располагает пользователь.

В поле Paper size and paper units указываются система единиц измерения и размеры листа. Последние выбираются из списка в поле Paper size, но не могут превышать максимально допустимые “физические” размеры листа для назначенного плоттера или принтера. Для выпуска чертежей по ЕСКД указать один из форматов ISO A0...A4, совпадающих по размерам листа с форматами ЕСКД, по ГОСТ2.301-68.

В версиях AutoCAD выше 2004-й настройка листа Layout модернизирована. Настройка выполняется в среде “Менеджера настройки”, активизируе-

мого из контекстного меню, вызываемого щелчком правой клавиши мыши на закладке Layout.

По умолчанию в новом пространстве листа установлено единственное видовое окно, укладываемое в размеры назначенного листа. В это окно автоматически передается вид импортированного образа печатной платы из активного видового окна пространства модели.

Для назначения новых плавающих видовых окон указать в главном меню View подменю Viewports. Из него раскрывается выпадающее подменю, содержащее следующие опции настройки конфигурации видовых окон:

- Named Viewports – именованные видовые окна;
- New Viewports – новые видовые окна;
- 1 viewport – одно окно;
- 2 viewports – два окна;
- 3 viewports – три окна;
- 4 viewports – четыре окна;
- Polygonal viewports – полигональные видовые окна;
- Object – объект в качестве границ видового окна.

Указать опцию New Viewports. Раскрывается окно установки конфигурации новых видовых окон (рис. 11.7).

В поле New name может быть названо имя нового плавающего окна, в результате чего при дальнейшем его использовании в других чертежах его можно будет вызывать из списка установленных конфигураций, указывая опцию Named Viewports.

В поле предварительного просмотра Preview обозначаются контуры конфигурации нужных окон.

Курсором выбрать одну из строк списка возможных конфигураций. В наших целях следует активизировать опцию Single – единственное окно.

В поле Setup указывается, работаем ли мы с двухмерным (2D) или трехмерным объектом (3D). В случае работы с двухмерным объектом во все назначаемые окна передается вид из текущего активного видового окна пространства модели – “Current active viewport”. В случае указания опции работы с изображениями трехмерных объектов в полях предварительного просмотра назначаются три стандартные ортогональные проекции “Right”, “Front”, “Top” и изометрическая проекция объекта “Isometric SE” - вид “с Юго-Востока”. При необходимости назначить изображение других видов

объектов активизировать в поле просмотра окна рис. 11.7 одно из создаваемых плавающих окон и выбрать для него представление объектов из списка видов, разворачивающегося при активизации поля “Change View to”.

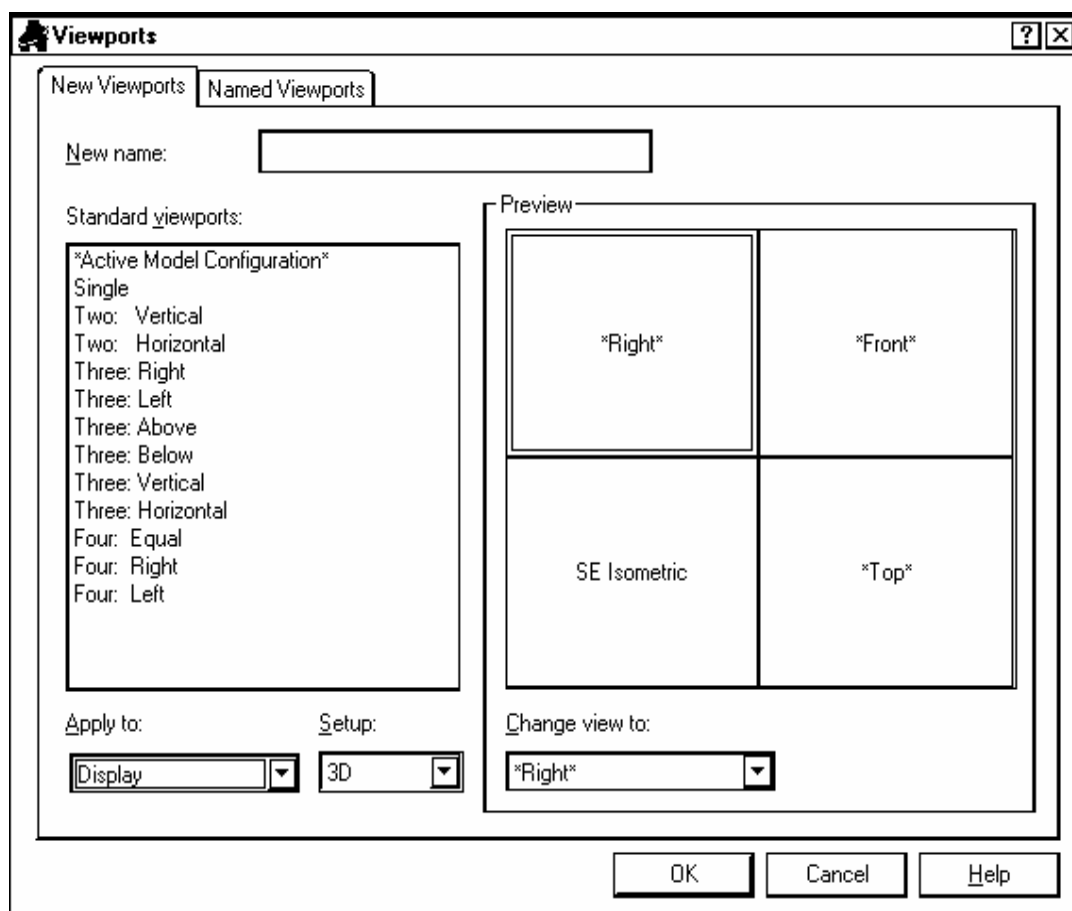


Рис. 11.7

Так, в частности, при работе с конвертированным из Altium Designer образом печатной платы, хотя он и планарный, главный вид печатной платы в трехмерном ее представлении является видом сверху, а для изображения вида со стороны пайки следует указать в поле Setup для нового плавающего окна пространства листа опцию 3D и назначить в нем вид снизу – Bottom.

Настройка конфигурации завершается нажатием “OK”, после чего AutoCAD возвращается в главное окно, а в окне команд выводится предложение обозначить контур нового окна на экране или автоматически вписать его в имеющийся экран (Fit). В новом видовом окне строится зеркальное отображение полного образа трассированной печатной платы. На обоих видах пока еще сохраняется видимость объектов на всех слоях проекта “на просвет”, как в исходном образе.

11.3.2. Масштабирование изображений в плавающих окнах

Размеры изображения объектов в пространстве листа масштабируются в так называемые единицы чертежа, Drawing units, отличающиеся от единиц измерения в пространстве модели. Масштаб изображения устанавливается при настройке конфигурации пространства листа (см. рис. 11.6).

При создании нового плавающего видового окна по умолчанию изображение из пространства модели масштабируется программой таким обра-

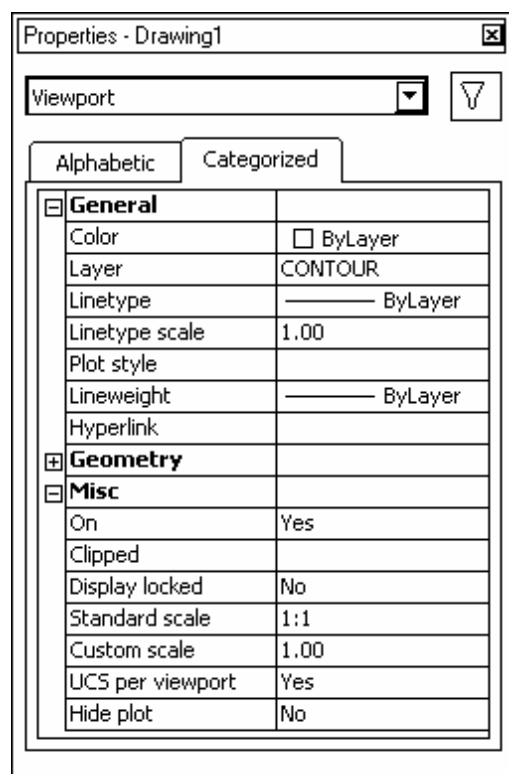


Рис. 11.8

зом, чтобы оно полностью поместилось в размеры назначенного листа распечатки. Изменение границ плавающего окна не меняет масштаба изображения объектов, расположенных в нем. Для изменения масштаба изображения в плавающем окне выбрать окно курсором и вызвать щелчком правой клавиши “всплывающее” контекстное меню и активизировать в нем функцию управления свойствами объектов Properties.

Открывается окно менеджера свойств объектов (рис. 11.8). Свойства объекта могут быть перечислены по алфавиту или структурированы по категориям. Набор свойств, доступных для редактирования зависит от вида выбранного объекта.

Всего доступны 35 контекстов. Для изменения масштаба выбрать в группе функций Misc строку Standard scale (при этом разворачивается таблица доступных масштабов) и указать нужный масштаб из списка, либо назначить масштаб в строке пользовательских масштабов Custom scale.

В интересующем нас случае как в исходном окне пространства листа, с главным видом печатной платы, так и в новом окне, с видом снизу, устанавливаем единый стандартный масштаб. После этого надлежит так расположить изображения обоих видовых окон, чтобы установилась проекционная связь видов платы. Для этого следует активизировать команду перемещения Move, выбрать в качестве объекта границу плавающего видового окна, а в качестве исходной точки перемещения указать какую-либо характерную точку на виде пе-

чатной платы (один из углов контура платы, верхний или нижний край и т.п.) и, перемещая изображение, совместить линию курсора с некоторой характерной точкой или линией контура на виде платы в другом, неподвижном окне.

11.3.3. Управление видимостью объектов в плавающих окнах пространства листа

При исполнении конструкторских документов приходится управлять видимостью различных частей изображения в разных видах, скрывать одни его части, накрываемые в сборке другими частями и т.п.

В AutoCAD заложены обширные возможности управления видимостью. В данном изложении нас интересуют средства управления видимостью в плавающих окнах пространства листа. К ним относятся:

- затенение изображения (Screening) в выбранных видовых окнах;
- исключение скрытых линий контуров при распечатке чертежа;
- отключение видимости плавающих окон;
- управление видимостью слоев изображения в выбранных плавающих окнах;
- клипирование (вырезание части) плавающих окон.

Применительно к выпуску конструкторской документации на функциональные узлы РЭС на печатных платах нас интересуют две из перечисленных функций.

Для отключения видимости целого плавающего окна аналогично предыдущему случаю в группе Misc выбрать функцию ON и установить для нее значение No – нет. Значение Yes – да – делает окно видимым. При отключении видимости плавающего окна границы его остаются видимыми.

Управление видимостью слоев изображения в выбранных плавающих окнах применяется тогда, когда, например, нужно привести на чертеже изображение двух видов такого объекта как печатная плата.

В пространстве листа выбрать плавающее окно, в котором должна быть отключена видимость каких-либо объектов и “активизировать” его двойным щелчком левой клавишей мыши. Управляющей командой в данном случае является команда MSPACE (дублируется в текстовом окне команд).

“Активность” выбранного окна проявляется как переход его в пространство модели. Это особое состояние, в котором в активном окне возможно редактирование графических объектов, причем внесенные изменения передаются в пространство модели всего проекта и отображаются во всех пла-

вающих окнах пространства листа, а видимость некоторых слоев в данном окне может быть отключена (слои замораживаются), и элементы изображения, размещенные на этих слоях, остаются невидимыми только в этом видовом окне после того, как оно будет возвращено в прежнее, “пассивное” состояние (команда PSPACE или двойной щелчок левой за пределами активного окна).

Командой главного меню Format>>Layer или щелчком мыши на пиктограмме в линейке статуса главного окна программы активизировать окно управления слоями графического редактора (рис. 11.9).

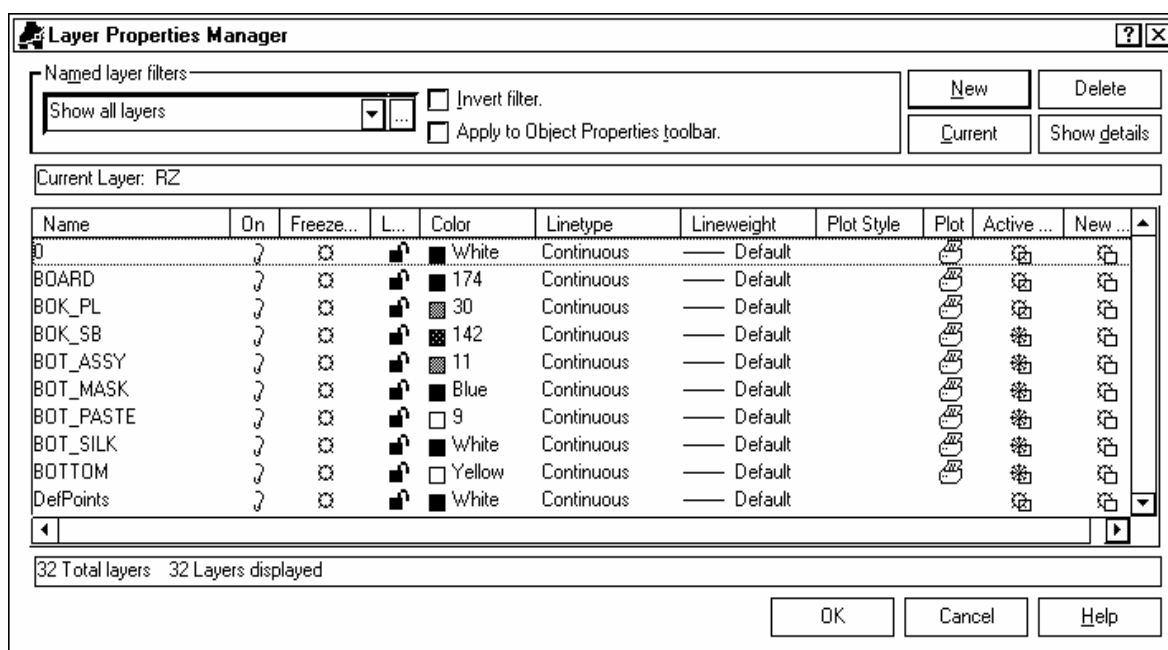


Рис. 11.9

В поле списка слоев выбрать необходимые слои и для каждого из них указать в колонке Active опцию Active VP Freeze - заморозить (слой) в активном окне. Выбранные слои замораживаются, т.е. становятся невидимыми, недоступными для редактирования и исключаются из состава регенерируемых и печатаемых на бумаге.

В интересующем нас случае работы над чертежом печатной платы таким способом достигается видимость на главном виде проводников, расположенных на стороне установки компонент (слой Top Layer), контуров платы, исполнительных и справочных размеров, обозначений чистоты обработки, маркировки, с необходимой оцифровкой и т.д., а на виде снизу – контуров платы, проводников со стороны пайки (слой Bottom Layer), координатных рисок с оцифровкой в противоположном направлении.

Границы плавающего окна представляют собой полилинию в текущем активном слое графического редактора. Если мы хотим сделать границы невидимыми на экране, для них следует предварительно создать специальный слой и активизировать его, после чего создавать плавающее окно. Впоследствии можно управлять видимостью слоя границ. Если границы плавающих окон должны быть невидимы только в распечатке, следует вызвать окно управления слоями и в колонке списка слоев с пиктограммой в виде принтера указать опцию отключения печати слоя. После щелчка мышью пиктограмма принтера в данной строке помечается красным значком запрета.

11.4. Подключение форматов к чертежу *AutoCAD*

Чертежи во всех стандартах оформляются на листах стандартных форматов. В ЕСКД это форматы по ГОСТ 2.301-68, с основной надписью первого и последующих листов по ГОСТ 2.104-68.

Если перед началом черчения ясно, на каком формате будет размещаться чертеж, то при загрузке AutoCAD или при выполнении команды построения нового чертежа File>>New для подключения форматки активизировать в стартовом окне программы (рис. 9.10) кнопку вызова формата Use a Template.

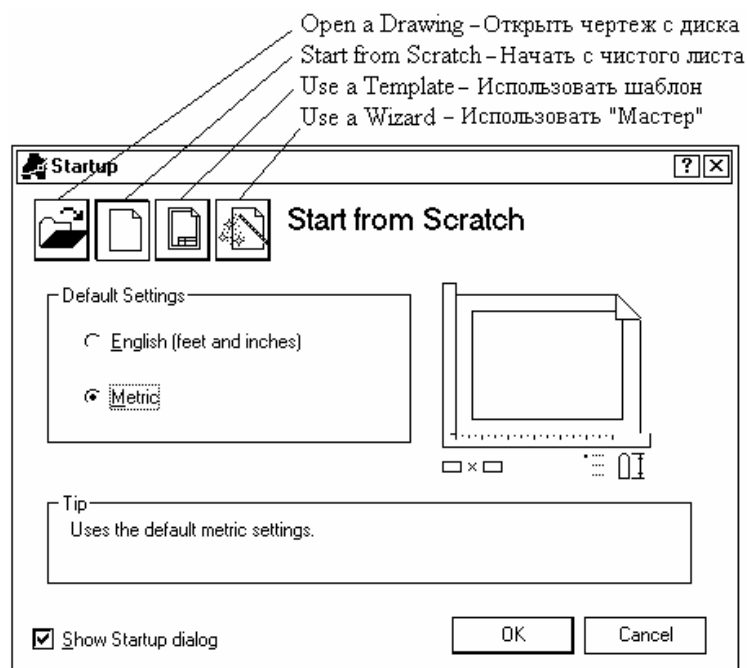


Рис. 11.10

Раскрывается окно Create New Drawing – создать новый чертеж (рис. 11.11), повторяющее структуру стартового окна. В центральном поле окна Select a Template располагается список шаблонов, которые могут быть загружены в рабочую среду программы из подкаталога Templates, путь к которому

устанавливается по умолчанию при инсталляции AutoCAD. В поставку входят шаблоны, созданные в стандартах ANSI (American National Standards Institute), DIN (Deutsch Industrienormen), ISO (International Standards Organization) и JIS (Japanese Industrial Standard). Бланк форматки ни в одном из этих стандартов не годится для выпуска чертежей по ЕСКД. Кнопкой Browse может быть активизирован поиск шаблонов-форматок ЕСКД в пользовательских подкаталогах.

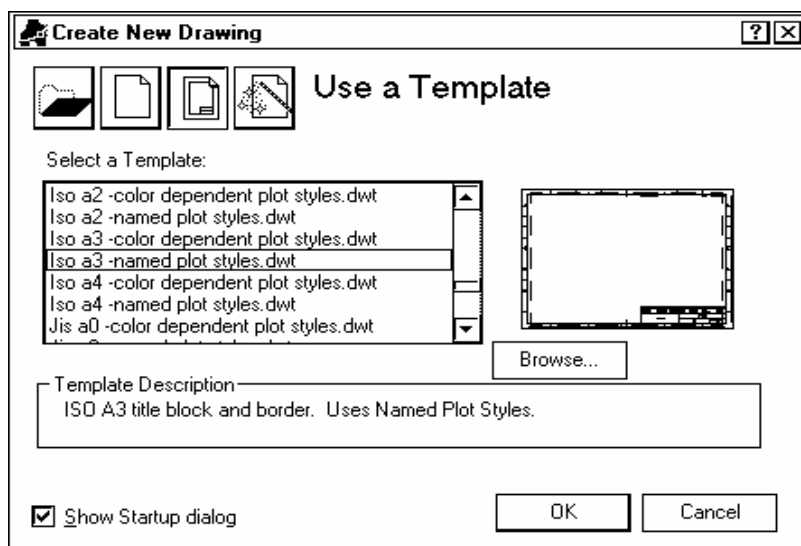


Рис. 11.11

Выбранный шаблон нажатием кнопки ОК загружается в рабочую среду программы. Загрузка происходит в пространство листа. Кроме начертания форматки шаблон включает ряд настроек для будущего чертежа: слои, единицы измерения, стили простановки размеров и др., а также набор подлежащих редактированию атрибутов блока-форматки, образующих записи в основную надпись чертежа.

Отметим, что приведенные иллюстрации относятся к версии AutoCAD 2000. В более поздних версиях интерфейс постоянно модернизируется, но по существу функции формирования нового документа и вызова шаблона остаются без изменения.

Шаблон приносит с собой настройку системы единиц измерения, размеров листа и плавающее видовое окно, границы которого совпадают с внутренней рамкой листа-форматки. При загрузке шаблона это окно автоматически активизируется, и в нем непосредственно может быть начато черчение..

Шаблон-форматка изображается целиком на белом поле, размеры которого превышают размеры стандартного листа по ЕСКД (или другой системе стандартов) на несколько миллиметров на каждую сторону, независимо от настройки конфигурации плоттеров или принтеров. При попытке вывода на пе-

часть форматки с размещенным на листе чертежом по умолчанию открывается настройка масштаба Scaled to Fit – масштабировать к размерам физического листа плоттера.

При назначении стандартного масштаба 1:1 на листе, физически доступному принтеру или плоттеру, может быть выполнена часть чертежа. После распечатки эта часть изображается на белом поле, остальная часть чертежа – на сером фоне. Разный цвет фона никак не препятствует черчению на всей площади активного плавающего окна. Он означает только то, что распечатка чертежа в назначенном масштабе на данном устройстве возможна лишь по частям.

Выполненный в активном плавающем окне чертеж автоматически переносится в пространство модели проекта. Операции редактирования чертежа могут выполняться как в активном плавающем окне пространства листа, так и в пространстве модели.

Рассмотренным способом формируется один лист чертежа. Выпуск многолистового чертежа или комплекта из нескольких чертежей на основе объекта, созданного в пространстве модели, требует настройки нескольких листов в пространстве листа и, соответственно, использования нескольких разных шаблонов (первый и последующие листы или листы разного формата). Для подключения нового шаблона:

- указать курсором на закладку Layout1 и щелчком правой клавиши вызвать контекстное Pop-up меню;
- в контекстном меню активизировать команду From Template – из каталога шаблонов-форматок;
- в открывшемся стандартном окне поиска файлов найти имя файла подходящей форматки и открыть файл.

Открывается новый лист пространства листа, в активном видовом окне которого размещается весь ранее выполненный в пространстве модели чертеж. Далее, средствами формирования и управления свойствами плавающих видовых окон чертежу в новом листе придается нужный вид.

При импорте DXF/DWG-файла Altium Designer графические данные приходят в пространство модели. Размещение графики на заранее вызванную форматку невозможно. Поэтому подключать форматку следует после приема импортируемых данных. Для этого может использоваться еще один способ подключения форматки к готовому DWG-документу:

- командой File>>Open открыть необходимый файл форматки *.dwt;

- файл форматки открывается как обычный графический документ, при этом графика форматки и ее атрибуты имеют статус блока AutoCAD;
- в новом документе селектировать мышью блок-форматку;
- командой меню Edit>>Copy или комбинацией клавиш Ctrl-C загрузить селектированный блок в буфер обмена Windows;
- активизировать команду меню Window и перейти в окно проекта;
- командой меню Edit>>Paste или комбинацией клавиш Ctrl-V загрузить блок-форматку в текущий лист проекта.

При загрузке программа требует указать координаты точки вставки шаблона в текущий лист. Координаты могут быть введены с клавиатуры, либо указаны мышью. В качестве точки вставки назначить левый нижний угол пределов чертежа (координаты 0.00, 0.00).

В процессе этой перегрузки шаблона через буфер обмена теряется принадлежащее шаблону плавающее видовое окно. Никакой беды в этом нет: в пространстве листа импортированная графика располагается в своем видовом окне, и дополнительно могут быть созданы новые окна, чтобы чертеж нес всю необходимую информацию об объекте, сформированном в пространстве модели.

При использовании в этой процедуре имеющих хождение у пользователей AutoCAD шаблонов ЕСКД может возникнуть искажение графики при попытке загрузить в разные листы пространства листа бланки разных форматов. Это связано с тем, что блок-форматка имеет одно и то же блоковое имя РАМКА во всех этих шаблонах, при разных размерах бланка. Чтобы избежать этой ошибки, следует переименовать блоки-форматки, присвоив им в каждом шаблоне различающиеся имена. Для этого активизировать команду главного меню Format>>Rename. Открывается диалоговое окно переименования, Rename (рис. 11.12).

1. В поле Named Objects выбрать Blocks. В поле Items появляется список имен блоков, принадлежащих текущему проекту (в данном случае это единственный блок с именем РАМКА).

2. Селектировать курсором имя РАМКА. Это имя появляется в поле “старого имени” Old Name.

3. В поле против кнопки Rename To (дать новое имя) внести с клавиатуры новое имя блока, например, РАМКА_A1 и т.п. Нажатием кнопки Rename To активизировать переименование.

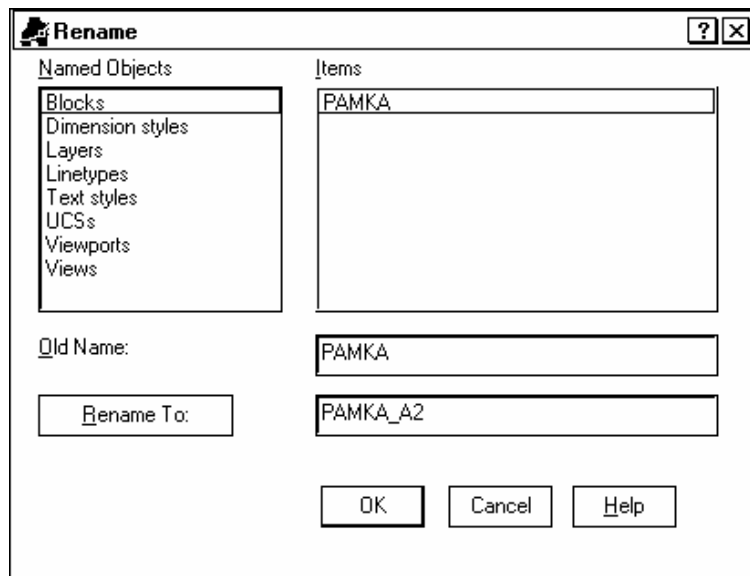


Рис. 11.12

4. Завершить переименование нажатием ОК.
5. Сохранить файл шаблона под новым именем в дисковой памяти.

11.5. Заполнение реквизитов документа

Записи в основную надпись чертежа представляют собой атрибуты блока-форматки. Для заполнения основной надписи активизировать в плавающем меню Modify II команду Edit Attributes. Открывается диалоговое окно редактирования атрибутов блока (рис. 11.13), в центральном поле которого расположен список атрибутов, соответствующих реквизитам документа, а в поле Value вносятся значения реквизитов.

При оформлении неосновных конструкторских документов, которым присваивается код документа по ГОСТ 2.201-80, в графе 1-й основной надписи по ГОСТ 2.104-68 второй строкой под наименованием изделия должно помещаться наименование документа. На сборочном чертеже функционального узла (модуля) это должна быть запись “Сборочный чертеж”. В диалоговом окне рис. 11.13 поле для этой записи не запрограммировано.

Эта трудность легко преодолевается без перепрограммирования окна. Необходимая запись может быть внесена, например, вместо реквизита “Материал детали” (на сборочном чертеже 3-я графа основной надписи остается пустой), а по окончании редактирования записей можно селектировать блок-рамку, взять блок-запись из графы 3-й за “прищепку” и перенести ее в графу 1-ю основной надписи.

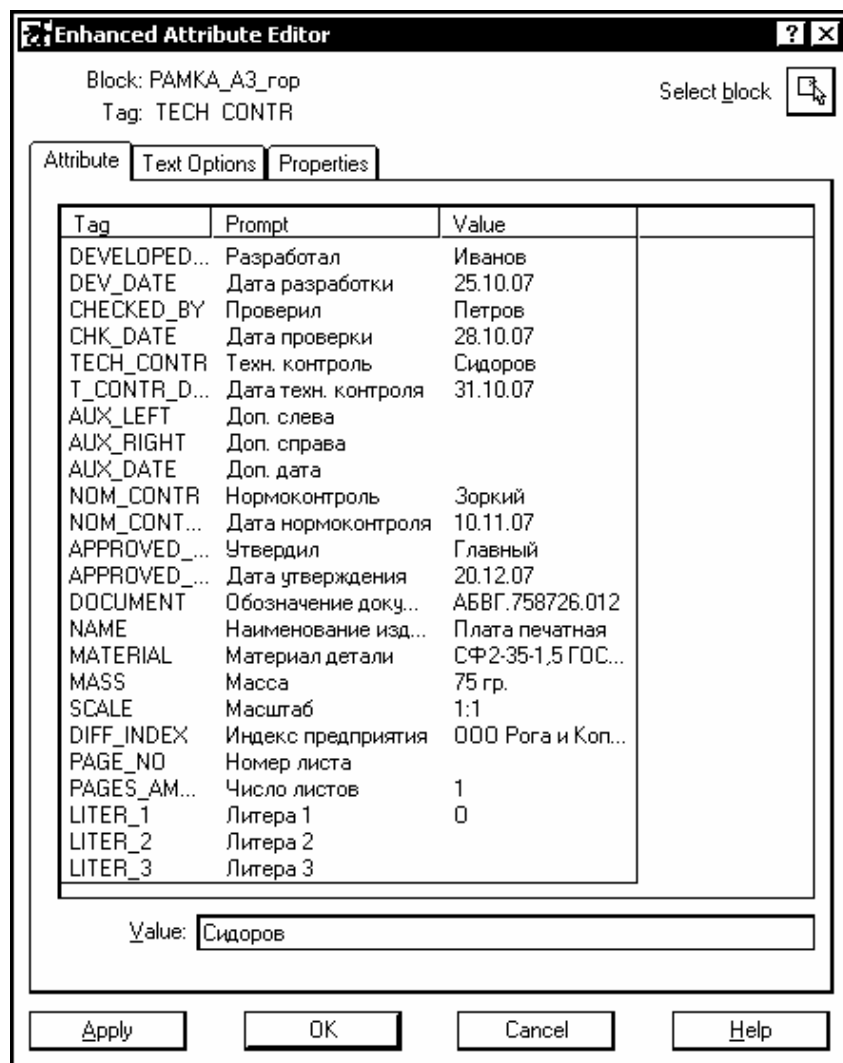


Рис. 11.13

Нажатием ОК редактирование завершается. Внесенные сведения отображаются в графах основной надписи на чертеже.

11.6. Формирование чертежей функционального узла

Мы рассмотрели основные функции и приемы работы в среде САПР AutoCAD 2000, позволяющие, располагая графическими данными, импортированными из Altium Designer 6, как и из других “электронных” САПР, выпустить два графических конструкторских документа по ЕСКД – чертеж печатной платы по ГОСТ 2.417-91 и сборочный чертеж функционального узла по ГОСТ 2.109-73. Приведем теперь сводку операций, последовательное выполнение которых позволяет получить этот результат (рис. 11.14, 11.15).

1. Открыть полученный в результате конверсии DWG-файл проекта командой File>>Open (для файла в формате DXF указать в окне поиска файлов тип файла *.dxf).
2. Создать новые слои AutoCAD для размещения на них:

- обозначения размеров на чертеже печатной платы и сборочном чертеже модуля;
- обозначения чистоты обработки поверхностей печатной платы;
- линеек с рисками координатной сетки для видов лицевой и обратной сторон печатной платы;
- деталей сборки модуля и контуров для условно-упрощенного изображения сборки;
- текстовых технических требований для чертежа печатной платы и сборочного чертежа модуля;
- плавающих видовых окон.

3. Вычертить контуры платы и сборки в виде сбоку – с ребра (можно вместо этого вытянуть экструзией контуры платы в трехмерное тело).

4. Пользуясь функциями команды Dimension, нанести в соответствующих слоях линейные размеры для платы и сборки модуля и указать предельные отклонения исполнительных размеров.

5. Пользуясь командой Insert Block подгрузить к чертежу заранее подготовленные объекты-блоки, изображающие:

- линейки с рисками координатной сетки по ГОСТ 2.417–91;
- обозначения шероховатости поверхностей по ГОСТ 2.309–73;
- детали, входящие в состав сборки модуля.

6. Составить текстовые технические требования на поле чертежа по ГОСТ 2.316–68. Тексты технических требований для чертежа печатной платы и для сборочного чертежа модуля пишутся каждый в своем слое и размещаются на свободном пространстве графического листа.

7. Перейти в пространство листа, в котором открыть два листа – Layout1 и Layout2. На первом листе будем формировать чертеж печатной платы по ГОСТ 2.417–91, а на втором листе – сборочный чертеж модуля первого уровня разукрупнения по ГОСТ 26632–85.

8. Подключить к чертежу из каталога Templates бланк форматки по ГОСТ 2.301–68, с основной надписью по ГОСТ 2.104–68;

9. В первом листе Layout1 открыть новые плавающие видовые окна (Viewports). Установить в новых окнах изображение вида снизу (Bottom) и слева (Left) и назначить во всех видовых окнах единый стандартный масштаб по ГОСТ 2.302–68.

10. Активизировать по очереди каждое из видовых окон и “заморозить” в каждом окне видимость слоев, “лишних” для соответствующего вида платы (функция Freeze in Active Viewport). В видовых окнах листа изображаются в проекционной связи три вида печатной платы – главный вид (сторона установки компонентов), вид сбоку и вид со стороны монтажа, текстовые технические требования и другие данные.

11. Перейти на лист Layout2 и выполнить действия пп. 10, 11, управляя видимостью слоев проекта таким образом, чтобы остались видимыми элементы графики, образующие сборочный чертеж функционального узла.

12. По очереди заполнить графы основной надписи чертежа печатной платы и сборочного чертежа модуля. Конечный результат этой работы показан на рис. 11.14 и 11.15.

В случае проектирования функциональных узлов РЭС на основе базовых несущих конструкций (БНК) работа по пп. 2...5 может быть выполнена один раз для целой группы проектов, с тем, чтобы разгрузить конструктора от черчения контуров платы, простановки размеров и т.д. в каждом проекте. При этом подготовленный заранее шаблон-БНК с нанесенными размерами, координатными линейками и др. знаками открывается как документ AutoCAD, после чего операциями селекции, копирования в буфер обмена Windows с указанием базовой точки (Edit>>Copy with Base Point; базовую точку указать в одном из углов контура платы или в центре крепежного отверстия) и вставки из буфера обмена (командой Edit>>Paste или Ctrl+V) в документ проекта накладывается на импортированный вид печатной платы в пространстве модели.

14. Сохранить результаты в дисковой памяти компьютера, в формате AutoCAD. Все виды сохраняются в едином файле (файл *.DWG).

15. Вычертить чертежи на плоттере или напечатать на принтере. Каждый лист распечатывается по команде File>>Plot.

* * *

В приведенном материале нам удалось рассмотреть ключевые вопросы сквозного проектирования радиоэлектронного функционального узла на основе микросхем программируемой логики (ПЛИС). Из-за ограниченного объема пособия за пределами рассмотрения остался ряд важных вопросов выполнения проекта на ПЛИС. Прежде всего это вопрос о представлении логической структуры функционального узла в конструкциях HDL-языков описания аппаратуры, что позволяет добиться более эффективного использования физических ресурсов кристалла ПЛИС при размещении логики проекта [2]. Невоз-

можно оказалось также в рамках настоящего учебного пособия подробно рассмотреть стадию обработки проекта в среде специализированных САПР производителя ПЛИС (Vendor Tools). Оба эти вопроса требуют изучения в рамках специальных курсов.

В самых общих словах удалось коснуться вопросов сопровождения проекта на стадиях разработки, отладки логики проекта на штатной отладочной панели NanoBoard NB-1 и программирования ПЛИС в аппаратуре пользователя.

Автор все же надеется, что приведенный материал может оказаться полезным для начального ознакомления и приобретения первых навыков работы в среде этой современной высокоэффективной САПР.

Список литературы

1. Прангишвили И. В., Абрамова Н. А., Бабичева Е. В., Игнатущенко В. В. Микро-электроника и однородные структуры для построения логических и вычислительных устройств. М.: Наука, 1967.
2. Стешенко В.Б. ПЛИС фирмы ALTERA: проектирование устройств обработки сигналов. М.: _____ 2000.
3. Суходольский В. Ю. Сквозное проектирование функциональных узлов РЭС на печатных платах в САПР Altium Designer 6.: Учебное пособие. Часть 1. СПб.: Изд-во СПбГЭТУ “ЛЭТИ”, 2008. 152 с.
4. RS-274X Format User’s Guide. – Barco Gerber Systems Corp. South Windsor, CT, USA, 1998.
6. Романычева Э.Т., Соколова Т.Ю. Компьютерная технология инженерной графики в среде AutoCAD 2000. Учебное пособие – М.: ДМК Пресс, 2001. – 656 с.: ил.
7. Уваров А.С. AutoCAD 2002 для конструкторов. – М.: ДМК Пресс, 2002.– 320 с.: ил.
8. Полещук Н.Н., Савельева В.А. Самоучитель AutoCAD 2004.– СПб.: БХВ-Петербург, 2003.– 640 с.: ил.

Оглавление

Введение	3
8. Проект ПЛИС	3
8.1. Формирование нового проекта ПЛИС	8
8.2. Библиотечное обеспечение проектов ПЛИС	11
8.3. Формирование логической структуры ПЛИС	17
8.3.1. Конфигурация рабочего пространства схемного редактора	17
8.3.2. Вызов библиотечных компонентов	18
8.3.3. Линии электрической связи	20
8.4. Выбор путей реализации проекта	24
8.4.1. Создание нового файла привязок	25
8.4.2. Выбор микросхемы ПЛИС	26
8.4.3. Привязка портов	28
8.4.4. Формирование конфигурации проекта	30
8.5. Выполнение проекта в оболочке Devices View	31
8.5.1. Работа в режиме Live	32
8.5.2. Работа в режиме Not Live	36
8.6. Программирование ПЛИС	38
8.6.2. Синтез	38
8.6.3. Построение	39
8.6.4. Загрузка программы коммутации ПЛИС	41
8.7. Встроенные инструменты контроля и отладки	42
9. Объединение проекта плис с проектом печатной платы	45
9.1. “Мастер” объединения проектов	45
9.1.2. Выбор конфигурации проекта	46
9.1.2. Привязка портов логической схемы к выводам ПЛИС	47
9.1.3. Объявление имени РСВ-проекта	48
9.1.4. Генерация схемного листа проекта	49
9.2. Синхронизация FPGA и РСВ проектов	52
9.3. Поддержка связности при модификации проектов	55
10. Экспорт результатов проекта	58
10.1. Экспорт в AutoCAD	58
10.2. Экспорт в PDF-формате Adobe Acrobat	60
10.3. Послойные распечатки проекта	61
10.4. Формирование распечатки видов сборки узла	65

10.5. Экспорт данных для сверловки	65
10.6. Экспорт в формате фотоплоттера GERBER	70
10.7. Экспорт в формате ODB++	77
11. Разработка графических конструкторских документов средствами AutoCAD	81
11.1. Общая характеристика графических средств AutoCAD 2002	81
11.2. Нанесение размеров и предельных отклонений на чертеже	83
11.3. Создание и управление свойствами плавающих видовых окон в AutoCAD 2002	87
11.3.1. Создание новых плавающих окон	87
11.3.2. Масштабирование изображений в плавающих окнах	92
11.3.3. Управление видимостью объектов в плавающих окнах пространства листа	93
11.4. Подключение форматов к чертежу AutoCAD	95
11.5. Заполнение реквизитов документа	99
11.6. Формирование чертежей функционального узла	100
Список литературы	105

Владислав Юрьевич Суходольский

Сквозное проектирование функциональных узлов РЭС на печатных платах
в САПР Altium Designer 6

Учебное пособие
Часть 2

Редактор _____

Подписано в печать . . . 09. Формат 60×84 1/16. Бумага офсетная.

Печать офсетная. Печ. л. 6,75.

Гарнитура “Times”. Тираж 260 экз. Заказ .

Издательство СПбГЭТУ “ЛЭТИ”
197376, С.-Петербург, ул. Проф. Попова, 5