

计算机组成原理大实验阶段设计文档

小组：计51 102组

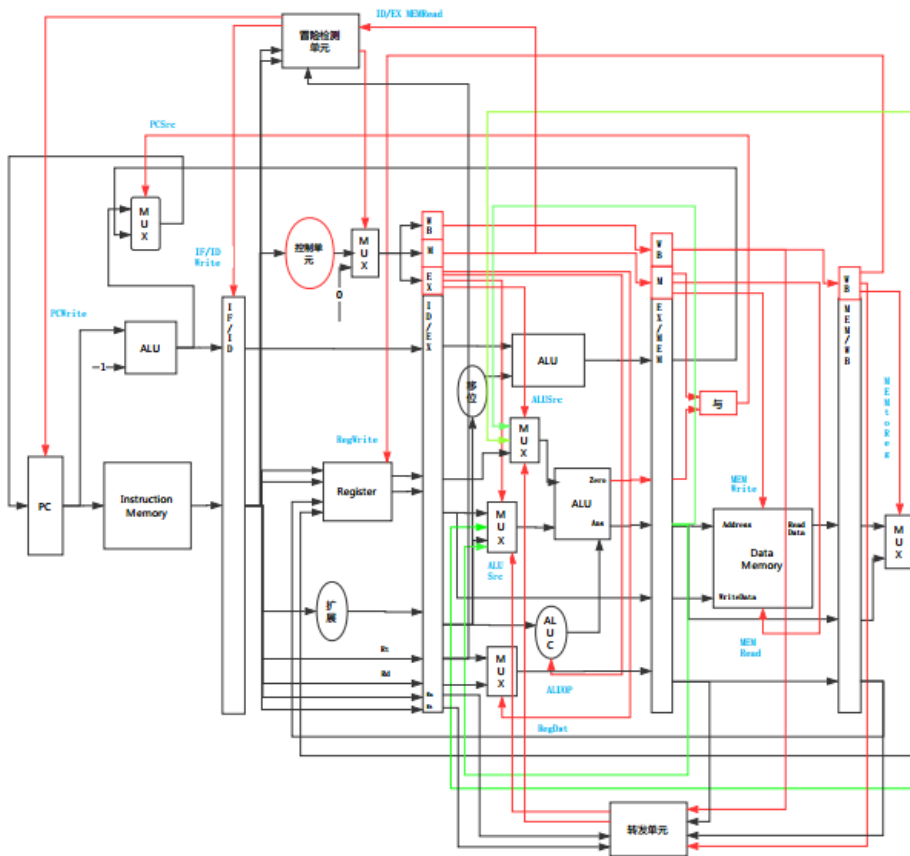
小组成员：石英昊 何杰 张永夫

实验任务与目标

- 1、实现支持指令流水的CPU
- 2、实现基本存储与扩展存储以及输入输出
- 3、能够运行监控程序，并在监控程序中运行PROJECT-1中的程序。

阶段设计成果

数据通路：



指令分析：

详细指令分析见附件“控制信号102.xlsx”

- 1、R型指令：从寄存器堆中读取元操作数，结果写回寄存器堆。该类型的指令包括：ADDU、AND、CMP、MFIH、MFPC、MTIH、MTSP、OR、SLL、SRA、SUBU、SRLV、MOVE、NOT
- 2、I型指令：使用一个(4位或5位或8位或11位)立即数作为一个源操作数。该类型的指令包括：ADDIU、ADDIU3、ADDSP、LI、LW、LW_SP、SW、SW-SP、SLTI
- 3、B型指令：使用一个立即数作为跳转的目标地址。该类型的指令包括：B、BEQZ、BNEZ、BTEQZ

4、J型指令：使用寄存器的值作为跳转的目标地址。该类型的指令包括： JR

控制信号：

详细控制信号见附件“控制信号102.xlsx”

控制信号														
Asrc	No	000		Bsrc	No	00		MentoReg	ALU	0		ALU	ADD	0000
	rx	001			rx	01			MEM	1			SUB	0001
	ry	010			ry	10							AND	0010
	SP	011			imm	11							OR	0011
	IH	100											SLL	0100
	PC	101											SRA	0101
	T	110											SRLV	0110
	Imm	111											NOT	0111
													SLT	1000
													BNEZ	1001
													CMP	1010
Imm分3位，第一位为0或符号扩展														
后两位是Imm在指令译码中的位数				SpeReg	No	00		Rd	No	000				
	No	000			SP	01			rx	001				
Zero	4-2	001			IH	10			ry	010				
	7-0	010		上	T	11			rz	011				
									SP	100				
Sign	3-0	100							IH	101				
	4-0	101							T	110				
	7-0	110												
	10-0	111												

模块设计

PC数据选择器：PCMux.vhd

PC寄存器：PCRegister.vhd

寄存器组：Registers.vhd

立即数扩展：ImmExtend.vhd

目的寄存器选择：RdMux.vhd

控制器：Controller.vhd

时钟模块：Clock.vhd

ALU数据选择器：AMux.vhd BMux.vhd

ALU：ALU.vhd

指令执行阶段寄存器：IfldRegisters.vhd、IdExRegisters.vhd、ExMemRegisters.vhd、MemRegisters.vhd、MemWbRegisters.vhd

数据旁路转发单元：ForwardController.vhd

IO模块：IO.vhd

冒险检测单元：ConflictController.vhd

顶层框架：cpu.vhd

冲突处理

数据冲突

通过数据旁路和冒险检测单元解决

结构冲突

通过延长时钟周期实现按照先写后读的顺序执行指令