计算机组成原理大实验阶段设计文档

小组: 计51 102组

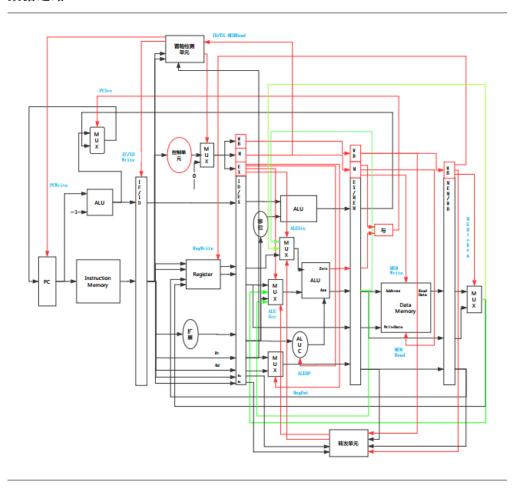
小组成员: 石英昊 何杰 张永夫

实验任务与目标

- 1、实现支持指令流水的CPU
- 2、实现基本存储与扩展存储以及输入输出
- 3、能够运行监控程序,并在监控程序中运行PROJECT-1中的程序。

阶段设计成果

数据通路:



指令分析:

详细指令分析见附件"控制信号102.xlsx"

- 1、R型指令:从寄存器堆中读取元操作数,结果写回寄存器堆。该类型的 指令包括: ADDU、AND、CMP、MFIH、MFPC、MTIH、MTSP、OR、SLL、SRA、SUBU、SRLV、MOVE、NOT
- 2、I 型指令:使用一个(4 位或 5 位或 8 位或 11 位)立即数作为一个源操作 数。该类型的指令包括: ADDIU、ADDIU3、 ADDSP、 LI、 LW、 LW_SP、 SW、 SW-SP、 SLTI
- 3、B型指令:使用一个立即数作为跳转的目标地址。该类型的指令包括: B、BEQZ、BNEZ、BTEQZ

控制信号:

详细控制信号见附件"控制信号102.xlsx"

										_
N∘	000	Bsrc	Nο	00	MemtoReg	ALU	0	ALU	ADD	0000
rx	001		rx	01		MEM	1		SUB	000
ry	010		ry	10					AND	001
SP	011		imm	11					OR	001
IH	100								SLL	010
PC	101								SRA	010
T	110								SRLV	011
Imm	111								NOT	011
									SLT	100
									BNEZ	100
Imm分3位,第一位为O或符号扩展									CMP	101
后两位是Imm在指令译码中的位数		SpeReg	No	00	Rd	No	000			
No.	000		SP	01		rx	001			
4-2	001		IH	10		ry	010			
7-0	010	上	T	11		rz	011			
						SP	100			
3-0	100					IH	101			
4-0	101					T	110			
7-0	110									
10-0	111									
	rx ry SP IH PC T Imm 4-2 7-0 3-0 4-0 7-0	rx 001 ry 010 SP 011 IH 100 PC 101 T 110 Imm 111 Imm 111 Inm 21 Imm 41 Inm 000 4-2 001 7-0 010 3-0 100 4-0 101 7-0 110	rx 001 ry 010 SP 011 IH 100 PC 101 T 110 Imm 111 Imm 111 Inm 6 Imm 6 Imm 6 Imm 6 Imm 7 Imm 7 Imm 111 Imm 11	rx 001 rx ry 010 ry SP 011 imm IH 100 imm PC 101 Imm Inm 111 Imm Inma 111 Imm SpeReg No No No 000 SP 4-2 001 IH 7-0 010 L T 3-0 100 4-0 101 7-0 110 110	rx 001 ry 010 SP 011 IH 100 PC 101 T 110 Inm 111 Inm 111 SpeReg No No 000 4-2 001 7-0 010 L T 3-0 100 4-0 101 7-0 110	rx 001 rx 01 ry 010 ry 10 SP 011 imm 11 IH 100 imm 11 T 110 imm 111 Imm 111 imm 00 Rd Yama No 000 Rd No 00 Rd A-2 001 IH 10 10 11 10 T-0 100 L T 11 11 3-0 100 4-0 101 101 100 1	rx 001 rx 01 ry 010 ry 10 SP 011 imm 11 IH 100 11 11 PC 101 110 111 Imm 111 111 111 Imma 111 111 111 Imma SpeReg No 00 Rd No No No SP 01 rx 4-2 001 IH 10 ry 7-0 010 E T 11 rz 3-0 100 101 T T 4-0 101 T T	rx 001 rx 01 MEM 1 ry 010 ry 10 SP 011 imm 11 IH 100 11 11 T 110 111 111 Inm 111 111 111 Inmath SpeReg No 00 Rd No 000 No 000 SP 01 rx 001 4-2 001 IH 10 ry 010 7-0 010 E T 11 SP 100 3-0 100 IH 101 T 110 7-0 110 T 110 T 110	rx 001 rx 01 MEM 1 ry 010 ry 10 SP 011 imm 11 IH 100 110 111 T 110 111 111 Inm 111 111 111 Inmeffe SpeReg No 00 Rd No 000 No 000 SP 01 rx 001 4-2 001 IH 10 ry 010 7-0 010 E T 11 rz 011 3-0 100 IH 101 T 110 4-0 101 T 110 T 110	rx 001 rx 01 MEM 1 SUB ry 010 ry 10 AND SP 011 imm 11 OR IH 100 SLL SRA T 110 SRA SRLV Inm 111 NOT SLT Inmedia Spers No OO Rd No 000 No 000 Rd No 000 No CMP Inmedia Spers No OO Rd No 000 No OO No No OO No No OO No No OO No No OO

模块设计

PC数据选择器: PCMux.vhd

PC寄存器: PCRegister.vhd

寄存器组: Registers.vhd

立即数扩展: ImmExtend.vhd

目的寄存器选择: RdMux.vhd

控制器: Controller.vhd

时钟模块: Clock.vhd

ALU数据选择器: AMux.vhd BMux.vhd

ALU: ALU.vhd

数据旁路转发单元: ForwardController.vhd

IO模块: IO.vhd

冒险检测单元: ConflictController.vhd

顶层框架: cpu.vhd

冲突处理

数据冲突

通过数据旁路和冒险检测单元解决

结构冲突

通过延长时钟周期实现按照先写后读的顺序执行指令