

Отчёт

23 марта 2024 г.

1. Шибина Полина Сергеевна

2. Б01-208

3. D-Flip-Flop

4. shibina.ps@phystech.edu

5. D-Flip-Flop - это запоминающее устройство в цифровых схемах, которое может хранить один бит данных. У него только один вход, кроме тактового сигнала, - "DATA". Выходной сигнал совпадает со входным, но задерживается на один такт.

Данный триггер имеет только один основной ввод, следовательно, может обрабатывать только один бит данных одновременно. Этот бит данных хранится до следующего тактового сигнала.

D-Flip-Flop имеет две выходные структуры - фактический выходной сигнал (Q) и его дополнение ($!Q$), принимающее обратное значение. Основной выходной сигнал будет таким же, как и входной, но с задержкой на один такт.

Триггер D-типа имеет структуру "ведущий-ведомый" ("master-slave"). Это включает в себя два этапа триггерного переключения - "ведущий" реагирует на состояние входа при поступлении тактового импульса, в то время как "ведомый" реагирует на выходной сигнал ведущего устройства, когда тактовый импульс заканчивается.

Структура "ведущий-ведомый" позволяет D-триггеру изменять состояния во время передачи тактового сигнала, а не непрерывно. Это предотвращает непредсказуемое поведение при изменении данных.

Когда тактовый сигнал переходит с низкого уровня на высокий, состояние входного сигнала DATA фиксируется и передается на выход Q . Например, если DATA было "1" в момент перехода, " Q " станет "1", а " $!Q$ " станет "0". Это состояние сохраняется до следующего положительного фронта тактового сигнала, независимо от изменений значения DATA за это время.

Триггеры D-типа можно рассматривать как "хранители" цифровых данных. Они временно сохраняют и передают данные по мере необходимости, позволяя другим компонентам системы функционировать без непрерывного ввода данных.

6.

CLK	DATA	Q_n	Q_{n+1}
0	D	Q	Q
1	D	Q	Q
$0 \rightarrow 1$	D	Q	D
$1 \rightarrow 0$	D	Q	Q

Таблица 1: Таблица истинности для D-Flip-Flop

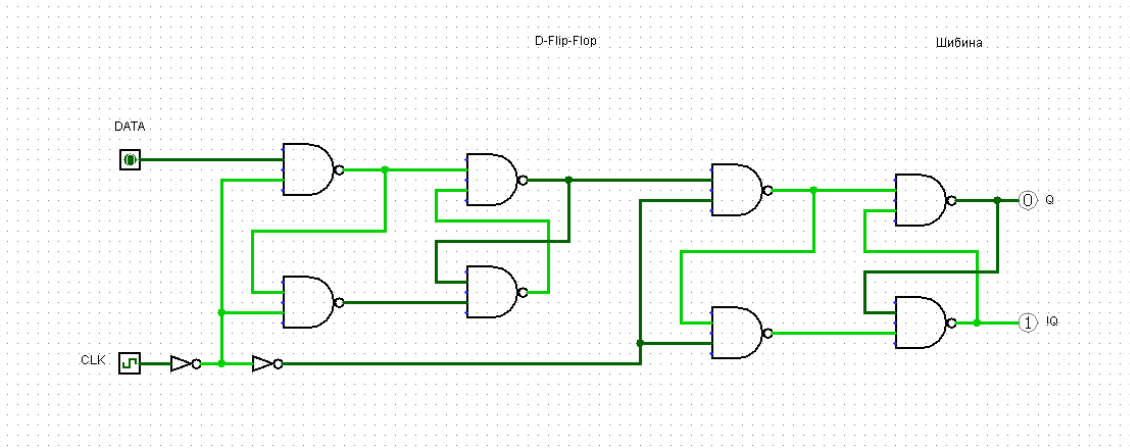


Рис. 1: *Тактовый вход: низкий (логический уровень 0), данные на вход: 0, выходные данные: $Q = 0$, $!Q = 1$*

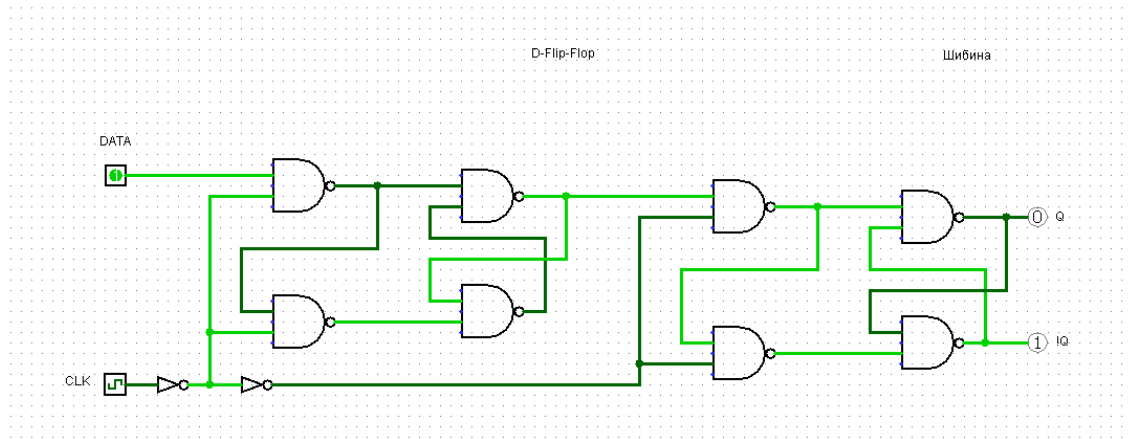


Рис. 2: *Тактовый вход: низкий (логический уровень 0), данные на вход: 1, выходные данные: $Q = 0$, $!Q = 1$*

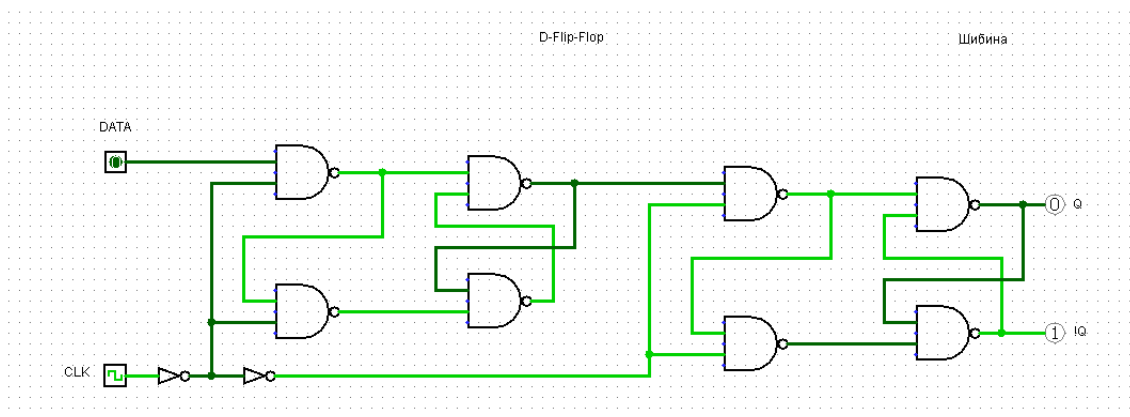


Рис. 3: *Тактовый вход: высокий (логический уровень 1), данные на вход: 0, выходные данные: $Q = 0$, $!Q = 1$*

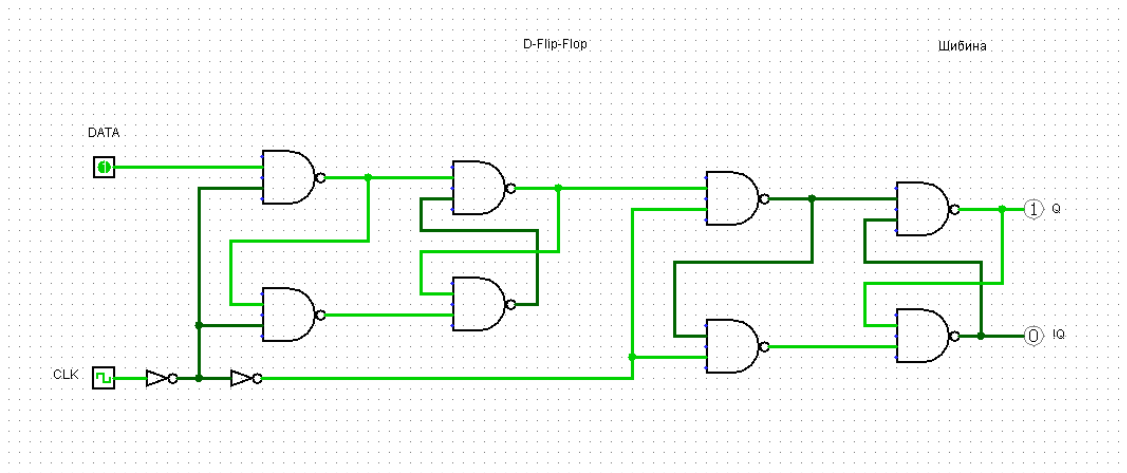


Рис. 4: *Тактовый вход: высокий (логический уровень 1), данные на вход: 1, выходные данные: $Q = 1$, $!Q = 0$*

7. Критический путь

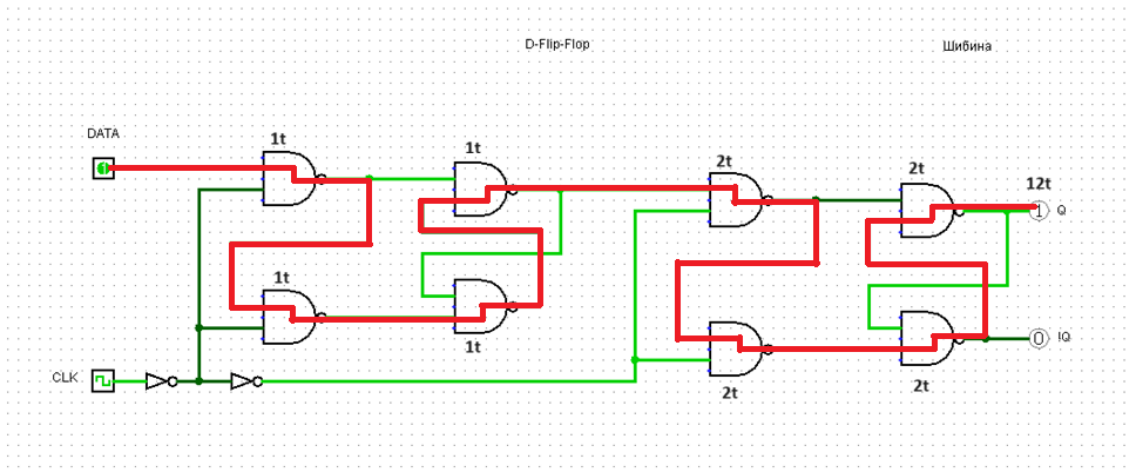


Рис. 5: *Критический путь*

8. Подсчёт транзисторов (без учёта PROBE, PIN и CLK):

1) 8x NAND (NAND = AND + NOT), итого 16 транзисторов;

2) NOT: 2, то есть 4 транзистора;

В итоге получаем 20 транзисторов в схеме.