

华东师范大学软件学院实验报告

实验课程：数字逻辑实践

年级：大一

实验成绩：

实验名称：同步时序电路逻辑设计

姓名：张梓卫

实验编号：No.6

学号：10235101526 实验日期：23-12-25

指导教师：蔡海滨

组号：

实验时间：2 学时

一、实验目的

- (1) 掌握 Mealy 型时序电路设计方法。
- (2) 验证所设计电路的逻辑功能。
- (3) 体会状态分配对电路复杂性的影响。

二、实验内容与实验步骤

设计一同步序列检测器,当输入序号为 1001 时,输出一个“1”即

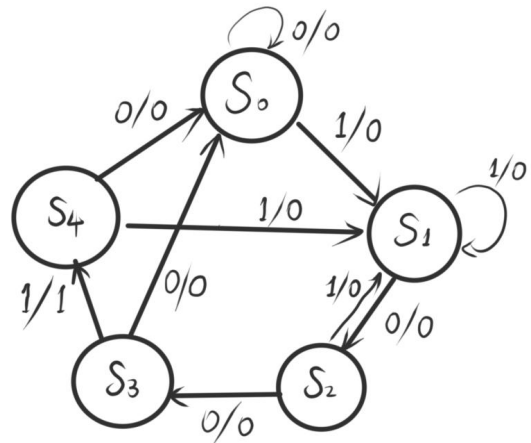
输入 X 序列为 0100110011……

输出 Y 序列为 0000100010……

选用 D 触发器,做这个实验。

按照例题中的设计方案：

要实现序列“1001”，则设出 5 个状态：
分别为 S0、S1、S2、S3、S4；
其中 S0 为初态，无任何输入；
S1 为输入了第一个“1”后的状态；
S2 为先后输入为“10”后的状态；
S3 为先后输入为“100”后的状态；
S4 为先后输入为“1001”后的状态；
右侧为状态转换图。
经过化简，画出下方的状态转换表。



注意到状态转换表中 S0 和 S4 是等效的。可见可令最简状态 (S0、S4) → Sa、S1 → Sb、S2 → Sc、S3 → Sd，可将左侧的状态表化简为：

S \ x	0	1
S ₀	S ₀ /0	S ₁ /0
S ₁	S ₂ /0	S ₁ /0
S ₂	S ₃ /0	S ₁ /0
S ₃	S ₀ /0	S ₄ /1
S ₄	S ₀ /0	S ₁ /0

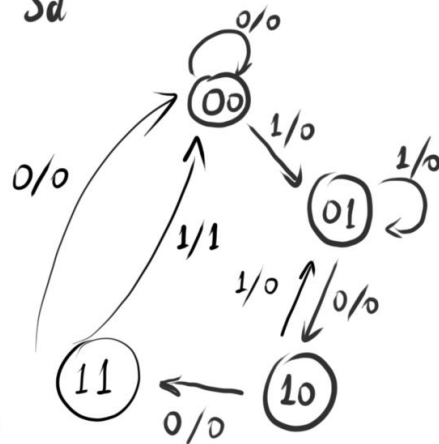
S₀与S₄是等效的。

S \ x	0	1
S _a	S _a /0	S _b /0
S _b	S _c /0	S _b /0
S _c	S _d /0	S _b /0
S _d	S _a /0	S _a /1

状态分配：化简后状态数 $m=4$ ，则记忆单元数 $r = \log_2(4) = 2$ 。
两个记忆单元(即 2 个触发器) Q_1 、 Q_2 可以有四种状态：00、01、10 和 11。

不妨设 00、01、10、11 分别对应 s_a s_b s_c s_d

Q_2	Q_1	Q_2^*		Q_1^*/Y
		$x=0$	$x=1$	
0	0	00/0	01/0	
0	1	10/0	01/0	
1	0	11/0	01/0	
1	1	00/0	00/1	



题目限定要求使用 D 触发器，故状态转换真值表如下图所示：

x	Q_2	Q_1	Q_2^+	Q_1^+	Y	D_2	D_1
0	0	0	0	0	0	0	0
0	0	1	1	0	0	1	0
0	1	0	1	1	0	1	1
0	1	1	0	0	0	0	0
1	0	0	0	1	0	0	1
1	0	1	0	1	0	0	1
1	1	0	0	1	0	0	1
1	1	1	0	0	1	0	0

做出卡诺图，并化简 D_1 、 D_2 的表达式：

$Q_2 Q_1 \backslash x$	0	1
00	0	1
01	0	1
10	1	1
11	0	0

$Q_2 Q_1 \backslash x$	0	1
00	0	0
01	1	0
10	1	0
11	0	0

$$D_1 = Q_2 Q_1' + Q_2' X$$

$$D_2 = Q_2' Q_1 X' + Q_2 Q_1' X' = X' (Q_2 \oplus Q_1)$$

$$= [(Q_2 Q_1')' \cdot (Q_2' X)']'$$

$$= [(Q_2' Q_1 X')' \cdot (Q_2 Q_1' X')']'$$

$$\text{驱动方程为: } D_1 = [(Q_2 \cdot Q_1')' \cdot (Q_2' \cdot X)']'$$

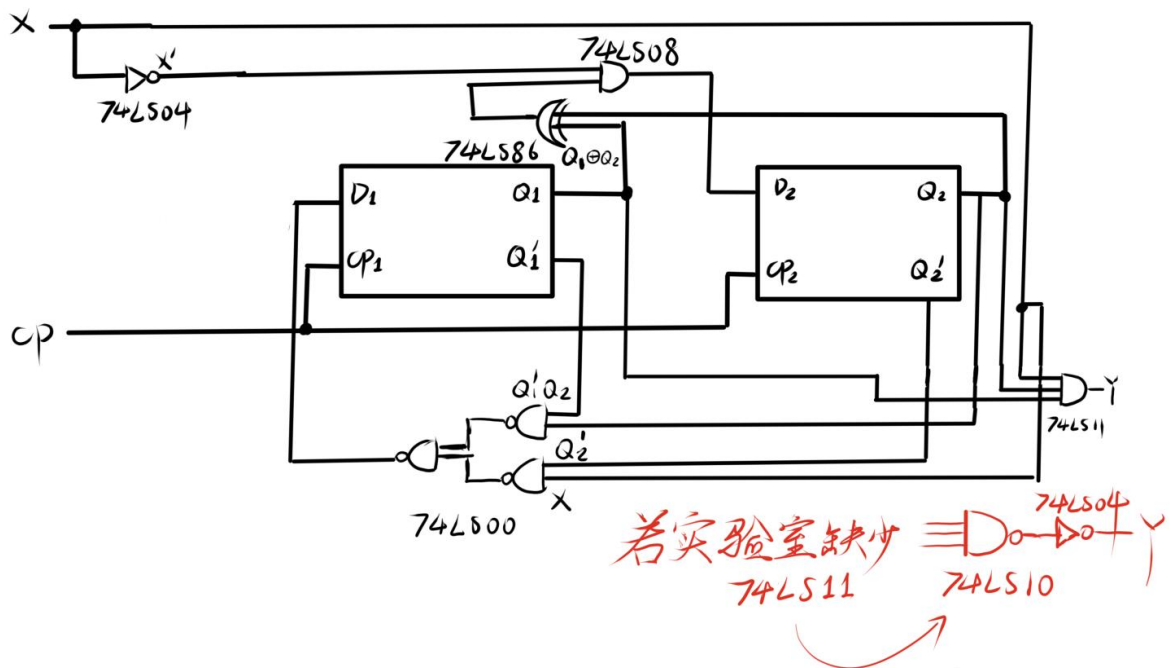
$$D_2 = X' (Q_2 \oplus Q_1)$$

$$\text{输出方程为: } Y = Q_1 \cdot Q_2 \cdot X$$

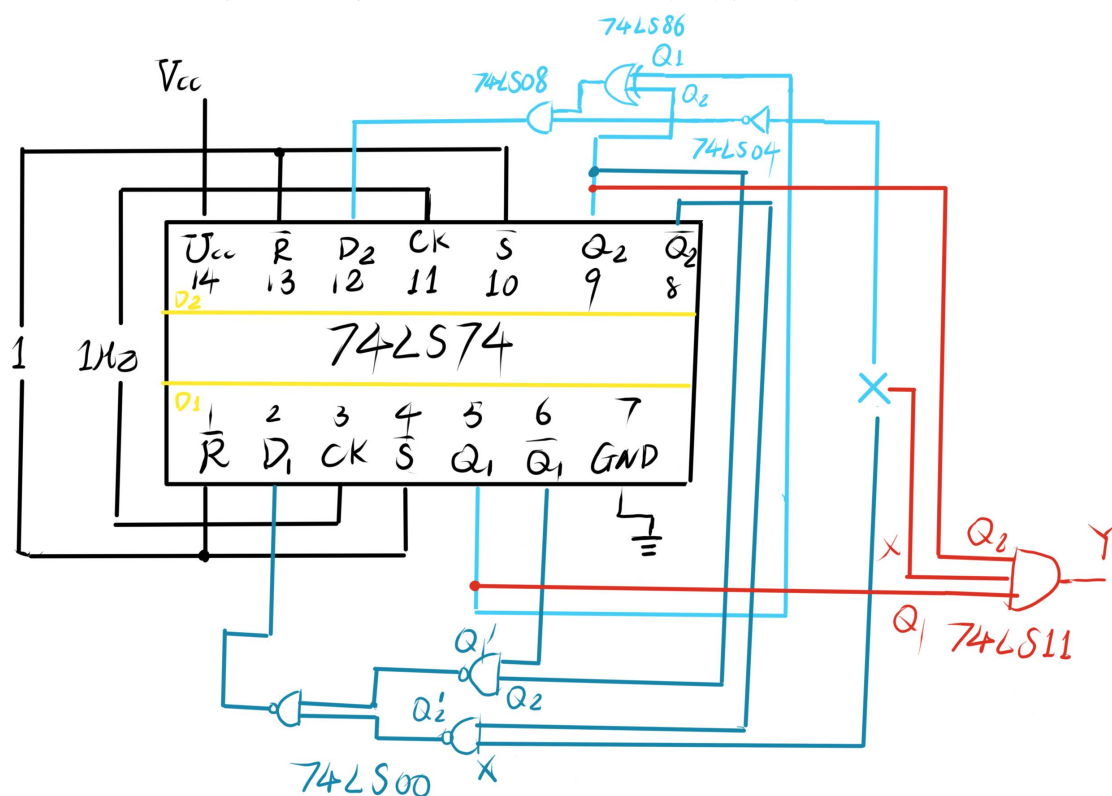
$Q_2 Q_1 \backslash x$	0	1
00	0	0
01	0	0
10	0	0
11	0	1

$$Y = Q_1 Q_2 X$$

“1001”序列检测逻辑电原理图:



根据上述步骤，设计出最终的芯片引脚接线图

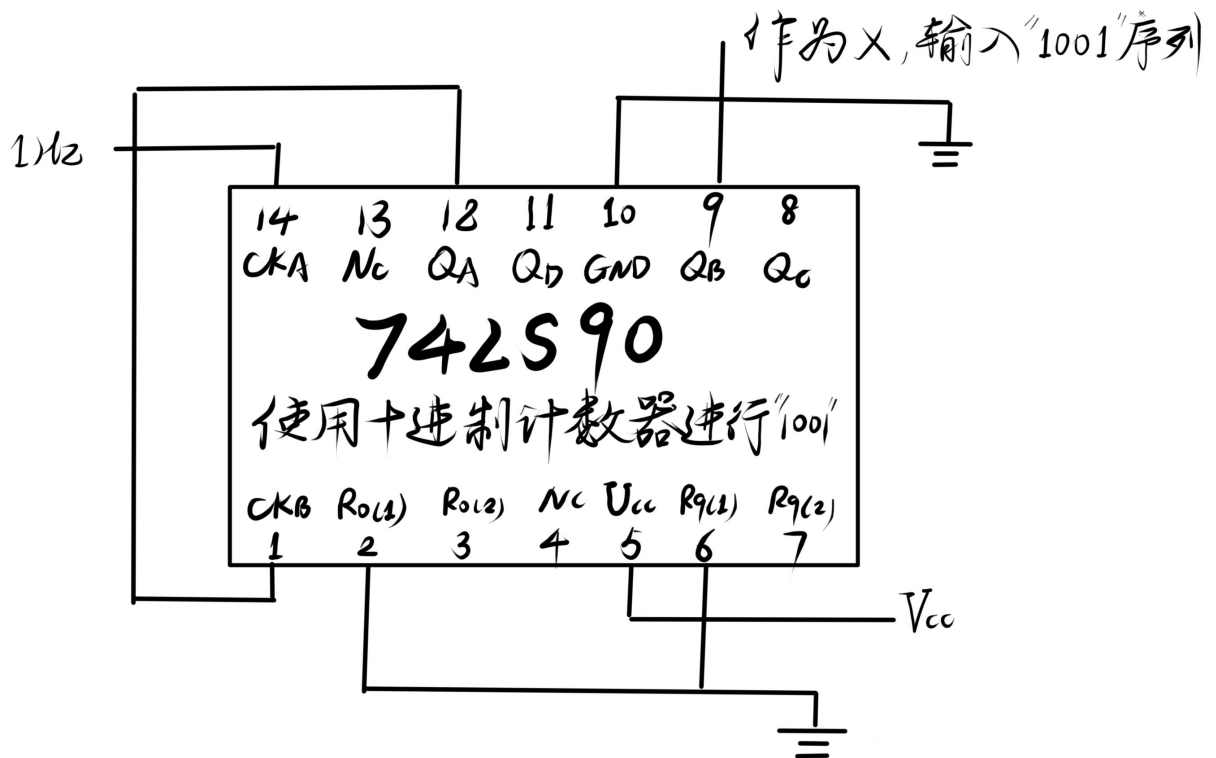


经检查，该电路没有孤立状态，故可以进行自启动。

根据实验五中十进制计数器的设计：

CP0(下边沿)	QD	QC	QB	QA
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

注意到 QB 可以输出序列 “1001”，故按照实验要求，设计出输入序号信号装置：



三、实验环境

数字逻辑实验箱；若干导线

74LS04*1 74LS00*1 74LS74*1 74LS86*1 74LS08*1 74LS90*1 74LS11*1

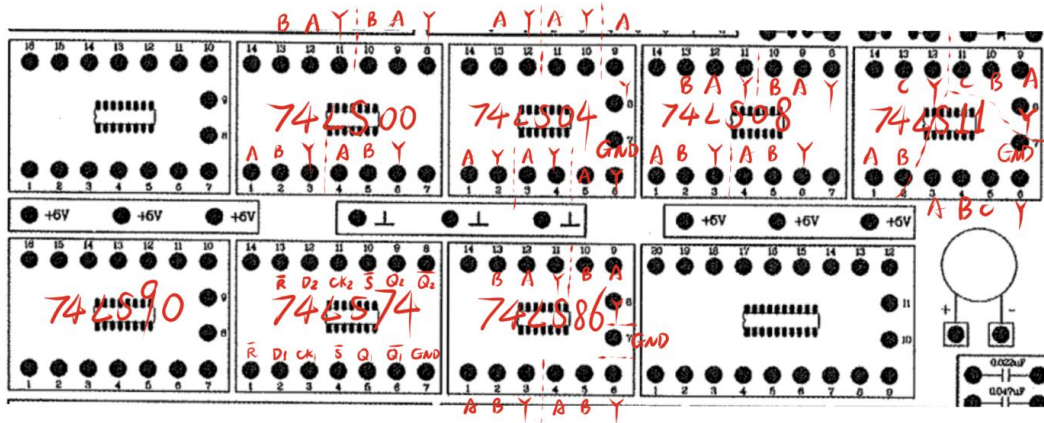
74LS10*1（可能用到）

四、实验过程与分析

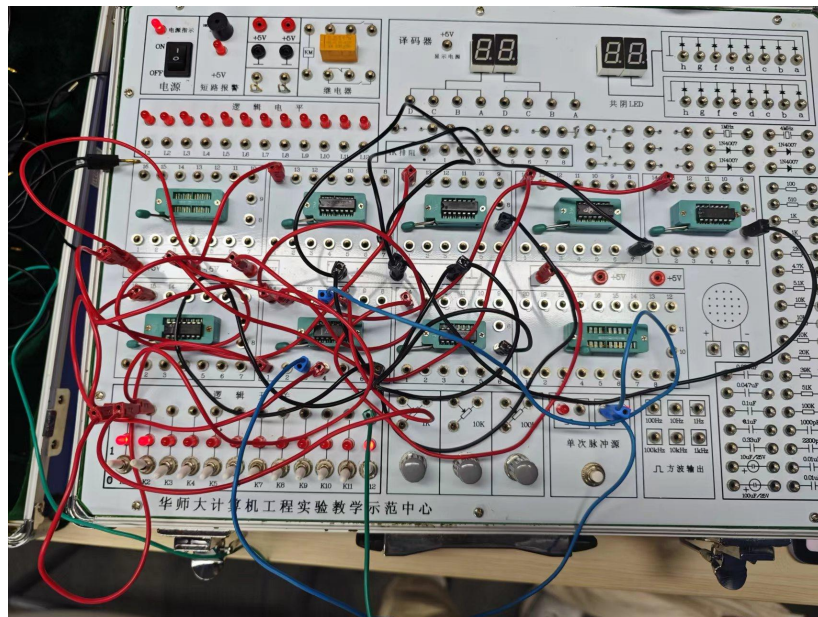
注意到所用芯片均为 14 引脚芯片。14 引脚的芯片位仅有 6 个，所以需要将一个 16 引脚的芯片位改置为 14 引脚。可用左下角的 16 引脚位，将最左侧的导夹空置，于 15 号引脚处注入 Vcc，7 引脚接地，视为一个 14 引脚芯片位。

注意到接地接口和 Vcc 接口可能不够，可使用实验箱左上角的接口，此时要选用长导线，应避免导线缠绕过于复杂导致后续查错时出现问题。

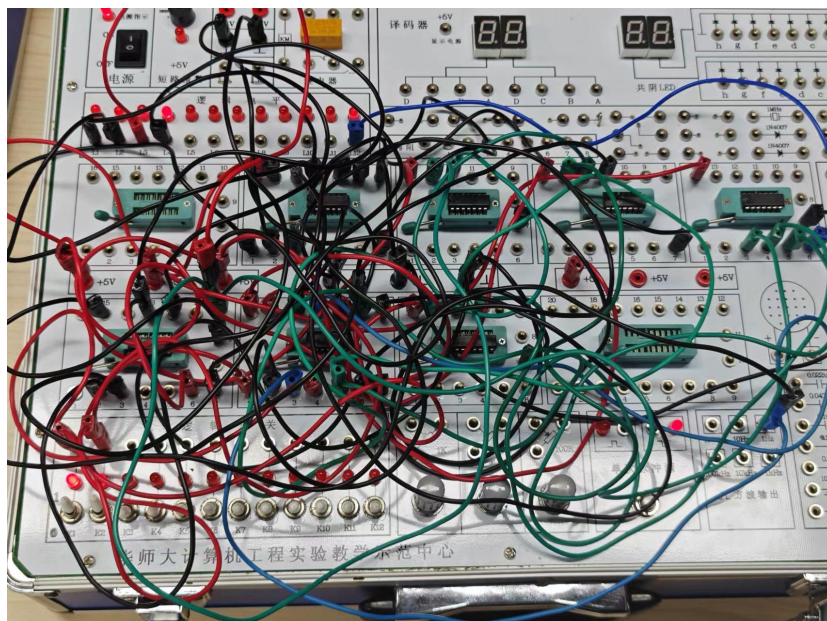
为了确保实验接线能够顺利完成而不出差错，实验前，进行了部分芯片规划：



【实验过程】首先连接好芯片、接地、以及做好 74LS74 中 R 端、S 端的接 1 工作。



随后接入其他导线，观察左上端 L3 的亮灭情况。
每循环一次“1001”，右端 L12 输出一次 1



五、实验结果总结

- 1、由于时钟信号与输入序列“1001”的不对等，手动输入信号时，不能轻易得到实验结果，接入 74LS90 的十进制计数器，以二进制形式显示 QD、QC、QB、QA 的计数情况，之后将 QB 输入序列当作输入“X”，观察 Y 的变化情况。
- 2、在实验完毕后，观察同学手动输入时，发现只需要接入一个时钟显示，之后手动拨动开关使其每一个脉冲沿对应“1001”，也可以得到一个 Y。