

华东师范大学软件学院实验报告

实验课程：数字逻辑实践

年级：大一

实验成绩：

实验名称：任意进制分频器

姓名：张梓卫

实验编号：No.7

学号：10235101526 实验日期：23-12-11

指导教师：蔡海滨

组号：

实验时间：2 学时

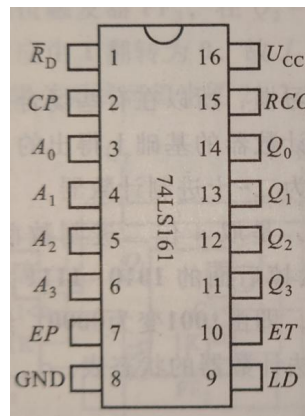
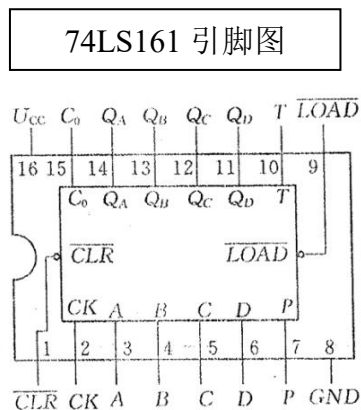
一、实验目的

- (1) 掌握任意进制分频器的设计方法。
- (2) 掌握同步计数器 74LS161 多级级联的方法。
- (3) 研究不同连接方式对分频数的影响。

要求掌握的知识要点：

分频器和计数器是数字电路和自动控制电路中极为重要的一种单元电路，分频器由最高位输出分频模数，计数器由其内部各级触发器输出不同的计数模数。随着中规模集成电路的出现，分频器的设计方法，主要是合理灵活地运用计数器芯片，实现任意进制分频。

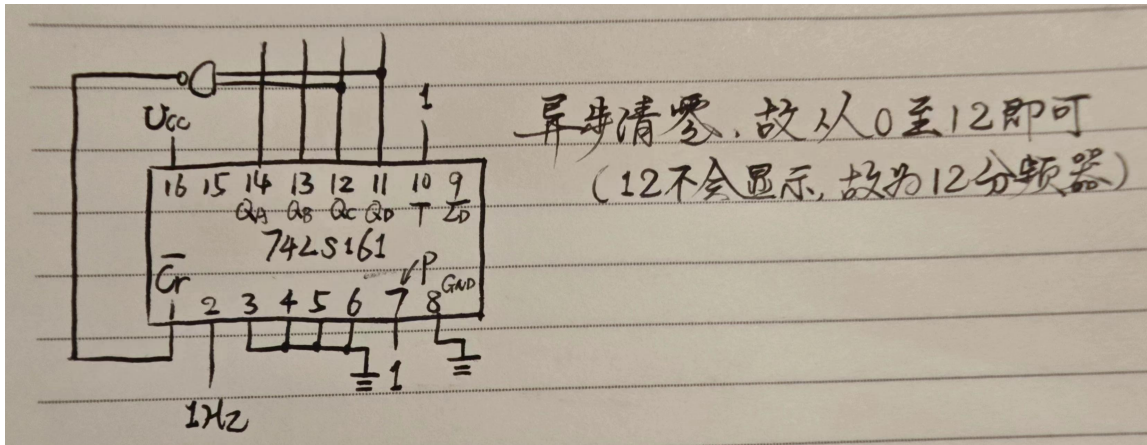
脉冲的上升沿作用后，74LS161 内部触发器的输出端 QA、QB、QC、QD 的状态分别与数据输入端 A、B、C、D 状态相同，称为置数工作状态。而当 $Cr=LD=1$ 时，P、T 中有一个为 0 时，计数器不计数，输出端状态不变。只有当 $Cr=LD=P=T=1$ ，CP 端有脉冲上升沿作用后，计数器加 1。此外 74LS161 还有一个进位输出端 QC，其逻辑关系是 $QC=QA \cdot QB \cdot QC \cdot QD \cdot T$



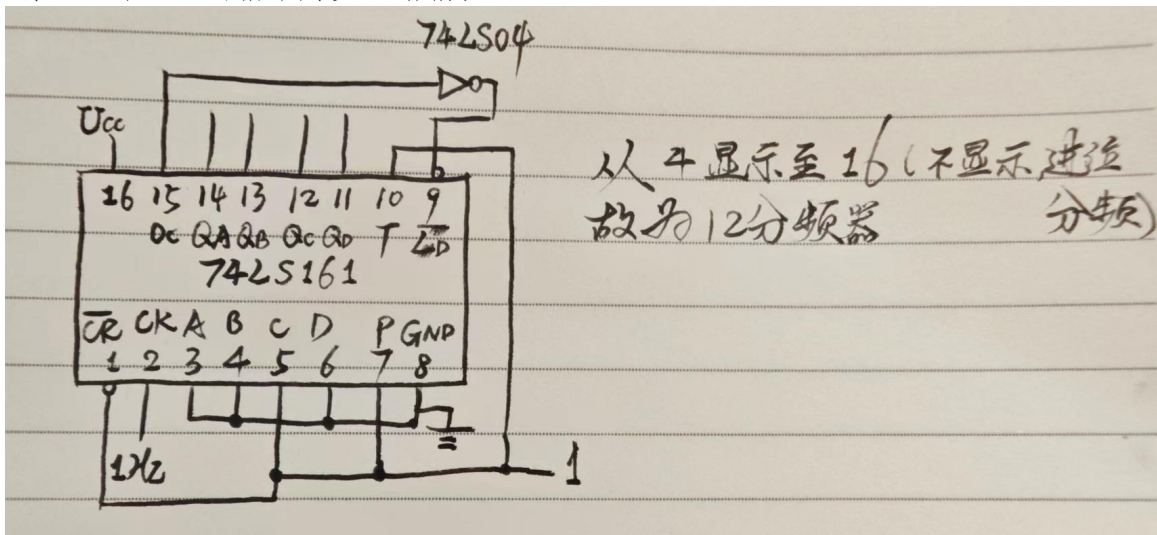
- 1 脚：RD' 为清零端，低电平有效。
- 2 脚：CP 为时钟脉冲输入端，上升沿有效。
- 3~6 脚：A0~A3 为输入（预置）端，可预置任意一个 4 位二进制数。
- 7, 10 脚：EP, ET 为计数控制端，两脚同时为高电平时芯片计数；任意一脚为低电平时计数器保持原数据。
- 9 脚：LD' 为并行（寄存器）启用控制端，低电平有效。
- 11~14 脚：Q0~Q3 为数据输出端。
- 15 脚：RCO 为进位输出端（满 16 进一），高电平有效。

二、实验内容与实验步骤

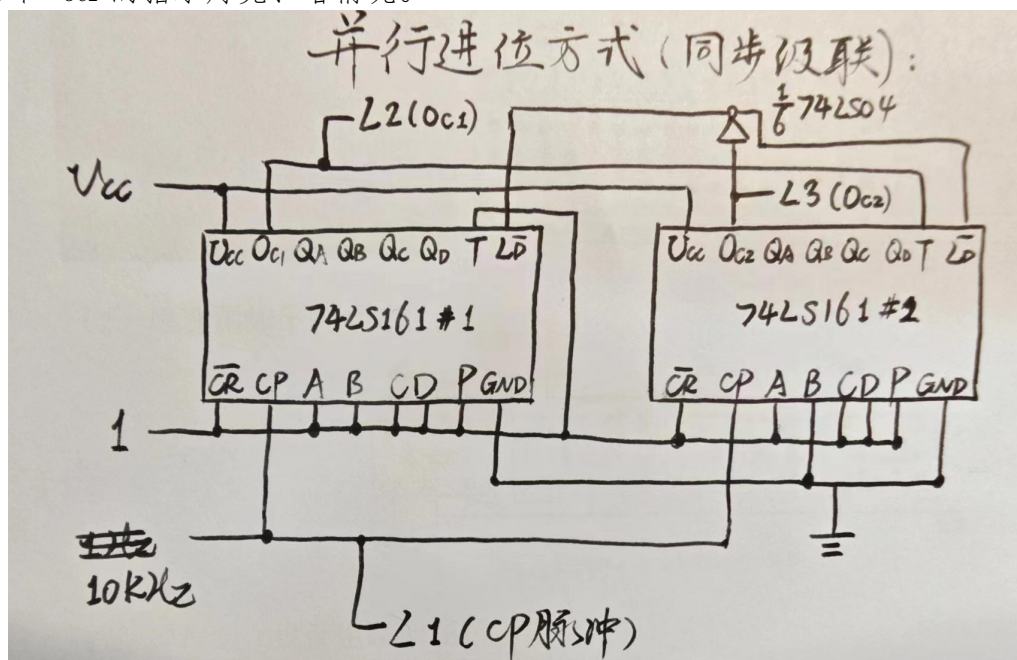
- (1) 利用 74LS161 的清零端 (Cr) 设计一个 12 分频器，当时钟频率为 1Hz 时，用发光二极管显示 74LS161 QA~QD 的输出状态，并填入表 7.6 中。设计电路图如下所示。



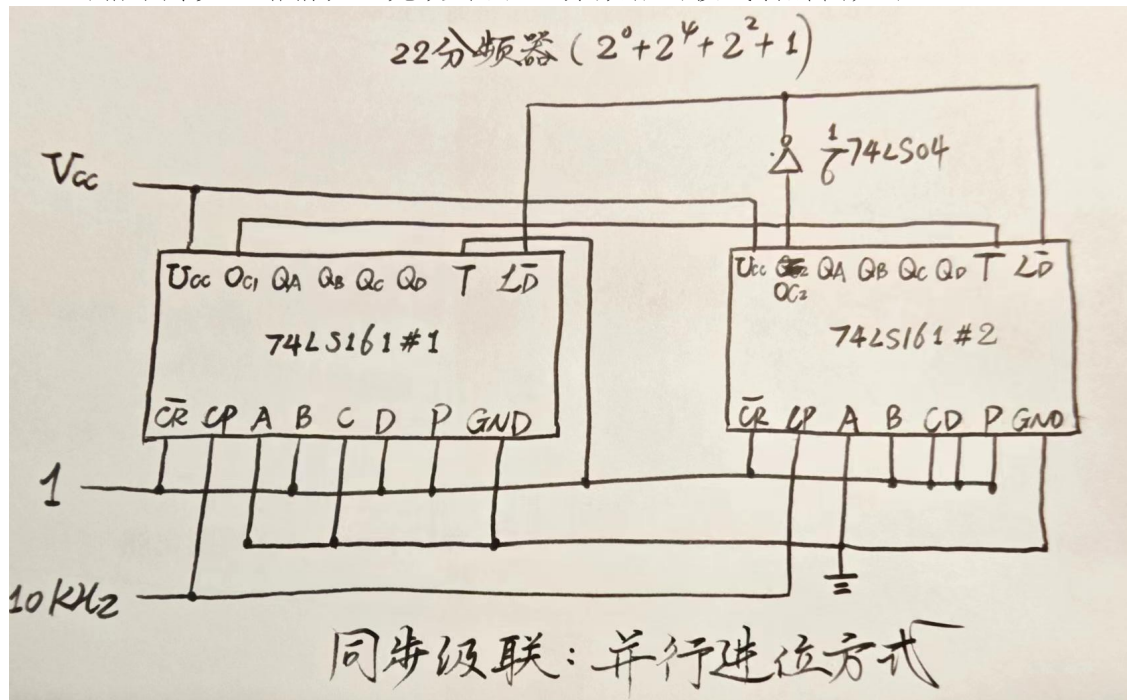
(2) 利用 74LS161 的置数端(LD)设计一个 12 分频器。当时钟频率为 1Hz 时, 用发光二极管显示 74LS161 QA~QD 的输出状态, 并填入表 7.6 中。当时钟频率为 10kHz 时, 观察 Oc 与 CP 的指示灯亮、暗情况。



(3) 用两片 74LS161 和 74LS04 设计 33 分频器, 输入时钟频率为 10kHz 时, 观察 CP 脉冲、Oc1 和 Oc2 的指示灯亮、暗情况。



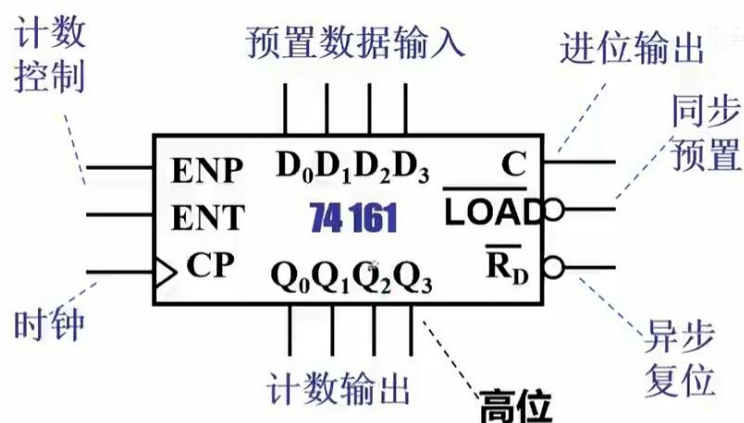
(4) 当分频器为 22 分频器时,把#2 74LS161 的 P 和 T 对调,观察并记录 CP 脉冲、Oc1 和 Oc2 的指示灯亮、暗情况。先设计出 22 分频器的接线引脚图如下:



三、实验环境

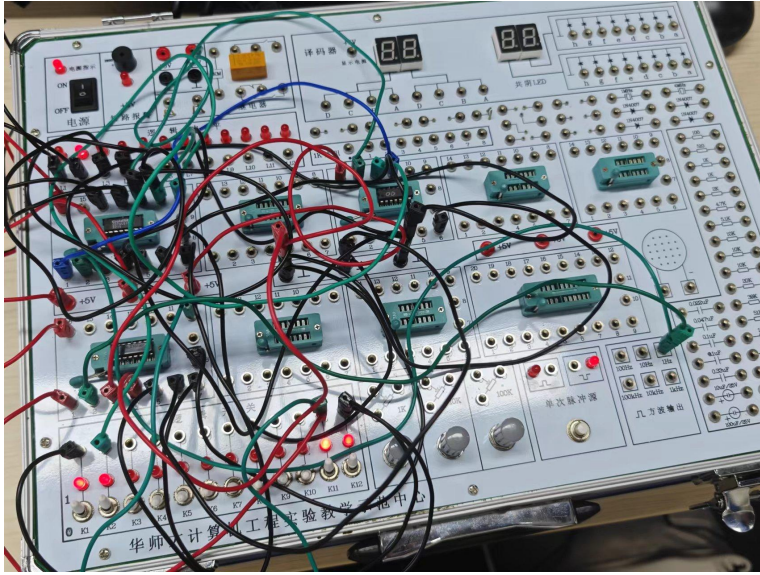
1. 数字电路实验箱、74LS161x2、74LS04x1、74LS00x1、若干导线。
2. 注意 74LS161 的功能表。

输 入									输 出			
C_r	CP	L_D	P	T	A	B	C	D	Q_A	Q_B	Q_C	Q_D
0	Φ	Φ	Φ	Φ	Φ	Φ	Φ	Φ	0	0	0	0
1	\uparrow	0	Φ	Φ	a	b	c	d	a	b	c	d
1	\uparrow	1	0	Φ	Φ	Φ	Φ	Φ	Q_A	Q_B	Q_C	Q_D
1	\uparrow	1	Φ	0	Φ	Φ	Φ	Φ	Q_A	Q_B	Q_C	Q_D
1	\uparrow	1	1	1	Φ	Φ	Φ	Φ	加 1 计数			



四、实验过程与分析

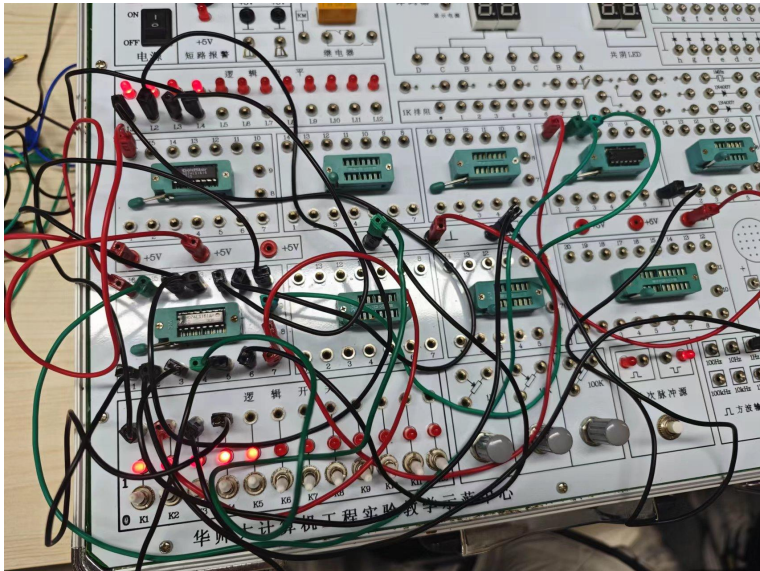
(一) 利用 74LS161 的清零端(C_r)设计一个 12 分频器。



实验接线图如左图所示：

左上角接入一片 74LS161，右边接入 74LS00（与非门），为了后续操作方便，在等待实验检查的时间里，优先接好了第二片 74LS161 以便进行后续实验。实验成功，显示结果为二进制表示的 0-11（即 0000 - 1011），12 不显示，故为 12 分频器无误，表示实验成功。

(二) 利用 74LS161 的置数端(L_d)设计一个 12 分频器。



实验接线图如左图所示：

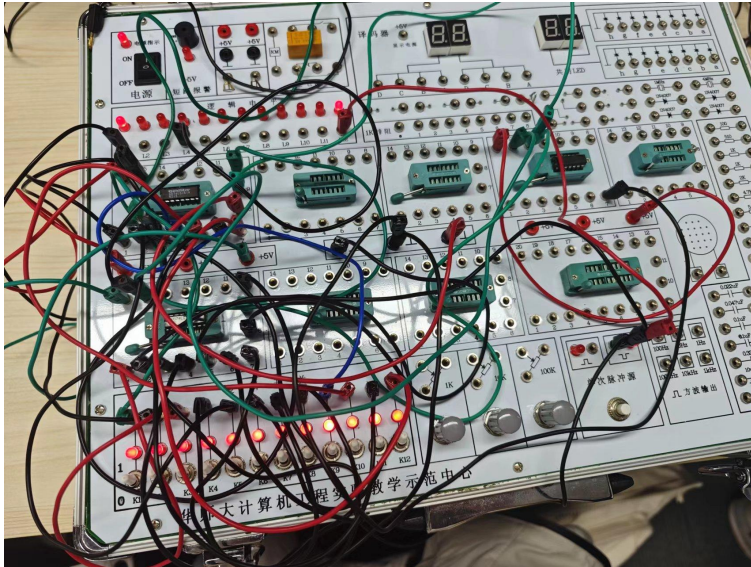
左上角接入一片 74LS161，右边接入 74LS04（非门）。实验显示，Q_D、Q_C、Q_B、Q_A 每经历一次时钟信号，会以二进制表示的 4-15 输出（即 0100 - 1111），代表实验成功，确认为 12 分频器，且是由置数端完成的。

按照实验要求，实验（一）与实验（二）表示的表格填写如下：

时钟	利用 Cr 端					利用 Ld 端				
	QD	QC	QB	QA	Cr	QD	QC	QB	QA	Cr
1	0	0	0	0	0	0	1	0	0	0
2	0	0	0	1	0	0	1	0	1	0
3	0	0	1	0	0	0	1	1	0	0
4	0	0	1	1	0	0	1	1	1	0
5	0	1	0	0	0	1	0	0	0	0
6	0	1	0	1	0	1	0	0	1	0
7	0	1	1	0	0	1	0	1	0	0

8	0	1	1	1	0	1	0	1	1	0
9	1	0	0	0	0	1	1	0	0	0
10	1	0	0	1	0	1	1	0	1	0
11	1	0	1	0	0	1	1	1	0	0
12	1	0	1	1	0	1	1	1	1	1
13	0	0	0	0	0	0	1	0	0	0

(三) 用两片 74LS161 和 74LS04 设计 33 分频器。



实验接线图如左图所示：

左侧接入两片 74LS161，可以构成 $16 \times 16 - 1 = 255$ 的分频器。设计为 33 分频器，可以使其显示为二进制表示的十进制 223 - 255，接入单次脉冲源后，经过计数，手动按 33 次会回到原来的状态，代表实验成功，33 分频器制作完成。每按一次，CP 脉冲闪烁一次，而 Oc1 和 Oc2 不会同时闪烁，在复位时同时闪烁。

五、实验结果总结

- 1、按照电路设计图进行接线，实验符合预期。实验表格和填写完毕，如上所示。
- 2、用 74LS161 实现 12 分频时，若使用的是清零端，由于 74LS161 是异步置位，故无法出现 12，当时钟使其计数到 12 的瞬间，会跳回二进制表示的 0 状态，故我们无法看见 12。而使用置数端时，每次到达二进制表示的 15 后，再经过一个时钟信号，会置数为 4。总结可得，Cr 端实现的是异步置零，故实现的进制是 $n-1$ ，而 Ld 端实现的是同步置零，故实现的进制是 n 。另外，使用 Cr 端进行 12 分频制作时，需要用 74LS00，而使用 Ld 端时，需要用 74LS04。
- 3、推测：时钟闪烁一次时，Oc1 和 Oc2 轮流不同时闪烁。这样保证了 22 进制。计数时，从二进制表示的 234 表示到 255，再经历一个时钟信号后，从 255 置数成为 234，即为 22 分频器。P、T 对调不影响 74LS161 #2 的作用，因为只有当 $P \cdot T = 1$ 时，74LS161 #2 才为工作状态。