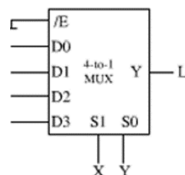


2011-2012 学年第二学期期末考试试卷

一、填空题

1. 十进制数 10.25 对应的二进制表示_____。
2. 十进制数 10.25 用 8421BCD 码表示为_____。
3. 7-bit ASCII 码 “A” 对应的十六进制数为 0x41, 在串行传输采用“偶校验”方式时, 需增加的校验位 P =_____。(注: 偶校验定义见第 10 页附录)
4. 当“3-8 线译码器”对应的这一个低电平有效的译码输出 $Y_7Y_6 \dots Y_0 = (11011111)_2$, 其对应的 3 位地址输入信号 $A_2A_1A_0$ (注: A_0 为最低有效位) 应为_____。
5. $F = A + B + \overline{C} + \overline{D} + E$ 的对偶式为_____。
6. CMOS 工艺的逻辑电路芯片的功耗主要来源是_____功耗。
7. 某十二进制的减法计数器, 初始状态 $Q_3Q_2Q_1Q_0 = 0101$ (Q_3 为最高位), 经过 2012 个时钟周期后, 其计数状态 $Q_2Q_1Q_0$ 为_____。
8. 使用一片 ROM 实现两个 4bit 数的乘法运算, 需要容量_____bit 的 ROM。
9. 输入信号 V_i 、输出信号 V_o 的波形关系如下图 (左) 所示, 应采用脉冲电路是_____。



10. 如上图 (右) 所示, 使用 4 选 1 多路器实现 $L = \overline{X} \cdot YZ + X\overline{Y}Z + XY$, 端子 D2 接_____。
11. 数字逻辑电路中, 出现竞争—冒险现象的主要原因是电路中存在_____。
12. 四个集电极开路 (OC) 门电路的输出端连接在一起, 可以实现_____功能。
13. 某校拟信号的最高有效频率为 4kHz 若采用十位逐次比较型 ADC 对其进行无失真数字化, 则 ADC 的工作时钟频率至少应大于_____kHz。
14. 两种不同类型的高密度可编程逻辑器件中, 适用于完成复杂时序电路的是_____。
15. 欲将一个移位寄存器中的二进制数乘以 $(32)_{10}$ 需要_____个移位时钟脉冲。
16. 一个单极性 12bit 的 D/A 转换器, 当数字量为 $(0FA)_{16}$ 时, 输出电压为 0.5V; 若需要输出模拟量为 0.8V, 对应的十六进制的数字量为_____。

二、化简 (10 分)

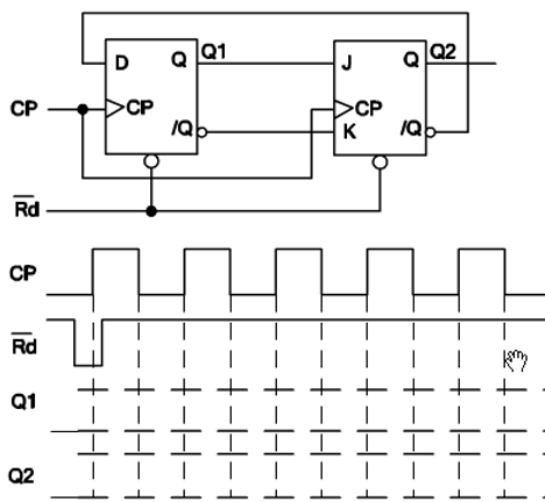
1. 用代数法将逻辑函数化简为“最简与或式”。(注: 无步骤不给分)

$$F = A\overline{B} + \overline{A}CD + \overline{B}C + \overline{D} + BCD$$

2、用卡诺图化简为 “最简与或式”。

$$F(A, B, C, D) = \sum m(0, 1, 2, 4, 5, 8) + \sum \phi(3, 6, 10)$$

三、画出 Q1 和 Q2 的波形（注：初态都是 0，水平虚线是高、低电平基准线）



四、阅读下面的 Verilog HDL 程序，完成以下问题。

```

Module m_test2(CP, A, B, C, D);
Input CP;
Input A, B;
Input[2:0] C;
Output[2:0]D;

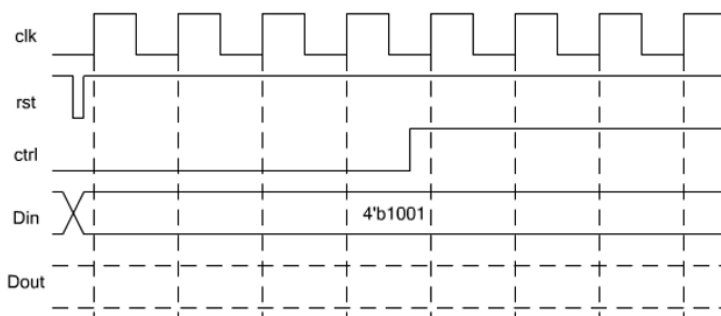
always@(negedge A or posedge CP)
begin
    if(A)    D<=3' b000;
    else if(B) D<=C;
    else D<={D[1:0], D[2]};
end
endmodule

```

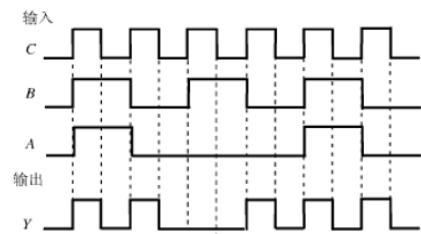
1) 简要解释程序实现的功能，并说明其中信号A、B的作用及有效电平

2) 程序中有一处语法错误，请指出，并改正。

3) 根据输入波形，画出输出信号DOUT的波形。



五、组合逻辑电路的输入输出波形图如下图所示。



1、列出真值表（注：统一约定 A 为最高有效位，C 为最低有效位）

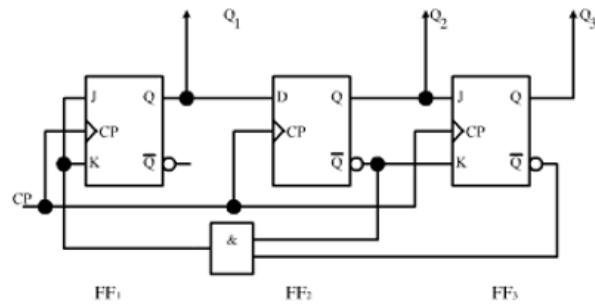
2、写出 Y 的最小项之和逻辑表达式。

3、用卡诺图将 Y 化简为最小与或式。

4、请用若干个 2 输入与非门实现上述逻辑电路，并画出电路图。

六、时序逻辑分析与设计。

1. 假设触发器的初始状态 $Q_3Q_2Q_1$ 为 000，试分析电路图



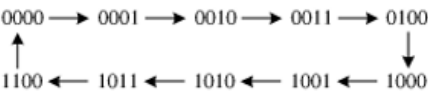
1) 写出驱动方程：

2) 写出状态方程：

3) 列出状态转换表，画出状态转换图：

4) 该电路能否自启动？

2、试用一片 4 位同步二进制计数器 74HC161 和门电路设计一个“十进制计数器”，其计数规律如下图所示。

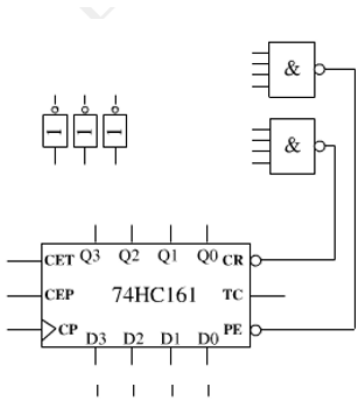


1) 写出简要设计思路（100 字以内）:

2) 写出产生 74HC161 异步清零信号 CR 的逻辑方程:

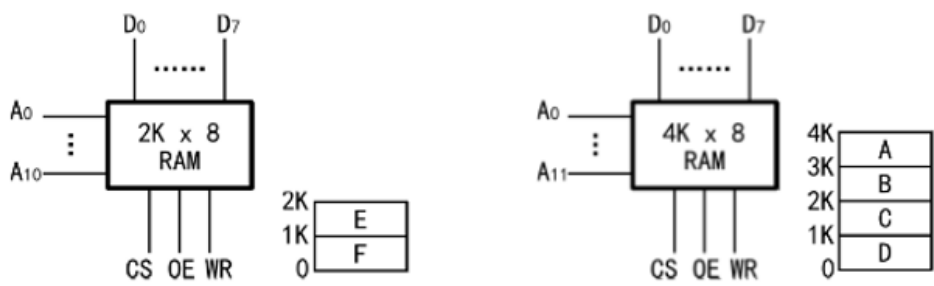
3) 写出产生 74HC161 同步清零信号 PE 的逻辑方程:

4) 根据设计，将电路图补充完整（只连线）

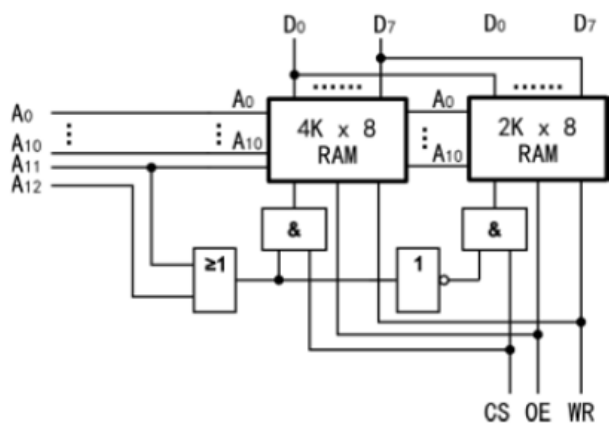


七、综合题。

4Kx8bit 和 2Kx8bitRAM 各一块，分别如下图所示，其中 CS 是片选，OE 是读使能，WR 是写使能，CS、OE、WR 均为高电平有效。分别用字母 A~F 标识 RAM 内部不同地址的存储区域（每个字母标识 1 KB）。



将两片 RAM 组合成 6Kx8bit 的 RAM 块，如下图所示。



1) 通过分析该组合方案，试确定原来各 RAM 当中的存储区域分别位于 6K 存储空间的哪个位置，将 A~F 填写至下边的括号中

6K	()
5K	()
4K	()
3K	()
2K	()
1K	()
0	()

- 2) 由于 133 根地址线允许访问 8K 的地址空间，而硬件提供的物理存储容量仅为 6K，若按照图中给出的连接方式，则 6K-8K 之间的寻址空间被存储到 A-F 中的哪些区域？
- 3) 若希望访问 6K-8K 之间的地址时，给出一个“错误指示”信号，试仅用逻辑门在原图上实现“错误指示”的最简电路。

2011-2012 学年第二学期期末考试试卷参考答案

一、填空题

1. 【正解】1010.01

2. 【正解】0001 0000.0010 0101

3. 【正解】0

【解析】偶校验：让原有数据序列中（包含一位校验码）比特 1 的个数为偶数， $0x41=1000001$

4. 【正解】101

5. 【正解】 $A \cdot B \cdot \overline{C} \cdot \overline{D} \cdot E$

6. 【正解】动态

7. 【正解】1001

8. 【正解】2048

【解析】两个 4 位二进制数分别做地址的高 4 位和低 4 位，他们的积共 8 位，则容量

 $2^8 \times 8$ 位 ROM

9. 【正解】可重触发单稳

10. 【正解】Z

【解析】 $L = \bar{X}YZ + X\bar{Y}Z + XY$, 当 $XY = 0$, $L = D2 = Z$

11. 【正解】时延

12. 【正解】线与

13. 【正解】80KHz

【解析】奈奎斯特定理，采样频率大于信号最高频率的 2 倍

14. 【正解】FPGA

15. 【正解】5

16. 【正解】190

【解析】 $(OFA)_{16} = (250)_D$, $\frac{250}{x} = \frac{0.5}{0.8}$, $(400)_D = (190)_H$

二、化简

【解析】

1. $F = A\bar{B} + \bar{A}CD + \bar{B}\bar{C} + \bar{D} + BCD = A\bar{B} + \bar{A}CD + \bar{C} + B + \bar{D} + BC$

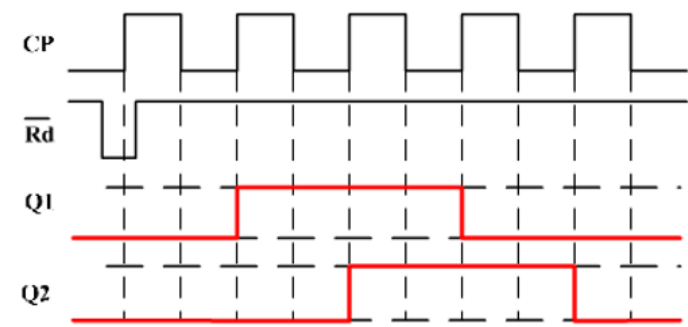
$$= \bar{A}CD + \bar{C} + B + A + \bar{D} = CD + \bar{C} + B + A + \bar{D} = 1$$

2.

	00	01	11	10
00	1	1	d	1
01	1	1		d
11				
10	1			d

$$F(A, B, C, D) = \bar{A} \cdot \bar{B} + \bar{A} \cdot \bar{C} + \bar{B} \cdot \bar{C} \cdot \bar{D}$$

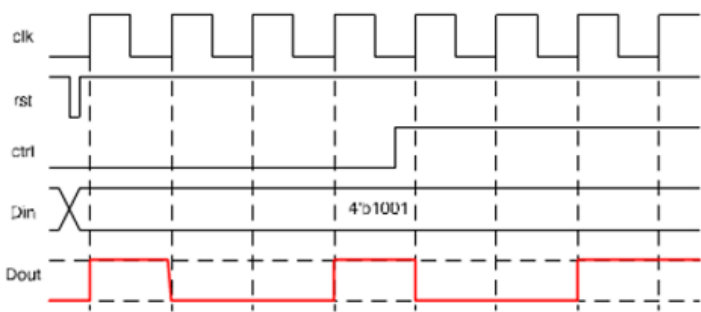
三、【解析】



四、Verilog 分析

【解析】

- 1. Reg Dout
Negedge rst
Endmodule
- 2. 异步清零的可逆计数器
并行输入数据转换为串行输入数据，输出位由 iCnt 控制
- 3.



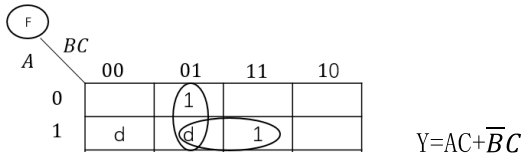
五、【解析】

1、

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	X
1	0	1	X
1	1	0	0
1	1	1	1

2、 $Y = \sum m(1, 7) + \sum d(4, 5)$

3、



4、 $Y = \overline{B}C + AC = \overline{\overline{A}C} \cdot \overline{\overline{B}C}$

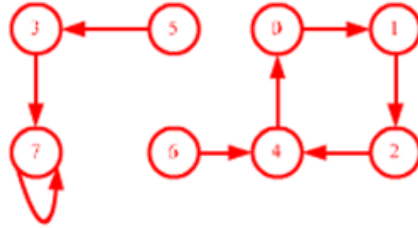
六、【解析】

1、1) $J_1 = k_1 = \overline{Q_3} \cdot \overline{Q_2}$ $D_2 = D_1$ $J_3 = Q_2; k_3 = \overline{Q_2}$

2) $Q_1^{n+1} = (\overline{Q_3^n} \cdot \overline{Q_2^n}) \oplus Q_1^n$ $Q_2^{n+1} = Q_1^n$ $Q_3^{n+1} = Q_2^n$

3)

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	1	0	0
0	1	1	1	1	1
1	0	0	0	0	0
1	0	1	1	1	1
1	1	0	1	0	0
1	1	1	1	1	1



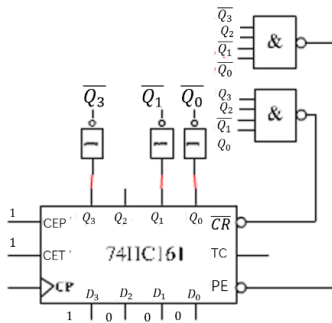
4) 不能自启动

2、(1) 在 0100 状态同步预置 1000，在 1101 状态异步清零到 0000

(2) $CR = \overline{Q_3 Q_2 \overline{Q_1} Q_0}$

(3) $PE = \overline{\overline{Q_3} Q_2 \overline{Q_1} \overline{Q_0}}$

(4)



七、【解析】

(1) 从上到下，依次填入 C D A B E F (2) A、B (3) A12 & A11