

一、选择填空题:

1. 将二进制数 $(101101.11)_B$ 转换成十进制数是_____。
a. 45.3 b. 45.75 c. 46.75 d. 48.75
2. 用_____位二进制数可以表示十进制数 5000。
a. 11 b. 12 c. 13 d. 14
3. 已知两位余 3 BCD 码为 0101 1010, 将它转换成十进制数是_____。
a. 50 b. 80 c. 50 d. 28
4. 求一个逻辑函数 L 的对偶式 L' 时, 下列说法不正确的是 _____。
a. 把 L 中的“与”换成“或”, “或”换成“与”
b. 常数中的“1”换成“0”, “0”换成“1”
c. 原变量保持不变
d. 原变量换成反变量, 反变量换成原变量
5. 使逻辑函数 $L(A, B, C, D) = \overline{A}B + C\overline{D}$ 为 1 的最小项有_____个。
a. 5 b. 6 c. 7 d. 8
6. 当一个逻辑门的两个输入端的信号同时向_____方向变化, 而变化的时间有_____的现象, 称为竞争。由竞争而可能产生输出_____的现象称为冒险。
7. 消除组合逻辑电路中竞争冒险的方法有_____、_____和三种。
8. 当输入端 \overline{S} 和 \overline{R} 为_____, 由与非门构成的基本 SR 锁存器会出现不稳定状态。
a. $\overline{S}=1, \overline{R}=0$ b. $\overline{S}=0, \overline{R}=1$ c. $\overline{S}=1, \overline{R}=1$ d. $\overline{S}=0, \overline{R}=0$
9. 下降沿触发的边沿 JK 触发器在 CP 下降沿到来之前 $J=1, K=0$, 而 CP 下降沿到来之后变为 $J=0, K=1$, 则触发器的状态为_____。
a. 0 b. 1 c. 状态不变 d. 状态不确定
10. 一个存储容量为 256×8 位的 ROM, 其地址码应为_____位。
a. 6 b. 7 c. 8 d. 9
11. $64k \times 8$ 的存储器共有_____。
a. 16 根地址线, 8 根数据线 b. 64 根地址线, 3 根数据线
c. 64 根地址线, 8 根数据线 d. 16 根地址线, 3 根数据线
12. 在 SPLD 器件的结构图中, 在阵列的横线与竖线的交叉点上画“x”, 表示横线与竖线是_____。
a. 断开的 b. 编程连通的 c. 悬空的 d. 固定连通的
13. FPGA 是指_____。
a. 可编程逻辑阵列 b. 现场可编程门阵列 c. 只读存储器 d. 随机读取存储器
14. GAL 的与阵列_____, 或阵列_____。
a. 固定, 可编程 b. 可编程, 固定 c. 可编程, 可编程 d. 固定, 固定
15. 门电路组成的单稳态触发器输出脉冲宽度为 $1\mu s$, 恢复时间为 $4\mu s$, 则其最高工作频率。
A. $f_{\max} \geq 500\text{kHz}$ B. $f_{\max} \leq 500\text{kHz}$
C. $f_{\max} \geq 200\text{kHz}$ D. $f_{\max} \leq 200\text{kHz}$
16. 集成单稳态触发器分为_____和_____两种类型。
17. 集成施密特触发器内存在_____反馈作用, 可使输出波形的上升沿和下降沿_____。
18. 多谐振荡器在工作过程中没有稳定状态, 故又称为_____电路。

19. 一个 8 位倒 T 形阻网络 D/A 转换器的最小输出电压 $V_{LSB}=0.02V$ ，当输入代码为 0100110 时，

输出电压 $v_o = \underline{\hspace{2cm}} V$ 。

20. 如分辨率用 D/A 转换器的最小输出电压 V_{LSB} 与最大输出电压 V_{FSR} 的比值来表示，则 7 位 D/A 转换器的分辨率为 $\underline{\hspace{2cm}}$ 。

21. 一个单极性 12bit D/A 转换器，当数字量为 $(0FA)_{16}$ 时，输出电压为 0.5V；若输出模拟量为 0.8V，对应的十六进制数字量为 $\underline{\hspace{2cm}}$ 。

二、阅读下列 Verilog HDL 程序，完成要求的任务。

(1) 根据图 2 所示信号波形关系，在程序中三个位置的横线上将内容补充完整。

```

module test (clk, rst, ctrl, Din, Dout);
input clk, rst, ctrl;
input[3:0] Din;
output Dout;
reg[1:0] iCnt;

_____

always @(posedge clk or _____) // the first always block
    if(!rst)    iCnt <= 2'b00;
    else if(!ctrl) iCnt <= iCnt + 1'b1;
    else        iCnt <= iCnt - 1'b1;

always @(iCnt or Din) _____ // the second always block
    Dout = Din[iCnt];
_____

```

(2) 第一个 always 语句块的功能是什么？第二个 always 语句块的功能是什么？（限 100 字内）

(3) 根据输入波形，画出输出信号 Dout 波形（注：水平虚线是高、低电平基准线）。

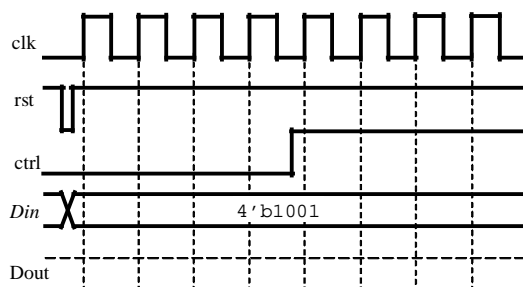


图 2

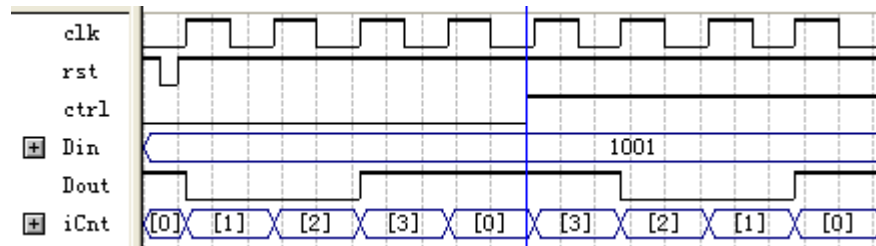
解：(1) 第 1 空： reg Dout; ，第 2 空： negedge rst ，第 3 空： endmodule 。

(2) 第一个 always 语句块的功能是：带有异步清零端 rst 的同步可逆计数器。当控制信号 ctrl=0 时，递增计数，在时钟 clk 上升沿的作用下，从 0 到 3 循环计数；当控制信号 ctrl=1 时，递减计数，在时钟 clk 上升沿的作用下，从 3 到 0 循环计数。

第二个 always 语句块的功能是：4 选 1 数据选择器。根据计数值 iCnt，从 4 路并行输入数据 Din 中选择 1 路送到输出端 Dout。

(3) 输出波形如图题解 2 所示。当 ctrl=0 时，iCnt 从 0 递增到 3，循环计数；当 ctrl=1

时，iCnt 从 3 递减到 0，循环计。当 iCnt = 0 时，Dout = Din[0]；当 iCnt = 1 时，Dout = Din[1]；……，以此类推。



图题解 2

三、下面是用分层次方法设计的 4 位串行全加器程序。设计者首先完成了 1 位全加器（模块名为_1bitAdder）的建模和仿真，结果是正确的；然后在顶层引用 4 个 1 位全加器模块组合成为 4 位全加器（模块名为_4bitAdder），结果编译未能通过，试分析下列程序中存在的错误，并进行改正（提示：程序中画横线行的程序有错）。

```

module _4bitAdder( A, B, Cin, Sum, Cout );
    input [3:0] A, B;
    input Cin;
    output [3:0] Sum;
    output Cout;
    reg Cout;
    reg [4:0] temp;
    always @(A or B or Cin)
        temp[0] = Cin;
        _1bitAdder u0(A[0], B[0], temp[0], Sum[0], temp[1]);
        _1bitAdder u1(A[1], B[1], temp[1], Sum[1], temp[2]);
        _1bitAdder u2(A[2], B[2], temp[2], Sum[2], temp[3]);
        _1bitAdder u3(A[3], B[3], temp[3], Sum[3], temp[4]);
        Cout = temp[4];
endmodule

//下面的模块是正确的
module _1bitAdder ( A, B, Cin, Sum, Cout );
    input A, B, Cin;
    output Sum, Cout;
    assign Sum = A ^ B ^ Cin;
    assign Cout = (A & B)|(B & Cin)|(A & Cin);
endmodule

```

解：有三种类型的错误，分别说明如下：

(1) 在层次化设计时，上层模块调用下层模块时，上层模块中的输出变量必须定义成 **wire** 类型，因此 **reg** Cout; 改为 **wire** Cout; **reg** [4:0] temp; 改为 **wire** [4:0] temp;

(2) 上层模块调用下层模块时，只能用结构化的描述方式将模块之间的连接关系表示出来，不能采用行为描述方式中过程块的方式进行调用。因此，要删除 **always** @(A or B or Cin)语句；

(3) 将 **temp[0] = Cin;**和 **Cout = temp[4];**语句改为连续赋值语句，即改为 **assign** temp[0]

= Cin;和 assign Cout = temp[4];即可。

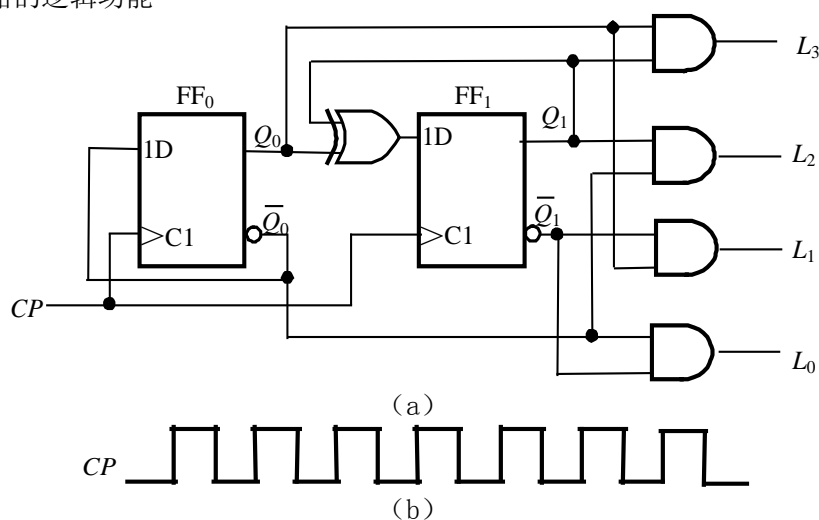
四、某足球评委会由一位教练和三位球迷组成，对裁判员的判罚进行表决。当满足以下条件时表示同意：有三人或三人以上同意，或者有两人同意，但其中一人是教练。

- (1) 试用 2 输入与非门设计该表决电路。
- (2) 试用一个 8 选 1 数据选择器 74HC151 和逻辑门来设计该电路。
- (3) 试用一个 3-8 线译码器 74HC138 和逻辑门来设计该电路。

五、同步时序电路和 CP 的波形分别如图题 5.2.6a、b 所示。（设触发器的初态均为 0）

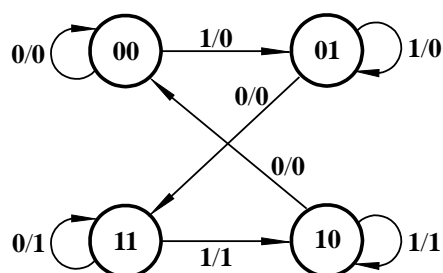
1、画出图中 Q_0 、 Q_1 和 L_0 、 L_1 、 L_2 、 L_3 的波形。

2、确定电路的逻辑功能



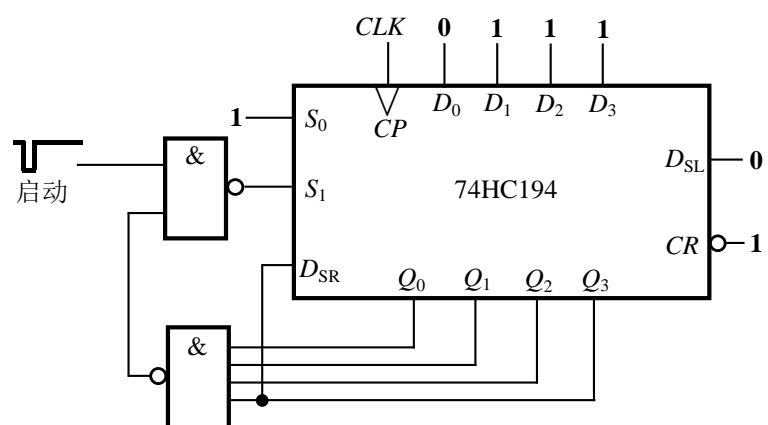
图题 5.2.6

六、试用上升沿敏感的 D 触发器设计一同步时序电路，其状态图如图题 6.3.3 所示，要求电路使用的门电路最少。



图题 6.3.3

七、试画出图题 6.5.1 所示逻辑电路的输出($Q_3 \sim Q_0$)波形，并分析该电路的逻辑功能。



图题 6.5.1