

2019-2020 学年第二学期期末考试 A 卷

一、填空题(每空 1 分, 共 20 分)

1、 $(43.375)_D = (\quad)_H$

2、逻辑函数 $F(A,B,C,D) = \prod M(1,3,5,7,13,15)$, 其最简与-或式为_____, 其对偶式为_____。

3、在计算机系统中, _____逻辑门常用作数据总线结构的缓冲隔离。

4、已知 $3.3V$ 供电的两输入 $CMOS$ 与非门芯片的 $V_{IL(max)} = 0.8V$, $V_{OL(max)} = 0.2V$, $V_{IH(min)} = 2.0V$, $V_{OH(min)} = 3.1V$, 若输入端 A 的电平为 $0.4V$, 输入端 B 的电平为 $1.9V$ 时, 逻辑门的输出为_____。

5、与传统的 TTL 电路相比, $CMOS$ 逻辑器件具有静态功耗极低的优点。但未用的输入端不允许_____, 否则输出会出现逻辑紊乱。

6、7 位 $ASCII$ 码 “A” 对应的十进制数值为 65, 当采用偶校验进行串行传输检错时, 需增加的校验位 $P =$ _____。

7、判断逻辑函数 $L_3(A,B,C,D) = \sum_m(0,2,4,6,8,10,12,14)$ _____ (是、否) 可能产生竞争冒险。

8、为了扩展实现 4-16 线二进制译码器, 至少需要_____个同样带有使能端的 2-4 线二进制译码器。

9、下图 1 中的 *always* 块实现的逻辑功能是_____。

```
reg q;  
always@(En or d)  
begin  
    if(En) q=d;  
end
```

图 1

10、Verilog 中 $6'h25$ 表达的无符号数值所对应的 8421BCD 码为_____ 8421BCD。

11、在时序电路设计过程对状态机进行编码时, 若采用 4 位二进制数构成的格雷码表示状态, 则最多可提供_____个状态。

- 12、将 50MHz 石英晶体振荡器脉冲输出变为 1Hz 的时钟信号，至少需用_____个触发器组成分频器。
- 13、某重复频率为 50KHz 的数字波形，占空比为 40% ，其脉冲宽度为_____ μs 。
- 14、一个 $1\text{M} \times 1$ 位的 DRAM ，采用地址分时送入的方法，芯片应具有_____根地址线。
- 15、计算机系统存储空间的访问地址通常为字节地址($1\text{Byte} = 8\text{bit}$)。若某 $16\text{K} \times 32\text{bit}$ 的 SRAM 在系统存储空间的起始地址为 $(0000)_H$ ，则该芯片存储区域的最高地址为_____ H 。
- 16、数字 IC 的时钟输入端通常会设置_____，以便将上升/下降沿存在畸变的周期性波形整形成较为理想的矩形波。
- 17、可编程逻辑器件 CPLD 基于_____实现组合逻辑函数，可编程逻辑器件 FPGA 基于_____实现组合逻辑函数。
- 18、线性数字温度传感器的采集温度范围为 $0 - 100^\circ\text{C}$ ，要求其至少分辨 0.1°C ，所选 ADC 的分辨率为_____位。

二、化简题(共 10 分)

- 1、用代数法求逻辑函数 L 的“最简与或式”（备注：无推导步骤，不给分）

$$L = (A, B, C) = \overline{B} + ABC + \overline{AC} \cdot \overline{AB}$$

2、用卡诺图化简，求逻辑函数 L 的“最简与或式”（备注： A 是最高有效位， D 是最低有效位。不画圈，不给分）

$$L(A,B,C,D) = \sum m(0, 2, 4, 8, 10, 12)$$

L	CD			
AB	00	01	11	10
00				
01				
11				
10				

三、画波形图（6分）

试画出图 2 所示电路的输出（ Q_0, Q_1, Q_2 及 \bar{Q}_3 ）波形，假定所有触发器上电时都为低电平。

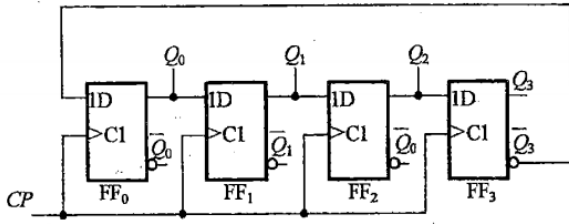
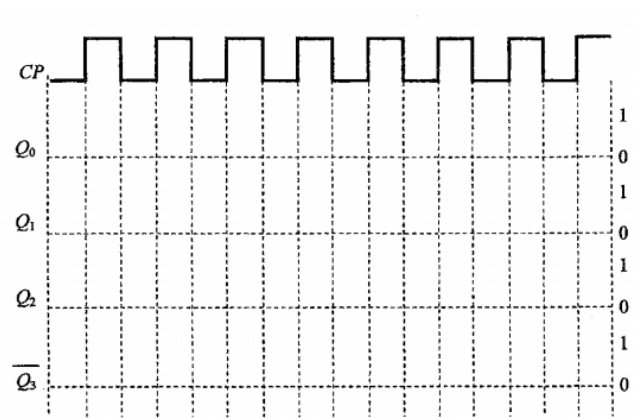
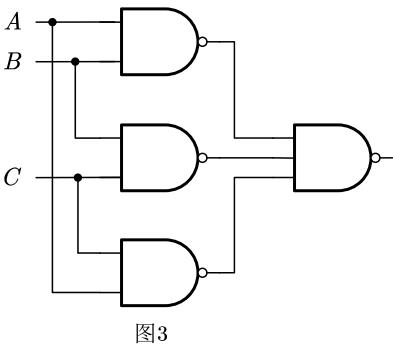


图 2



四、已知组合电路如图 3 所示，试写出 L 的逻辑表达式，并列成真值表，分析该电路的逻辑功能。
(共 10 分)



- (1) 写出 L 的逻辑表达式，要求为最简与或表达式
- (2) 列出 L 的真值表

输入			输出
A	B	C	L

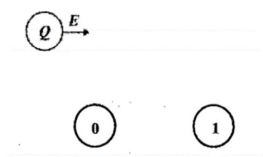
- (3) 描述该电路的逻辑功能

五、试分析下述Verilog描述的电路功能（共 16 分）

```
module xFF(output reg Q, input E, input R, input C);
    always @(posedge C or negedge R)
        if(~R) Q = 0;
        else if(E) Q = 1;
        else Q = 0;
endmodule

module TOP(output Y, output[2:0] Q, input R, input C);
    wire[2:0] E;
    assign Y = Q[2] & Q[1] & ~Q[0];
    assign E[2] = ~Q[1] | Q[0];
    assign E[1] = Q[1] & ~Q[0] | Q[2] & Q[0];
    assign E[0] = ~Q[1] & ~Q[0] | ~Q[2] & ~Q[0];
    xFF ff0(Q[0], E[0], R, C);
    xFF ff1(Q[1], E[1], R, C);
    xFF ff2(Q[2], E[2], R, C);
endmodule
```

(1) 画出 xFF 模块的状态图，并简述其功能。



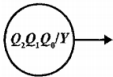
(2) 写出 TOP 电路的输出方程组和激励方程组

输出方程组： $Y =$ _____

激励方程组： $E_0 =$ _____, $E_1 =$ _____, $E_2 =$ _____。

(3) 填写 TOP 电路的状态表，画出状态图，并简述其功能。

$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	Y
000		
001		
010		
011		
100		
101		
110		
111		



(4) 分析 TOP 电路是否具有自启动能力？

六、采用JK触发器，实现如图4所示状态转换图的同步时序电路。（24分）

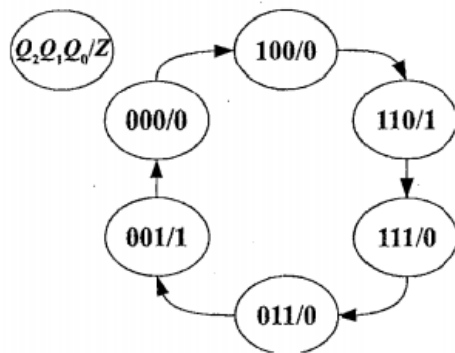


图4

(1) 根据状态转换图，补充完成状态转换及激励信号真值表

Q_2^n	Q_1^n	Q_0^n	J_2	K_2	J_1	K_1	J_0	K_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0							1	0	0	0
1	0	0							1	1	0	0
1	1	0							1	1	1	1
1	1	1							0	1	1	0
0	1	1							0	0	1	0
0	0	1							0	0	0	1

(2) 写出3个JK触发器激励信号和Z输出信号的最简与或式

$J_2 =$ _____; $K_2 =$ _____;

$J_1 =$ _____; $K_1 =$ _____;

$J_0 =$ _____; $K_0 =$ _____;

$Z =$ _____。

(3) 该电路_____（有/无）自启动功能，其中，Z信号功能是_____，其占空比是_____。

Q_0 信号功能是_____。

(4) 根据上述电路功能，补充以下具有异步复位功能的Verilog描述

```
module uut(output Z, output reg[2:0] Q, input clk, rst);
    assign Z = _____;
    always @(posedge clk, negedge rst)
        if(!rst)
            Q <= 3'd0;
        else
            case(Q)
                3'd0: Q <= 3'd_____;
```

```
                3'd3: Q <= 3'd_____;
```

```
                3'd4: Q <= 3'd_____;
```

```
                3'd6: Q <= 3'd_____;
```

```
                3'd7: Q <= 3'd_____;
```

```
            default: Q <= 3'd0;
```

```
        endcase
    endmodule
```


七、(10 分) 由 D/A 转换器、计数器和 ROM 组成的波形产生电路如图 5 所示，图中 ROM 的数据表如表 1 所示。试填写完成计数器的状态转换表，及对应 D/A 转换器的输入和输出电压值。

(D/A 转换器输出与输入关系式为 $v_o = -\frac{V_{REF}}{2^n} \cdot \frac{R_f}{R} \left[\sum_{i=0}^{n-1} (D_i \cdot 2^i) \right]$)

表 1 ROM 的数据表							
A ₃	A ₂	A ₁	A ₀	O ₃	O ₂	O ₁	O ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	1	1
0	1	1	0	1	0	0	0
0	1	1	1	0	1	1	1
1	0	0	0	0	0	0	1
1	0	0	1	0	0	1	0
1	0	1	0	0	0	1	1
1	0	1	1	0	1	0	0
1	1	0	0	0	0	1	1
1	1	0	1	0	1	1	0
1	1	1	0	0	1	1	1
1	1	1	1	1	0	0	0

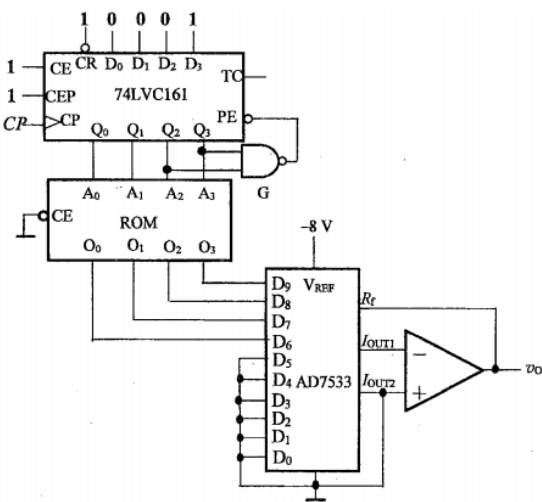


图 5

计数器状态表及 DAC 输入和输出值									
Q ₃	Q ₂	Q ₁	Q ₀	D ₉	D ₈	D ₇	D ₆	v _O / V	

八、综合题（6分）

8×8 LED阵列的内部结构如6(a)所示。由于其结构限制，无法同时在不同行（或列）上显示不同的内容（例如图6(b)中的箭头），需要使用动态扫描显示的方式，利用人眼视觉暂留效应进行显示。

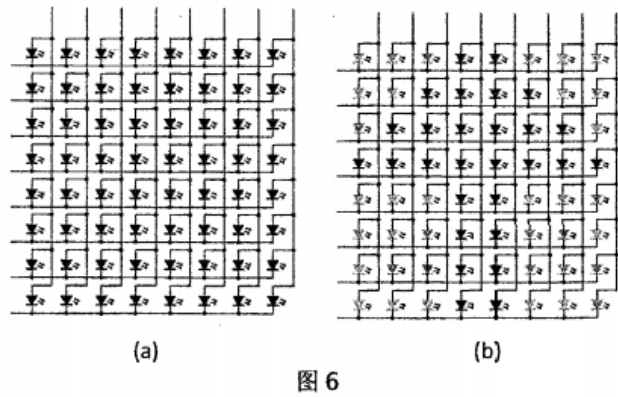
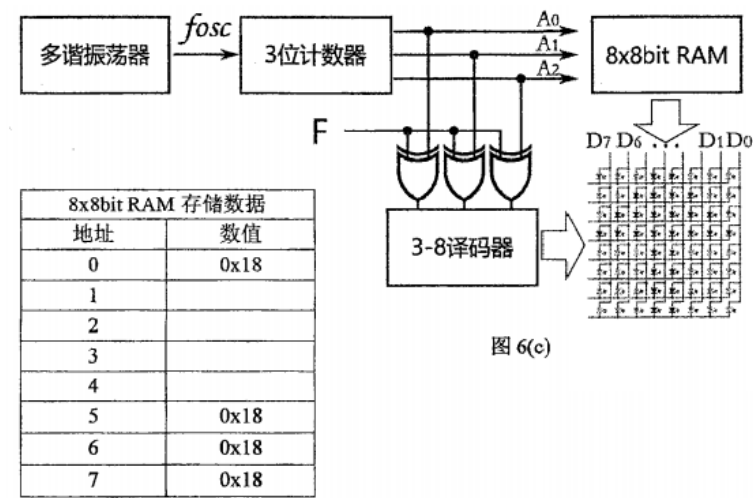


图6(c)是由逻辑门、多谐振荡器、3位二进制计数器、低电平输出有效的3-8线译码器、 $8 \times 8\text{bit}$ RAM等构成的阵列显示电路，用于显示手扶电梯的方向箭头。



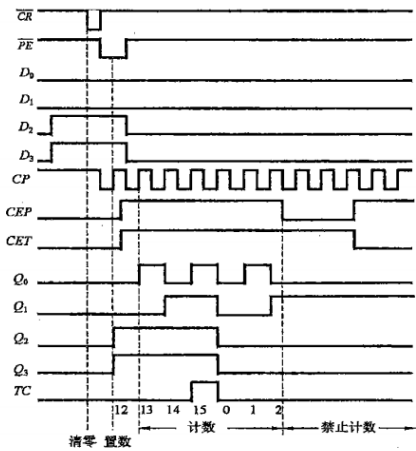
- 试分析该电路系统，并回答下列问题：
- (1) 根据存储器已存储的内容，补充完善其他存储单元的数值（十六进制）填入表中；
 - (2) 为保证显示效果，LED阵列的刷新频率设定为 50Hz ，则多谐振荡器的输出频率应当为 $f_{osc} =$ _____ Hz 。
 - (3) 请分析控制线 F 的作用，其主要作用是_____。

附录

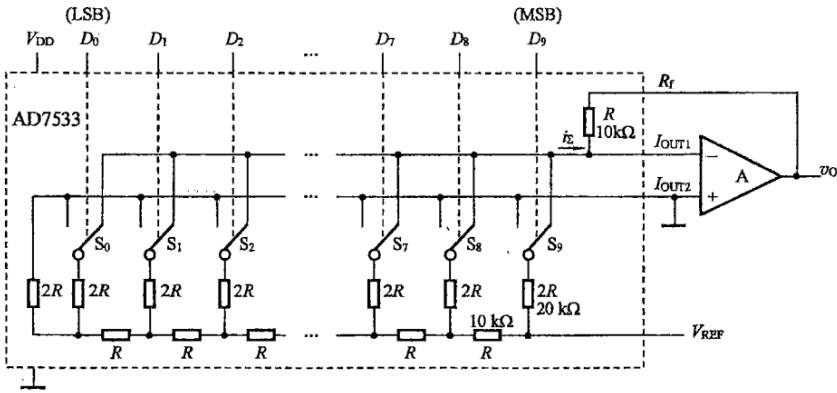
74LVC161 的功能表

输 入									输 出				
清零 \overline{CR}	预置 \overline{PE}	使 能 CET CEP		时钟 CP	预置数据输入 D_3 D_2 D_1 D_0				Q_3	Q_2	Q_1	Q_0	进位 TC
L	x	x	x	x	x	x	x	x	L	L	L	L	L
H	L	x	x	↑	D_3^*	D_2^*	D_1^*	D_0^*	D_3	D_2	D_1	D_0	#
H	H	L	x	x	x	x	x	x	保 持				#
H	H	x	L	x	x	x	x	x	保 持				L
H	H	H	H	↑	x	x	x	x	计 数				#

注： D_N^* 表示 CP 脉冲上升沿之前瞬间 D_N 的电平。
#表示只有当 $Q_3Q_2Q_1Q_0CET=1$ （正逻辑体系）时， TC 输出为高电平，其余均为低电平。



复位清零；置数：1100；计数：1101→1110→1111→0000→0001→0010；禁止计数
74LVC161 的典型时序图



ADI 公司的 AD7533 CMOS 电流输出型 10 位 D/A 转换器内部框图

2019-2020 学年第二学期期末考试 A 卷参考答案

一、填空题(每空 1 分, 共 20 分)

1、【正解】 $(2B.6)_H$

【解析】 $(43.375)_{10} = (101011.011)_2 = (2B.6)_H$

【考点延伸】数制的转换

2、【正解】 $\bar{D} + A\bar{B}$; $\bar{D} \cdot (A + \bar{B})$

【解析】对偶规则为变量不变, 运算符号和常量改变

【考点延伸】逻辑运算

3、【正解】三态

【解析】三态逻辑门常用作数据总线结构的缓冲隔离

【考点延伸】集成逻辑门

4、【正解】 $3.1 \sim 3.3V$

【解析】由输入电平范围可知 A、B 都为低电平, 从而由与非门性质可知输出为高电平, 再有输出电平范围可知为 $3.1 \sim 3.3V$ 。

【考点延伸】CMOS 逻辑门

5、【正解】悬空

【解析】CMOS 逻辑门输入端不允许悬空, 否则将造成逻辑混乱

【考点延伸】集成逻辑门

6、【正解】0

【解析】 $(65)_{10} = (1000001)_2$, 由偶校验定义可知 $P=0$ 。

【考点延伸】奇偶校验

7、【正解】是

【解析】当 L_3 表示为 $C\bar{D} + \bar{C}D$ 形成时即存在竞争冒险

【考点延伸】冒险与竞争

8、【正解】4

【解析】最少 4 个 2-4 线译码器, 可实现 4-16 线译码器

【考点延伸】译码器的运用

9、【正解】当变量 E_n 或 d 的值发生变化且 E_n 为 1 时, 执行 $q = d$ 。

【解析】 $always@a \text{ or } b$ 表示 a, b 均变变量, 其中一个改变时, 下方语句将被执行

【考点延伸】Verilog 中 $always$ 语句运用

10、【正解】01011111

【解析】 $6'h25 = 2 \times 16 + 5 = (37)_{10} = (00110111)_{8421BCD}$

【考点延伸】Verilog 中数值的表达

11、【正解】16

【解析】4 位二进制格雷码可表示 $2^4 = 16$ 种状态

【考点延伸】可靠性编码

12、【正解】26

【解析】 $50MHz \div 1Hz = 50M \therefore 2^{25} < 50M < 2^{26}$ ，故至少用 26 个触发器。

【考点延伸】分频器的定义

13、【正解】8

【解析】 $1 \div 50kHz \times 40\% = 8 \times 10^{-6}s = 8\mu s$

【考点延伸】占空比的概念

14、【正解】20

【解析】 $1M = (1K)^2 = (2^{10})^2 = 2^{20} \therefore$ 有 20 根地址线

【考点延伸】RAM 的容量

15、【正解】03ff

【解析】 $16K \div 8 = 2^{11}$ ，一个地址对应两个字节，故共有 $2^{11} \div 2 = 1024$ 个地址，最高位为

$(03ff)_H$ ，对应 1024 个字节

【考点延伸】存储器的容量

16、【正解】整流器

【解析】整流器具有将不规则波形化为矩形波的作用

【考点延伸】整流器的应用

17、【正解】可编程与或阵列；查找表

【解析】CPLD 基于可编程与或阵列，FPGA 基于查找表实现组合逻辑函数

【考点延伸】可编程逻辑器件

18、【正解】10

【解析】 $\Delta T = 100^\circ C \div 0.1^\circ C = 1000$ ， $2^9 = 512 < 1000 < 1024 = 2^{10}$

【考点延伸】A/D 转换器

二、化简题(共 10 分)

1、【解析】 $L(A, B, C) = \bar{B} + ABC + \overline{AC} \cdot \overline{AB} = \bar{B} + ABC + (\bar{A} + \bar{C})(\bar{A} + \bar{B})$

$$= \bar{B} + AC + (\bar{A} + \bar{AC} + \bar{A}\bar{B} + \bar{C}\bar{B}) = \bar{B} + AC + \bar{A} + \bar{C}\bar{B} = \bar{B} + AC + \bar{A}$$

$$= \overline{B} + C + \overline{A}$$

【考点延伸】公式法化简

2、【解析】

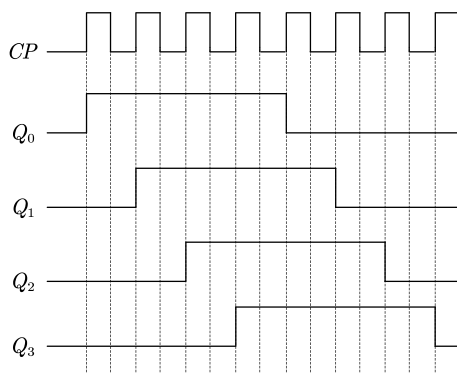
$AB \backslash CD$	00	01	11	10
00	1	0	0	1
01	1	0	0	0
11	1	0	0	0
10	1	0	0	1

$$\therefore L(A, B, C, D) = \overline{C}\overline{D} + \overline{B}\overline{D}$$

【考点延伸】卡诺图简化

三、【解析】 $\begin{cases} D_0 = \overline{Q_3} \\ Q_0^{n+1} = D_0 = \overline{Q_3} \end{cases} \quad \begin{cases} D_1 = Q_0 \\ Q_1^{n+1} = D_1 = Q_0 \end{cases} \quad \begin{cases} D_2 = Q_1 \\ Q_2^{n+1} = D_2 = Q_1 \end{cases} \quad \begin{cases} D_3 = Q_2 \\ Q_3^{n+1} = D_3 = Q_2 \end{cases}$

Q_0	Q_1	Q_2	Q_3	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
0	0	0	0	1	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	1	0	0	1
0	0	1	1	0	0	0	1
0	1	0	0	1	0	1	0
0	1	0	1	0	0	1	0
0	1	1	0	1	0	1	1
0	1	1	1	0	0	1	1
1	0	0	0	1	1	0	0
1	0	0	1	0	1	0	0
1	0	1	0	1	1	0	1
1	0	1	1	0	1	0	1
1	1	0	0	1	1	1	0
1	1	0	1	0	1	1	0
1	1	1	0	1	1	1	1
1	1	1	1	0	1	1	1



【考点延伸】触发器的应用

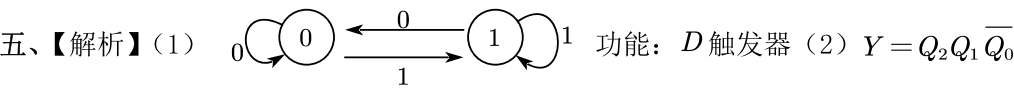
四、【解析】(1) $L = \overline{AB} \cdot \overline{BC} \cdot \overline{AC} = AB + BC + AC$

(2)

A	B	C	L
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

(3) 功能：当输入中有 < 2 个 1 时， $L=0$ ；当输入中有 ≥ 2 个 1 时， $L=1$

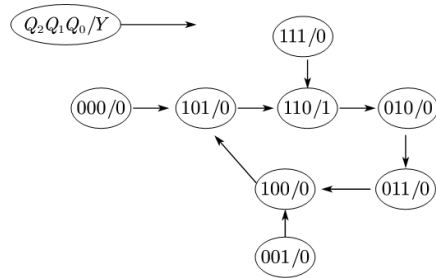
【考点延伸】组合逻辑电路的功能



$E_0 = \overline{Q_1} \overline{Q_0} + \overline{Q_2} \overline{Q_0}$ $E_1 = Q_1 \overline{Q_0} + Q_2 Q_0$ $E_2 = \overline{Q_1} + Q_0$

(3)

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	1	0	1	0
0	0	1	1	0	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	0	1	0	1
1	1	1	1	1	0	



功能为 01000 的序列信号发生器。

(4) 由状态转换图可知具有自启动功能。

【考点延伸】Verilog（编程语言）

六、【解析】(1)

$$(2) J_2 = \overline{Q_0} \quad K_2 = Q_0 \quad J_1 = Q_2 \quad K_1 = \overline{Q_2}$$

$$J_0 = Q_1 \quad K_0 = \overline{Q_1} \quad Z = Q_2 Q_1 \overline{Q_0} + \overline{Q_2} \overline{Q_1} Q_0$$

(3) 无；产生占空比一定的周期信号；1/3；产生序列号为 000111 的周期序列

(4) 空 1: $Q[2] \& Q[1] \& \sim Q[0] \mid \sim Q[2] \& \sim Q[1] \& Q[0]$

空 2: 4

空 3: 0

空 4: 5

空 5: 1

空 6: 6

空 7: 2

空 8: 7

空 9: 3

【考点延伸】JK 触发器的应用

七、【解析】

Q_0	Q_1	Q_2	Q_3	D_9	D_8	D_7	D_6	v_o/v
1	0	0	0	0	0	0	1	0.5
1	0	0	1	0	0	1	0	1
1	0	1	0	0	0	1	1	1.5
1	0	1	1	0	1	0	0	2
1	1	0	0	0	0	1	1	1.5

【考点延伸】逻辑电路的应用

八、【解析】(1) 由图可知数值如下：1:0x3c 2:0x7e 3:0xff 4:0x18

(2) $50 \times 8 = 400\text{Hz}$

(3) 用以控制 $A_2A_1A_0$ 在下一步的输入中保持不变或取相反值，从而控制箭头方向

【考点延伸】综合应用

发现错误怎么办

反馈有奖



扫码或联系QQ: 1152296818

本资料编者都是学长学姐，虽然仔细核对了很多遍，但可能会有一些疏漏，诚恳希望学弟学妹们积极反馈错误，我们会及时更正在二维码里哦 (づ￣3￣)づ