# 

# 电

# 子

# 线

# 路

# 实

# 验

# 报

# 告

# 学院：电子信息与通信学院

# 班级：提高2101班

# 姓名：杨筠松

# 学号：U202115980

# 实验时间：2023年3月3日

# 逻辑门和触发器

# 实验名称

逻辑门和触发器

# 实验目的

1. 掌握OC门电路设计测试方法；
2. 掌握用触发器设计实现时序逻辑电路（计数器）；
3. 掌握译码器的设计实现方法；
4. 掌握逻辑电路的调试和测试方法。

# 实验元器件

|  |  |  |
| --- | --- | --- |
| 名称 | 型号（参数） | 数量 |
| 数字集成电路 | 74LS03 | 1 |
| 74HC00 | 2 |
| 74HC74 | 1 |
| 74HC10 | 2 |
| 电阻 | 510Ω | 1 |
| 1KΩ | 2 |
| LED | / | 5 |

# 实验任务

OC门实验和流水灯设计

## 功能要求

1.OC门任务7电路功能

2.流水灯电路功能

3.流水灯电路1kHz时钟脉冲时各输出波形（特别是如何观测相位关系）

## 已知条件

对于流水灯，须用触发器设计一个4进制计数器，再用与非门设计2-4线译码器，使四个发光管仅有一个亮灯且轮流亮灯。

## 实验具体要求及注意事项

1. 各单元电路的电源要求连在一起;
2. 布局、布线要规范。要求:电源线用红色线，地线用黑色，信号线用其它颜色。
3. 输入信号用正方波。
4. 用示波器观察波形时，用DC耦合输入方式。
5. 画输入、输出波形时，要求上、下排列。
6. 实验结果的记录要求规范。

## 测量及验收内容

1. 计算RL、RD;
2. 用坐标纸画出vi、vo、vo1、vo2的波形并标出VOH、VOL的值;
3. 画出逻辑电路图;
4. 实验现象及测试结果记入自拟表格中。
5. 将电路CP改为1kHz输入，示波器用直流耦合输入方式，用Y3,作为触发信源，用坐标纸画出EN=0时CP、Q1、Q0和译码器输出波形，注意波形的时序关系，并总结观察多个相关信号时序关系的方法。

# 实验原理及参考电路

## OC门电路

因OC门输出端是悬空的，使用时一定要在输出端与电源之间接一电阻RL。

****

7

7

7

14

14

14

5

1

6

3

4

2

6

5

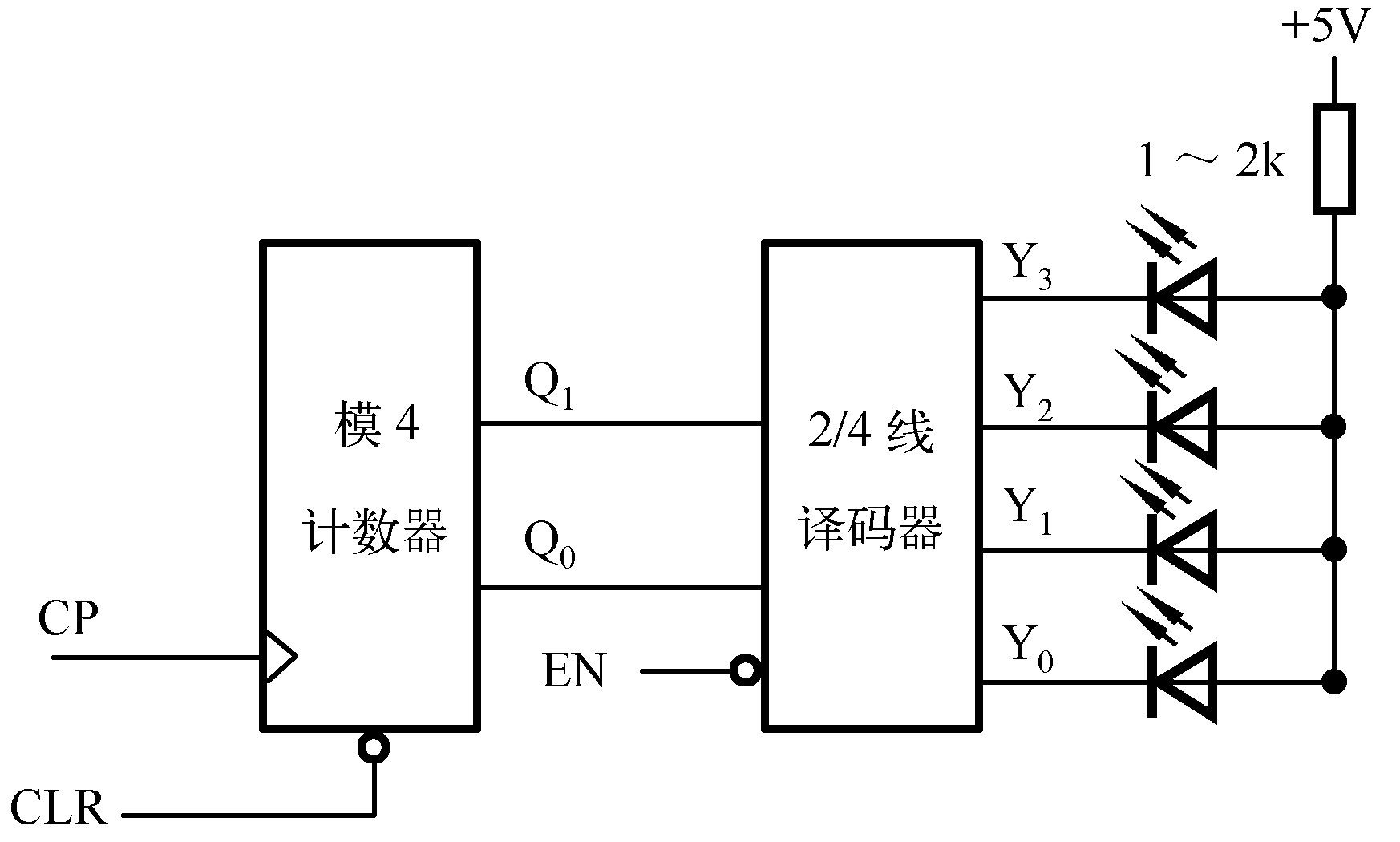
4

****

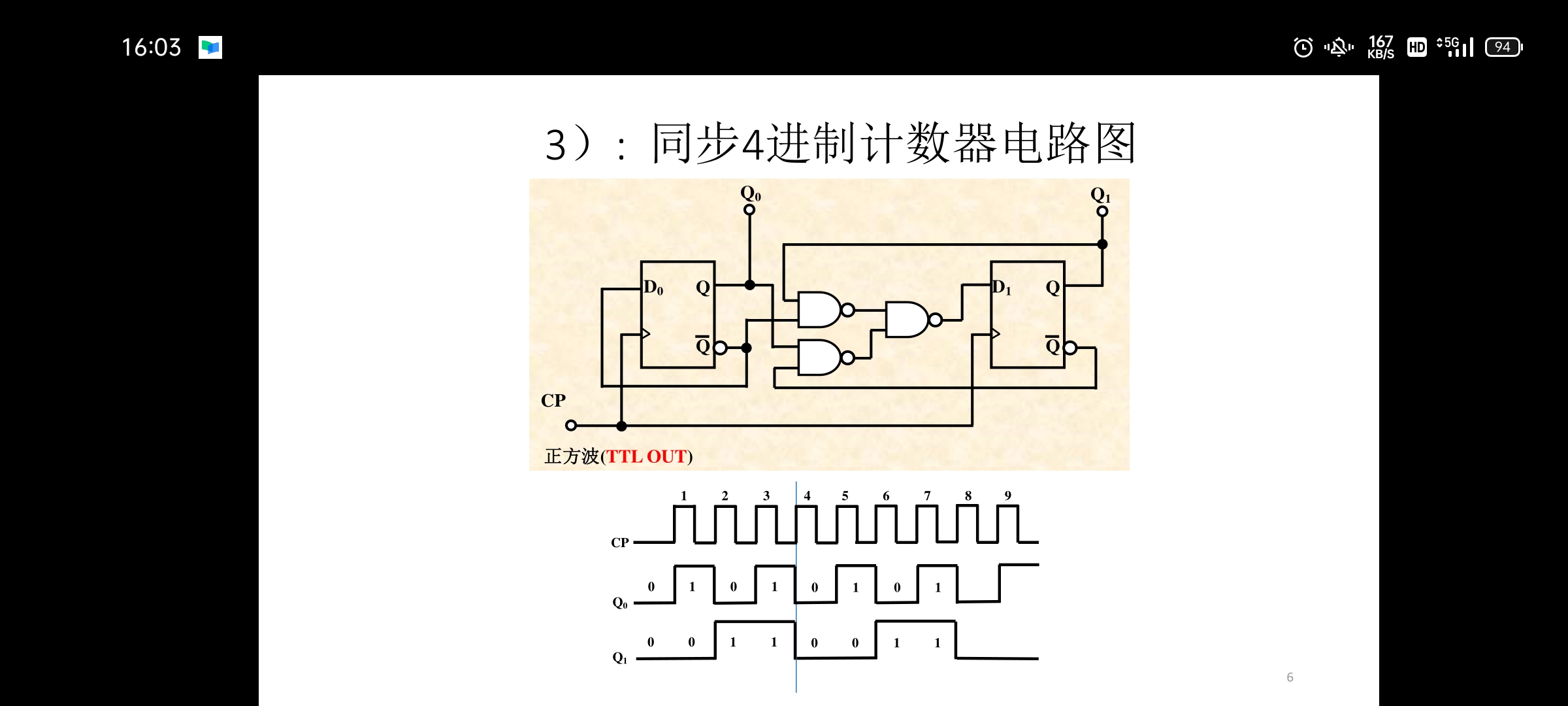
## 流水灯电路

用D触发器设计实现模4计数器

用与非门设计实现2/4线译码器



其中模四计数器：



74HC00

8

10

9

6

3

5

4

1

2

8

9

11

12

6

5

2

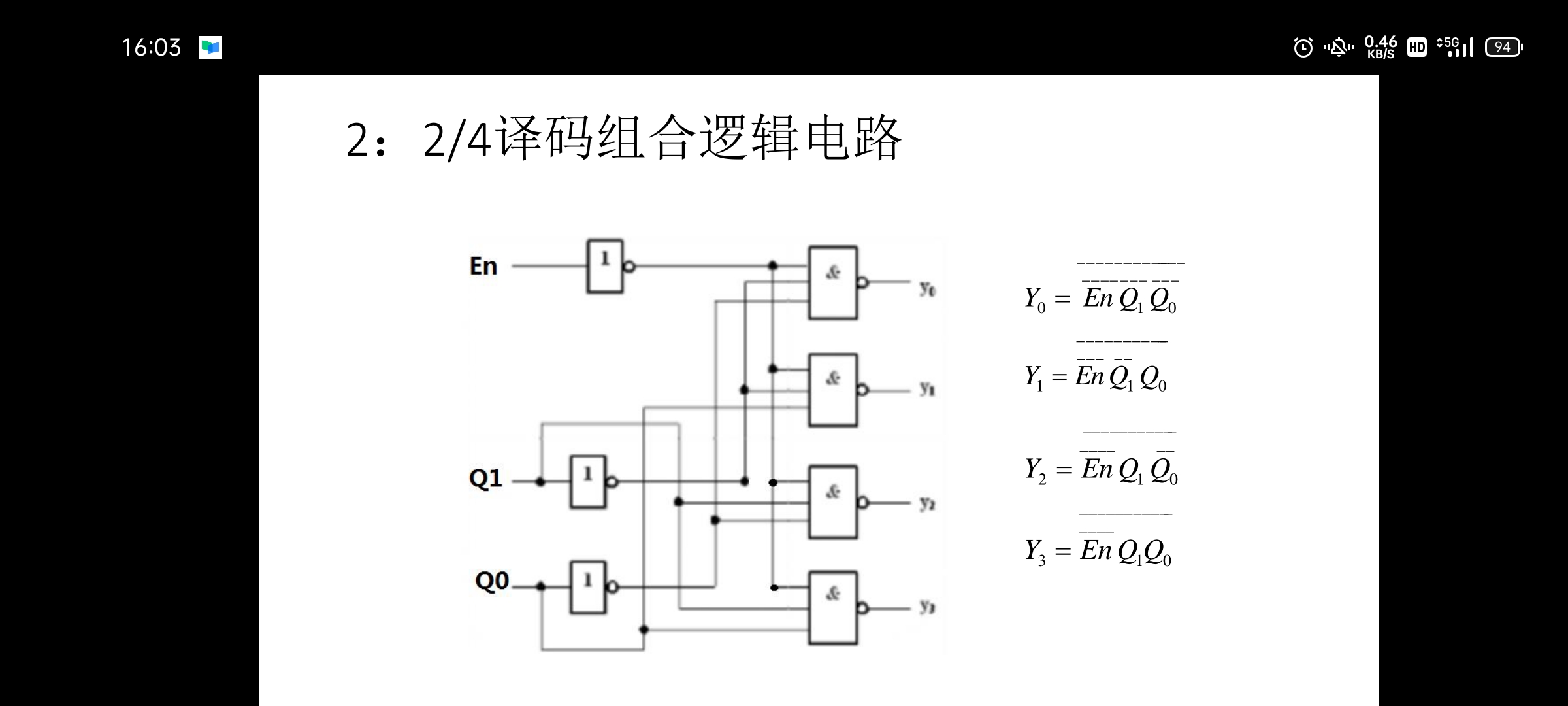
3

74HC74

74HC74

2/4线译码器

74HC10(1)



6

5

4

3

12

13

2

1

6

12

5

4

3

13

2

1

74HC10(2)

74HC74

5

6

9

8

## 器件使用规则

### （1）TTL器件使用规则

1. 电源电压+VCC：只允许在+5V±5%范围内，超过该范围可能会损坏器件或使逻辑功能混乱。
2. 电源滤波：TTL器件的高速切换，会产生电流跳变，其幅度约4mA~5mA。该电流在公共走线上的压降会引起噪声干扰，因此，要尽量缩短地线以减小干扰。可在电源端并接一个100uF的电容作为低频滤波及1个0.01uF-0.1uF的电容作为高频滤波。
3. 输出端的连接：不允许输出端直接接+5V或接地。除OC门和三态(TS)门外，其它门电路的输出端不允许并联使用，否则，会引起逻辑混乱或损坏器件。
4. 输入端的连接：输入端串入一只1kΩ~10kΩ电阻与电源连接或直接接电源电压+VCC来获得高电平输入。直接接地为低电平输入。或门、或非门等TTL电路的多余的输入端不能悬空，只能接地;与门、与非门等TTL电路的多余输入端可以悬空(相当于接高电平)，但易受到外界干扰，可将它们接+Vcc或与其它输入端并联使用，输入端并联时，从信号获取的电流将增加。

### （2）CMOS器件主要参数和使用规则

1. 平均传输延迟时间tpd：CMOS电路的平均传输延迟时间比TTL电路的长得多，通常tpd~200ns。目前74HC系列与TTL基本相当
2. 直流噪声容限VNH和VNL：CMOS器件的噪声容限通常以电源电压+VDD的30%来估算。当+VDD=5V时，VNH≈VNL=1.5V，可见CMOS器件的噪声容限比TTL电路的要大得多，因此，抗干扰能力也强得多。提高电源电压+ VDD是提高CMOS器件抗干扰能力的有效措施。
3. 电源电压+VDD：电源电压不能接反，规定+VDD接电源正极，VSS接电源负极(通常接地)。
4. 输出端的连接：输出端不允许直接接+VDD或地，除三态门外，不允许两个器件的输出端连接使用。
5. 输入端的连接：输入信号Vi,应为VSS≤Vi≤VDD，超出该范围会损坏器件内部的保护二极管或绝缘栅极，可在输入端串接一只限流电阻(10~100)kΩ;多余的输入端不能悬空，应按逻辑要求直接接VDD或VSS (地);工作速度不高时，允许输入端并联使用。

## 测量技巧

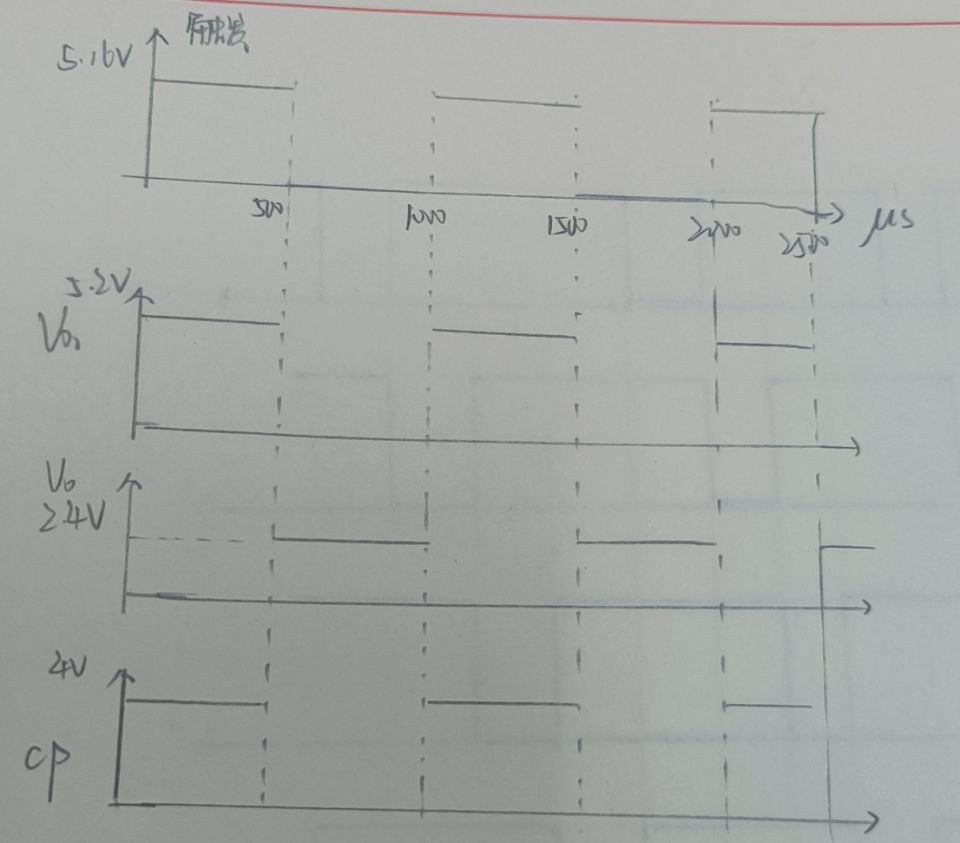
在选定频率最低的波形作为参考后，可以固定参考波形为一个通道，分别测量其他波形，也可以将参考波形接入外触发，一次可以测量两个波形。

# 实验过程

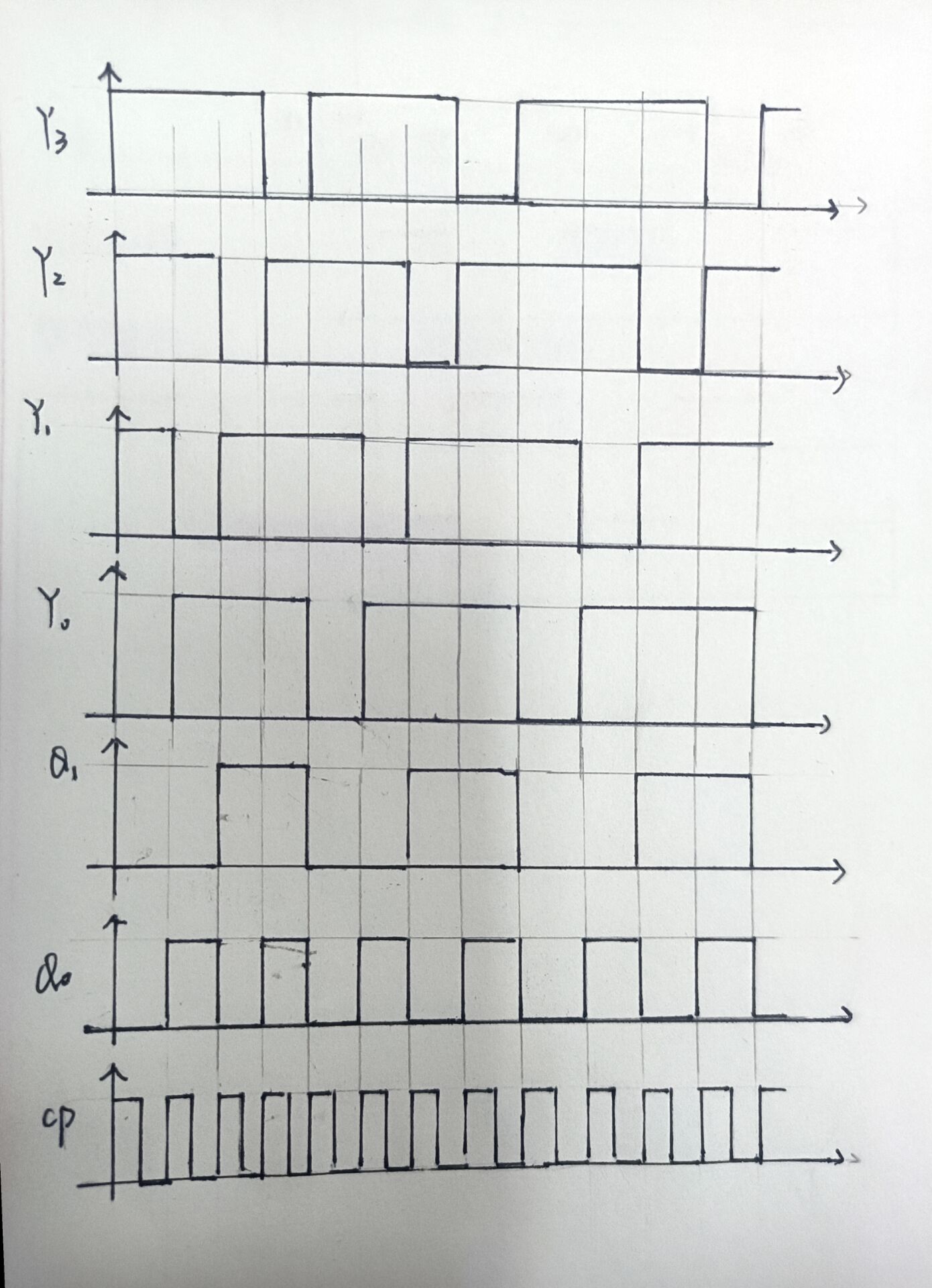
## 计算RL、RD

最后选取**=510=1k**。

## vi、vo、vo1、vo2的波形



## 用Y3作为触发信源，画出EN=0时CP、Q1、Q0和译码器输出波形



# 拓展实验

（一**）实验内容：**

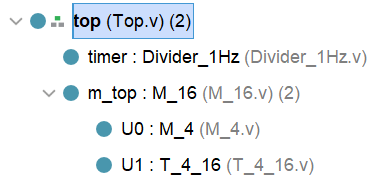
使用verilogHDL编程实现模16可逆计数流水灯，并且编写测试文件完成对应的功能的逻辑测试，最终上板验证功能。

代码实现功能说明：

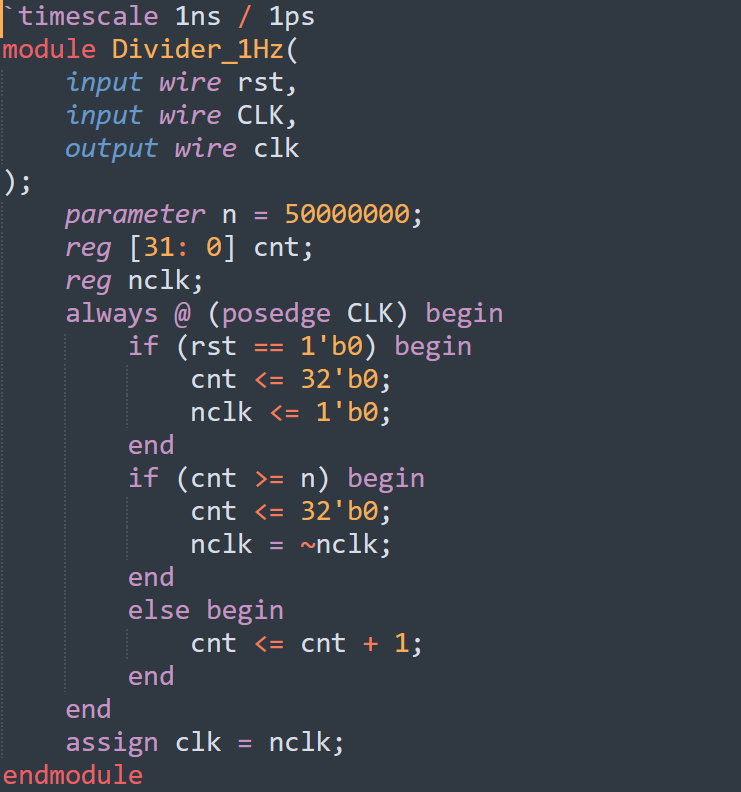
1. SW[0]控制是否开始运行跑马灯
2. SW[1]控制前进方向
3. SW[2]控制是否复位
4. SW[7]控制是否执行装载
5. SW[6-3]为装载的四位二进制数值

**（二）实验原理及代码：**

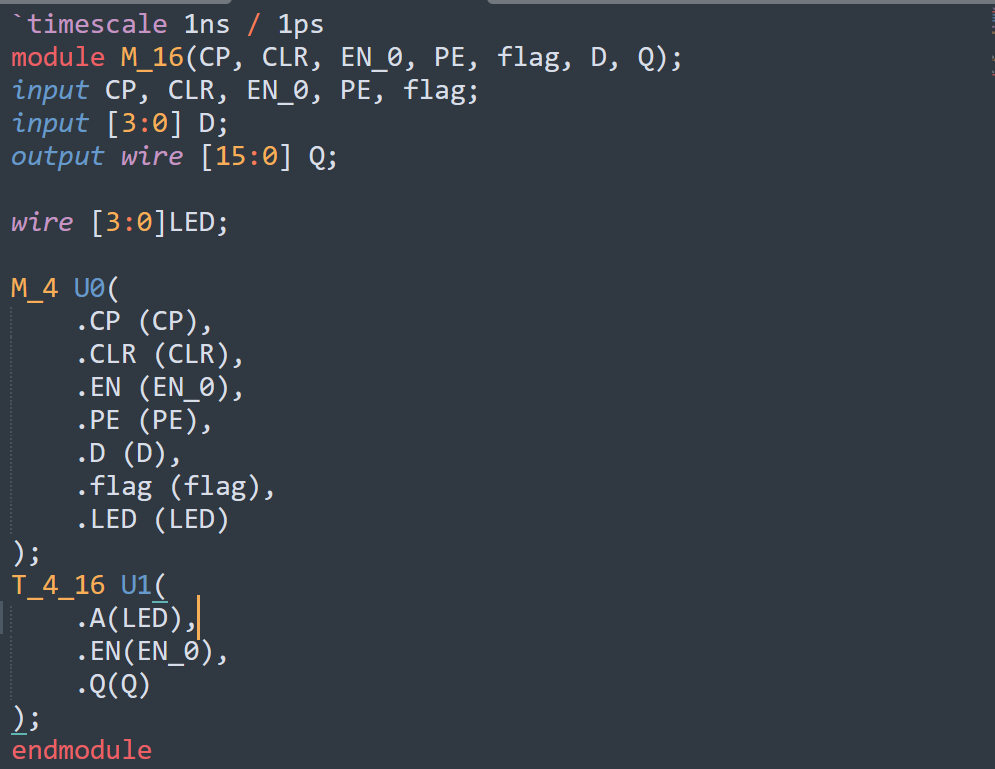
为完成模块化设计，考虑对顶层模块的实现借助子模块timer(Divider\_1Hz)和M\_16，其中timer提供1Hz的时钟信号，而M\_16完成计数并且模16的功能。具体结构如下图所示：



其中Divider\_1Hz的代码如下:

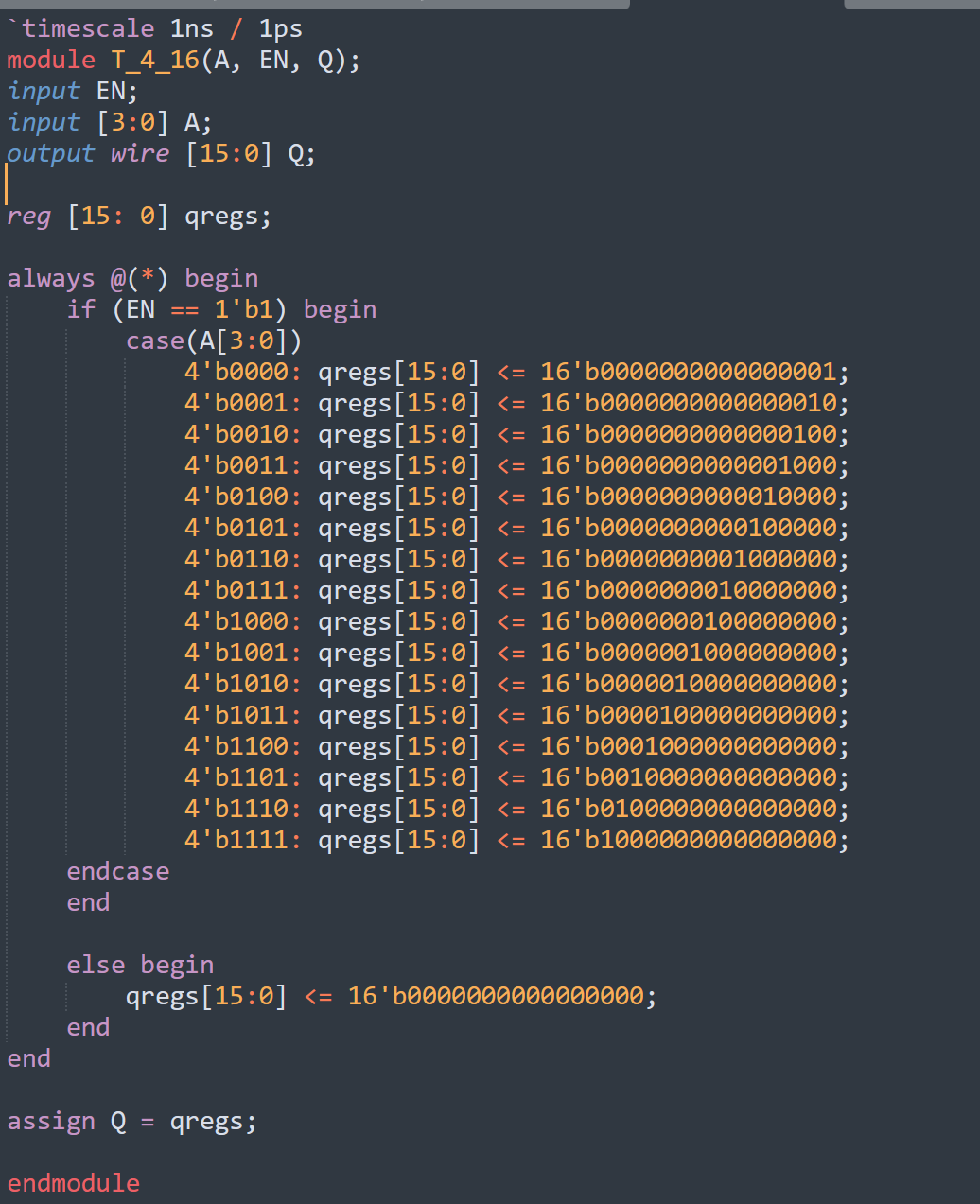


而M\_16的代码如下:



其中的M\_4模块和T\_4\_16则具体实现了包括流水灯前进方向的判断，以及4位数的译码电路的实现，详细代码如下所示：



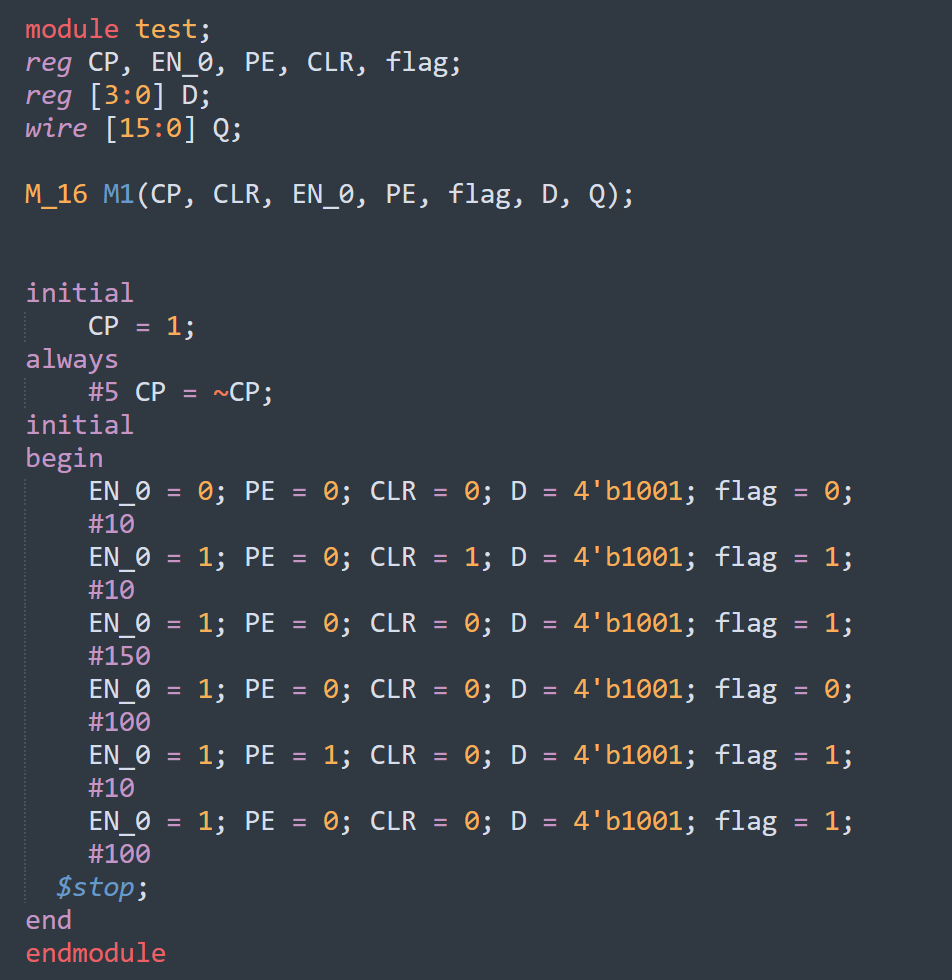


**（三）测试文件和测试结果**

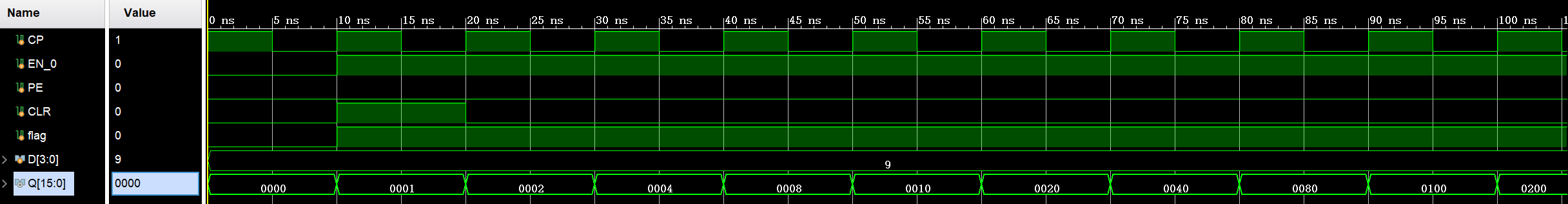
测试内容如下所示：

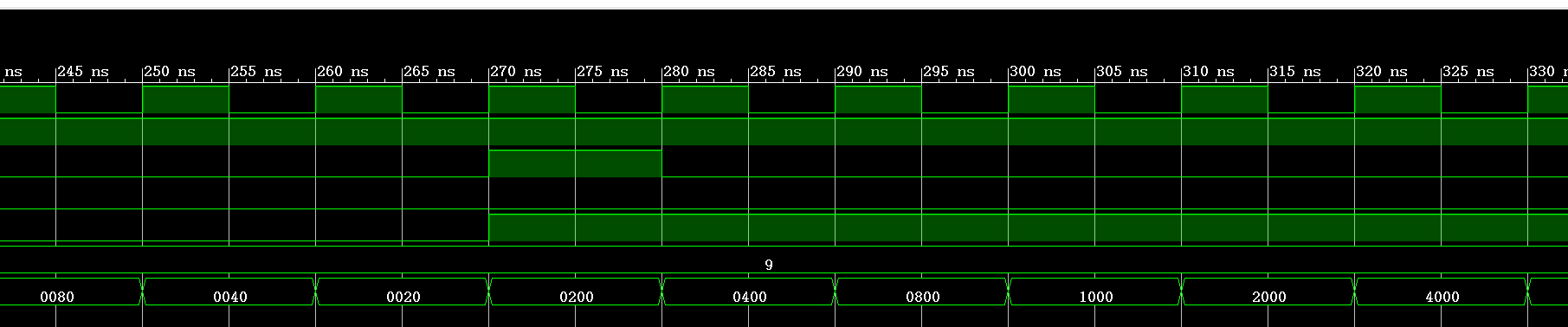
1. 是否开始运行: EN\_0
2. 是否进行清零: CLR
3. 流水灯的走向：flag
4. 是否执行装载：PE
5. 装载值:D

测试文件代码如下所示:



测试结果如下图所示，其中较为清楚且完美的呈现了所需要的全部功能：



上述三个图证明了分别证明流水灯走向逻辑的正确性，清零逻辑的正确性，置数的正确性。

**（四）载入开发板验证**

经上板验证可知，逻辑全部完成且无明显差错，基本满足实验要求。

# 实验小结

通过本实验，我增强了对运放的理解，熟悉了数字元器件和仪器的特点和用法，复习并更好的理解了数电学的知识。此次试验出现的问题在于准备没有做充分，所以对需要测量的数据及测量方式不是很熟悉，最后在同学的帮助和老师的指导下解决。而在拓展实验中，首次接触到了开发板的具体实践，受益良多，将数电课程学习到的知识得以运用，独立设计了模块化的verilog代码和测试文件，最终在开发板上运行良好。