

2010-2011 学年第二学期期末考试试卷

一、填空题

1. 逻辑代数式 $F = (A + \overline{B})(\overline{C} + D)$ 则 F 的对偶式 $F' =$ _____

逻辑代数式 $F = \overline{A\overline{B} + A + \overline{C}D}$, 则 F 的反演式 $\overline{F} =$ _____。

2. 二进制数 (1101 010. 01) B 对应十进制数为 _____ 十进制数 (52. 25) 用 8421BCD 码表示为 _____。

3. CPLD 基于 _____ 技术实现组合逻辑函数, FPGA 中每个逻辑单元是利用 _____ 技术来实现组合逻辑的, 当需要实现 4 输入 2 输出的组合电路所需占用的 SRAM 配置容量至少为 _____ bit。

4. 若用 JK 触发器来实现方程 $Q^{n+1} = \overline{A}Q^n + B$, 则驱动方程为 $J =$ _____ 和 $K =$ _____。

5. 将 D 触发器的 D 端与 \overline{Q} 端相连, 当触发器的现态为 _____ 时, 经过 2011 个时钟脉冲作用后, 触发器的状态为 0。

6. 计数循环为 1-0-6-5-4-3-2-1-0 的模 7 减法计数器从 1 开始计数, 经过 2012 个计数脉冲后其计数值为 _____。

7. 对于采集温度范围为 0-80℃, 能辨别 0.1℃变化的应用要求, 应选择 _____ bit 的 A/D 转换器, 如果采样温度为 20℃, 对应的数字量为 _____。

8. _____ 电路具有一个稳态和暂稳态, 暂稳态存在的时间由 _____ 环节决定。

9. 8bit 移位寄存器构成的扭环形计数器有 _____ 个有效计数状态。

10. 能够实现线与功能的是 _____, 在 RAM 期间的输入输出电路中使用的是 _____。(集电极开路门, 三态门, 异或门, 传输门)

11. 8K x 8 的 RAM 芯片有 _____ 跟地址线, 需要 _____ 片 2K x 4 的 RAM 芯片才能扩展得到 16K x 8 的 RAM。

二、化简题

1. 用逻辑代数法将下式化简为最简与或式。

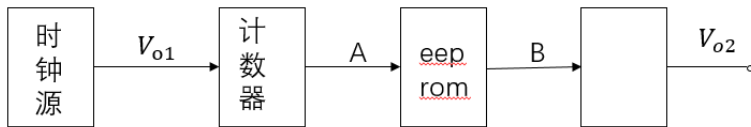
$$F = \overline{A\overline{B}}(A + C) + \overline{C}(BD + A\overline{B} + AD)$$

2. 用卡诺图化简逻辑函数, 写出最简与或式。

$$F(A, B, C, D) = \sum m(0, 8, 9, 10, 11, 13, 15) + \sum d(1, 2, 5, 6, 14)$$

三、综合题

一个任意波形产生电路的简要框图如图所示，EEPROM中存储了一个周期的光整波形数据，有计数器产生的信号A连续读出EEPROM中的数据B并送入下一级电路处理，处理所得波形为 V_{o2} 。



- 1) 试问时钟源可由什么功能电路产生？
- 2) 图中空白框图中是什么电路？完成什么功能？
- 3) 图中A、B分别接EEPROM的什么信号总线？如果要求输出波形的量化等级达到256，每周期采样点个数为64，则总线A、B分别为多少位宽？
- 4) 试采用2片74HC161设计满足要求的计数电路。
- 5) 若输出信号 V_{o2} 的频率 $f_{v_{o2}}$ 为1kHz，那么时钟源的频率 $f_{v_{o1}}$ 应为多少？

四、时序逻辑分析与设计

1、现需设计一个单输入输出出的同步时序电路，对串行法输入数据 X 进行检甜：

a) 假设 Z 的初始状态为 $Z=0$ ：

b) 当检测到 X 连续输入两个 0 时，输出 Z 变为 0, 当检测到 X 连续输入两个 1 时，输出 Z 变为 1, 否则 Z 保持不变， 例如：

输入序列为 $X=0\ 1\ 0\ 1\ 1\ 0\ 1\ 0\ 1\ 1\ 1\ 0\ 1\ 0\ 0\ 1\ 0\ 1\ 0\ 0\ 0\ 1\ 0$

输出序列为 $Z=0\ 0\ 0\ 0\ 1\ 1\ 1\ 1\ 1\ 1\ 1\ 1\ 1\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0$

根据上述要求完成以下设计工作：

(1) 画出原始状态图

(2) 建立原始状态表，并检查是否需要化简

(3) 给出一种状态分配方案并说明理由

2010-2011 学年第二学期期末考试试卷参考答案

一、填空题

1. 【正解】 $F' = \overline{A\overline{B}} + \overline{C\overline{D}}$

$$\overline{F} = \overline{A\overline{B} + A + C\overline{D}} = \overline{A\overline{B}} \cdot \overline{A + C\overline{D}} = AB + BC\overline{D} + \overline{A}C\overline{D}$$

2. 【正解】 $(106.25)_D$ 0101 0100.0010 0101

3. 【正解】EEPROM 快闪存储器 SRAM 32

4. 【正解】 $J=B$ $K=A \cdot \overline{B}$

【解析】 $Q_{n+1} = \overline{A}Q^n + B$, $Q_{n+1} = J\overline{Q}^n + \overline{K}Q^n = (\overline{A} + B)Q^n + B\overline{Q}^n$

5. 【正解】1

【解析】现态为1，经过2011个脉冲后 $Q=0$

6. 【正解】5

【解析】 $2012/7=287\cdots3$

7. 【正解】10bit $(100)_{16}$

【解析】通过对应的运算法则即可得出答案

8. 【正解】单稳态触发器，RC延迟

9. 【正解】1 6

10. 【正解】CMOS漏板开路门（OD门），三态门

11. 【正解】13 16

【解析】 $8k=2^{13}$, $(16k*8)/(2k*4)=16$

二、

1、【解析】

$$\begin{aligned} F &= \overline{A\overline{B}}(A + C) + \overline{C}(BD + A\overline{B} + AD) = AB + \overline{A\overline{B}} + \overline{C}(BD + A\overline{B} + AD) = AB + \overline{A} \overline{C} \overline{D} + B\overline{C}D + A\overline{B}\overline{C} + A\overline{C}D \\ &= AB + \overline{A\overline{B}} + \overline{C}D + \overline{A\overline{B}}\overline{C}D = AB + \overline{C} \end{aligned}$$

2、 $F(A, B, C, D) = \sum m(0, 8, 9, 10, 11, 13, 15) + \sum d(1, 2, 5, 6, 14)$

【解析】

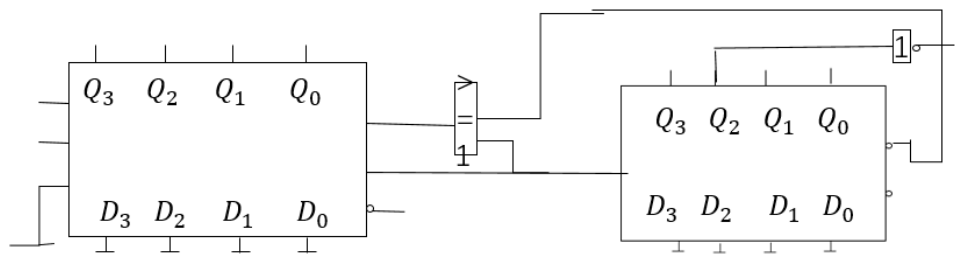
	00	01	11	10
00	1	x		X
01		1		X
11		1	1	X
10	1	1	1	1

根据卡诺图，得出 $F = \overline{B}\overline{C} + \overline{C}D + AC$

三、【解析】

- (1) 提供方波输出的振荡器
- (2) D/A 转换器，数字信号转换为模拟信号
- (3) A 接地址线，B 接数据线 A: 16 位 B: 8 位

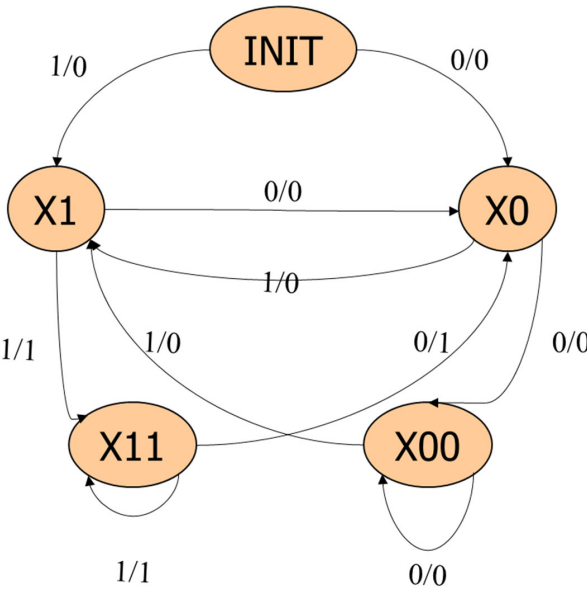
(4)



(5) $f(V_{o1})=69\text{kHz}$

四、【解析】

(1)



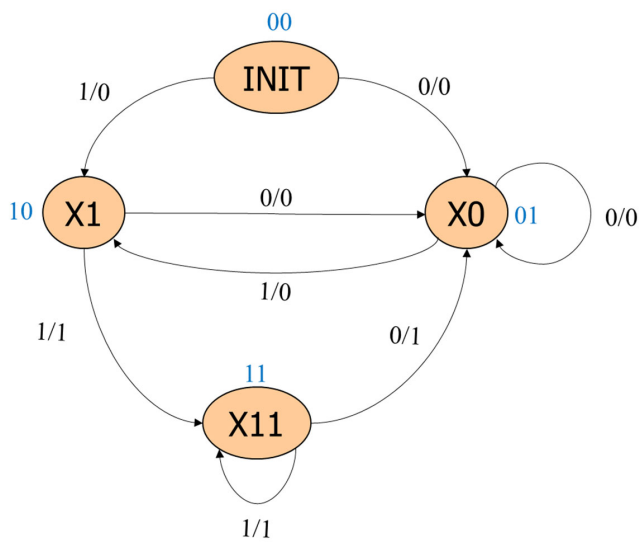
(2)

S	X	
	0	1
INIT	X0/0	X1/0
X0	X00/0	X01/0
X00	X00/0	X01/0
X1	X10/0	X11/1
X11	X10/1	X11/1
S*/Z		

需要状态化简。状态 X0 和 X00 对于所有输入组合产生相同的输出,对于每种输入组合具有相同或等效的下一状态。

(3) 状态化简后只有 4 个有效状态,故取 00、01、10、11 作为状态 INIT、X0、X1、X11 的编码。该电路可以自启动。

化简后的状态图如下:



【考点延伸】 本题考查时序逻辑电路（序列检测器）的设计。

【 招募学霸兼职 】

用你最擅长的学科知识，做最完美的答案解析。

【 征集各科资料 】

分享你手里的真题、作业习题或者笔记，我们将回馈一份感谢。

你在帮助学弟学妹的同时，
还能赚取一笔丰厚的零花钱！

请联系QQ：1760880175

呐呐

