# 

# 电

# 子

# 线

# 路

# 实

# 验

# 报

# 告

# 学院：电子信息与通信学院

# 班级：提高2101班

# 姓名：杨筠松

# 学号：U202115980

# 实验时间：2023年3月10日

# EDA组合电路设计

# 实验名称

EDA组合电路设计

# 实验目的

1. 学习使用verilog HDL描述数字逻辑电路与系统的方法;
2. 了解并掌握采用可编程逻辑器件实现数字电路与系统的方法;
3. 学习并掌握采用Xilinx Vivado软件开发可编程器件的过程;

# 实验任务

用verilog语言实现如下项目:

1. 1位2选1数据选择器（p226实验任务一）

2. 一位大小比较器（三灯指示，大于，等于，小于）

3. 3线-8线译码器

4. 8线-3线编码器

# 实验过程

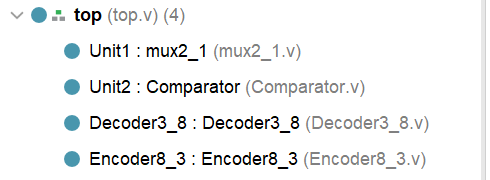
1. 新建工程
2. 创建新的verilog源文件
3. 编写测试文件检验代码逻辑是否正确
4. 创建并编写约束文件
5. 综合、实现、生成比特流
6. 载入开发板验证

# 实验代码及结果

Top模块功能说明：

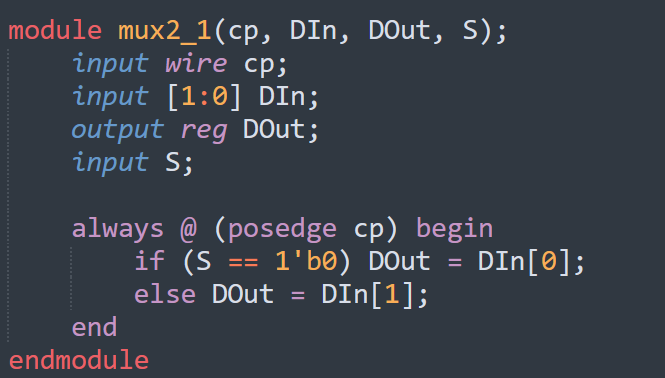
1. 2选1数据选择器：
   1. 输入：SW[0], SW[1]作为数据端，SW[2]作为选择端
   2. 输出：将选择的数据输出到LED[0]
2. 一位大小比较器（三灯指示，大于，等于，小于）
   1. 输入：SW[3], SW[4]作为输入端
   2. 输出：若大于LED[3]亮，等于LED[2]亮，小于LED[1]亮
3. 3-8线译码器
   1. 输入：SW[5-7]作为数据端
   2. 输出：LED[4-11]作为译码输出结果
4. 8-3线编码器
   1. 输入: SW[8-15]作为数据端
   2. 输出：LED[12-14]作为编码输出结果

Top模块具体结果如下图所示:

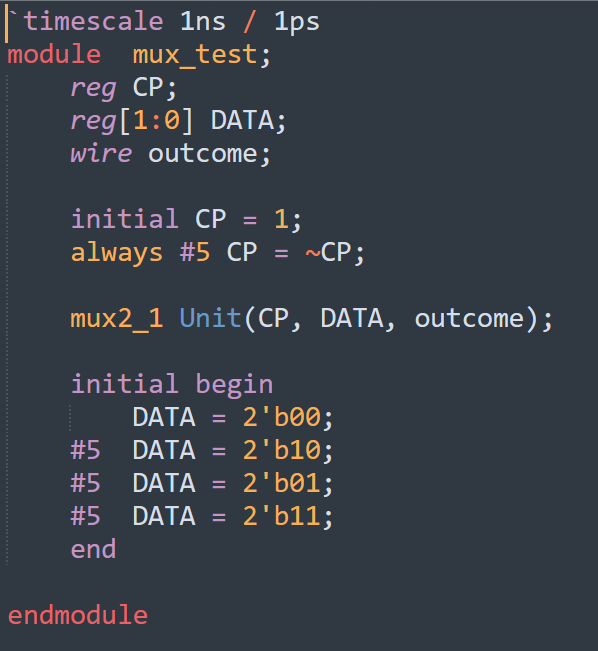


1. **一位2选1数据选择器**

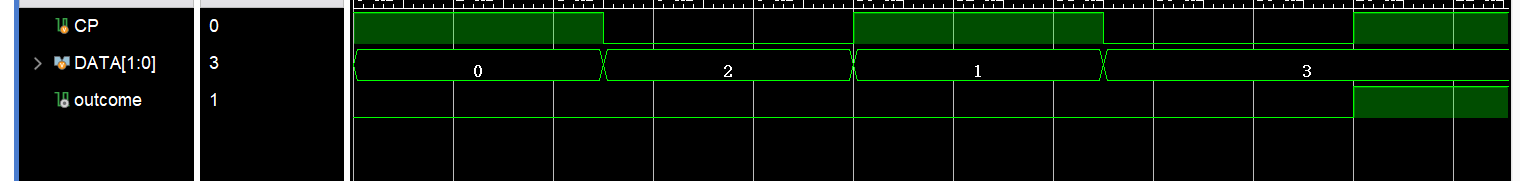
具体代码如下所示:



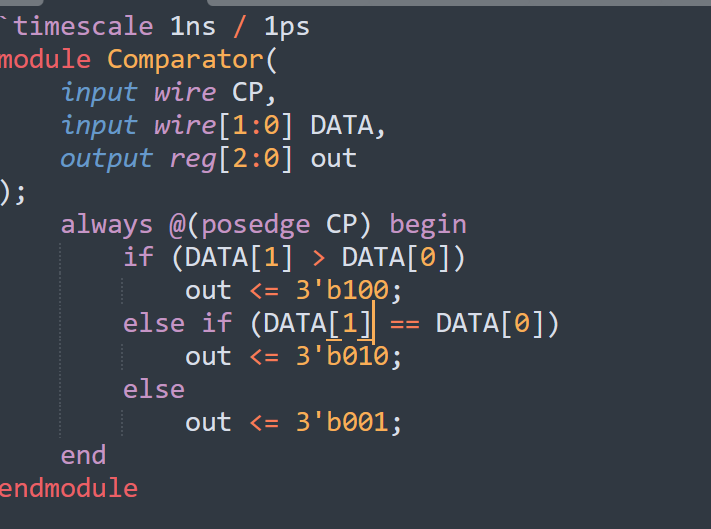
编写测试文件如下所示：



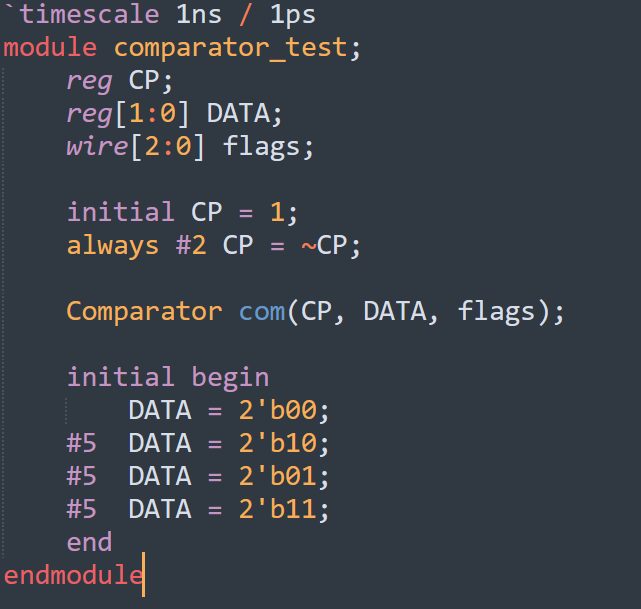
测试结果如下所示，可验证逻辑完成。



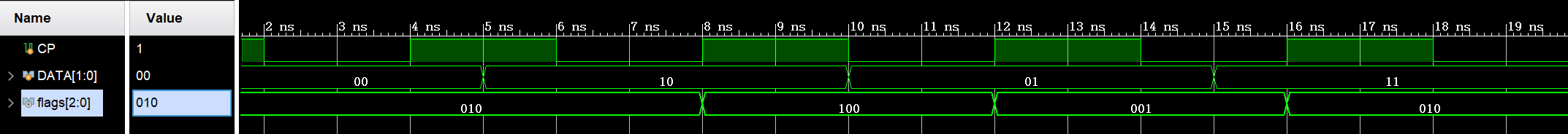
1. **一位大小比较器（三灯指示，大于，等于，小于）**

具体代码如下所示：  


编写测试文件如下：



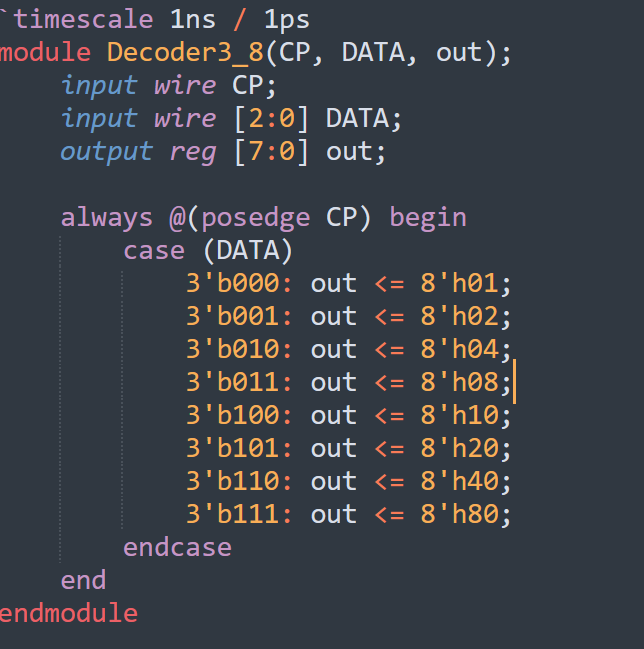
结果如下：



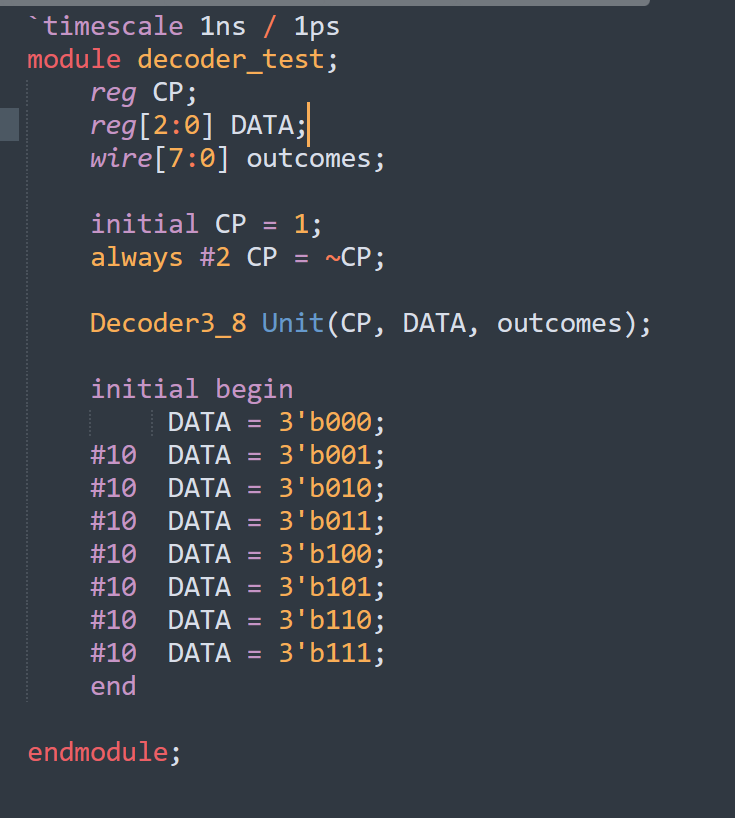
从运行结果看出，代码逻辑正确

1. **3线-8线译码器**

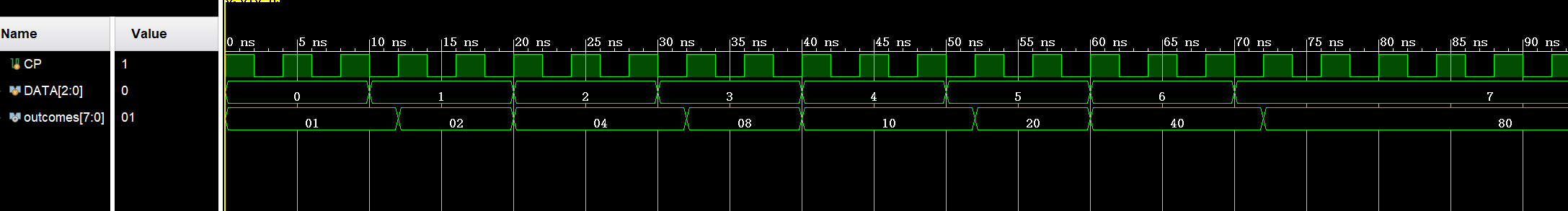
具体代码如下所示：



编写测试文件如下所示



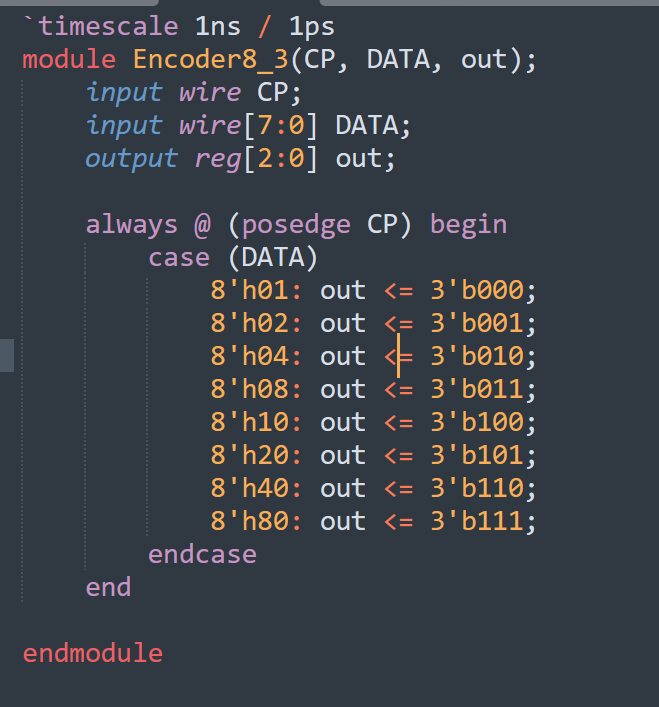
结果如下所示：



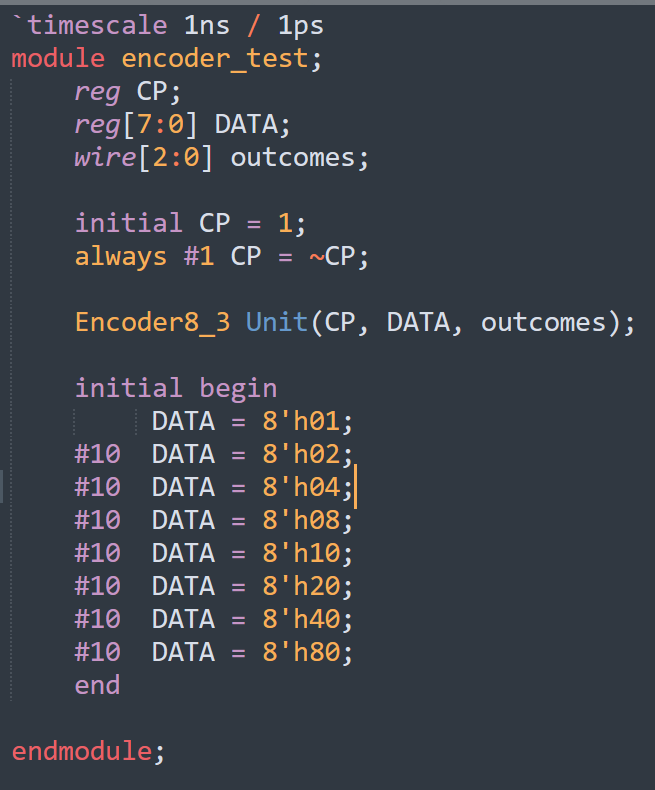
从运行结果看出，代码逻辑正确

1. **8线-3线编码器**

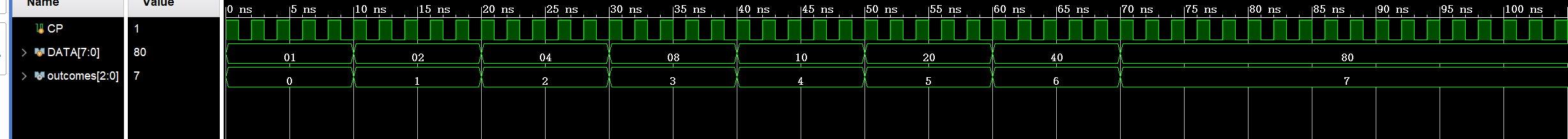
具体代码如下所示:



测试代码如下所示:

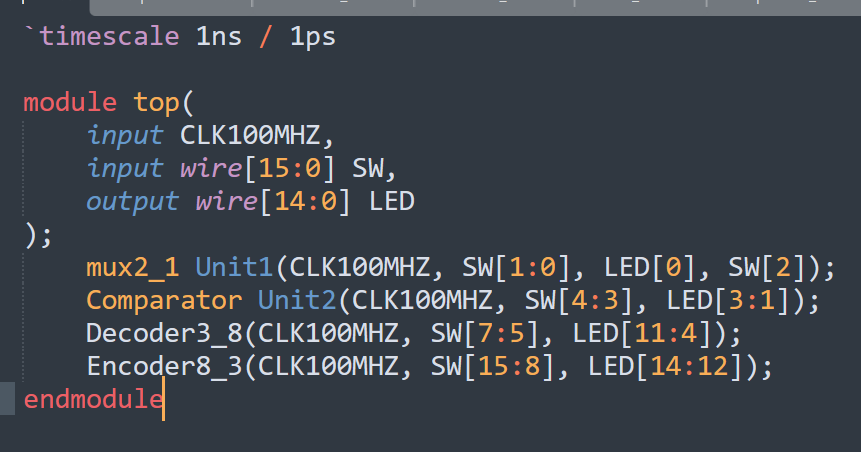


结果如下所示：

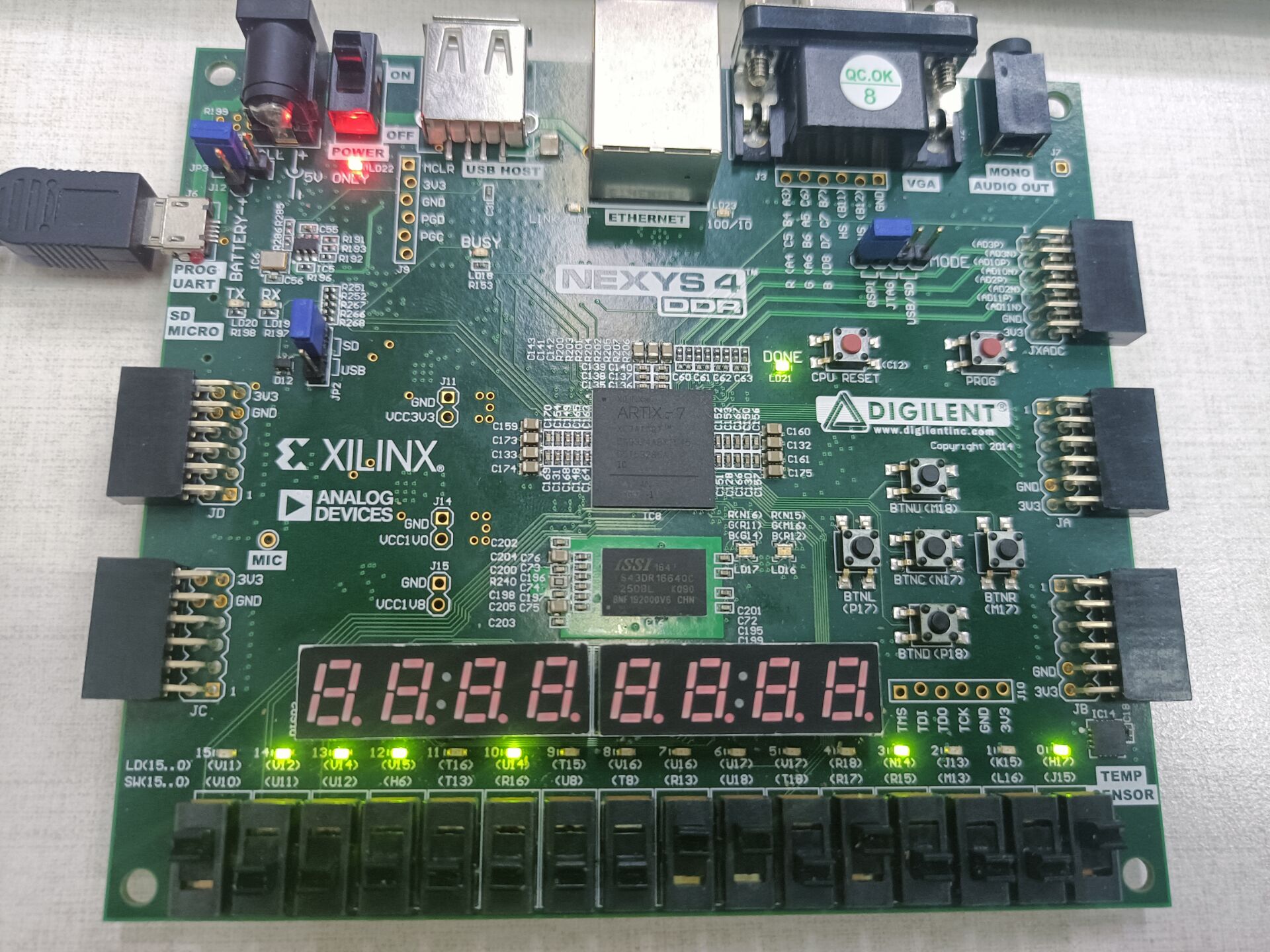


从运行结果看出，代码逻辑正确

**总的Top模块代码如下所示:**



1. **实验结果展示**



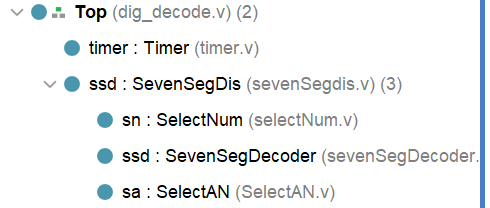
# 扩展实验

1. **实验任务**

数码管译码显示：由开关获取一个4位十六进制数并且将它展示到数码管上

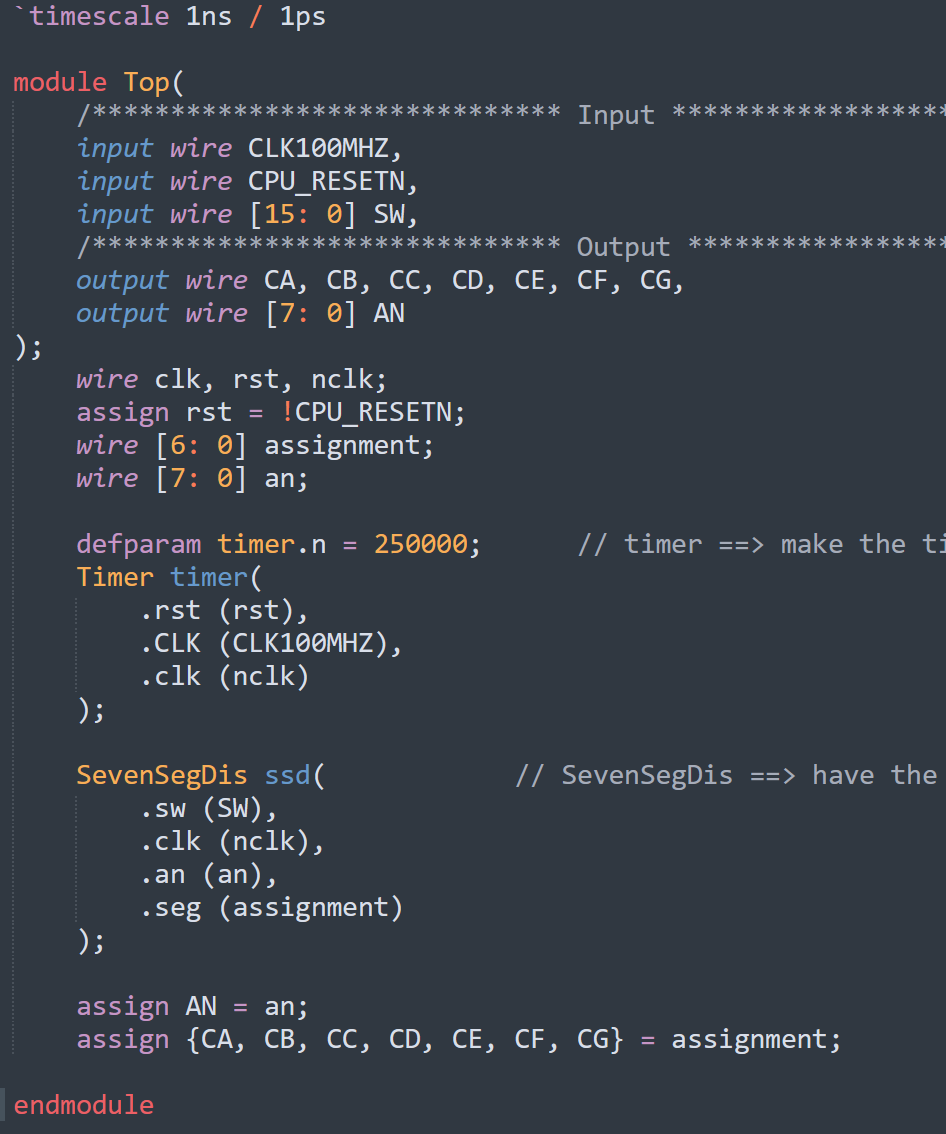
1. **实验代码**

实验模块的结果如下所示：

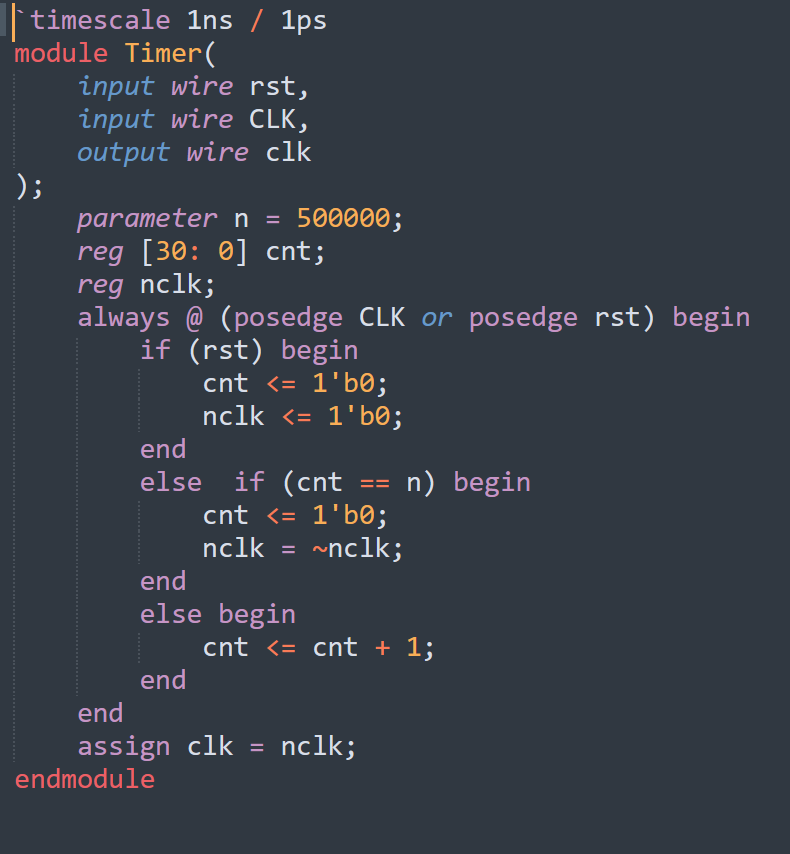


实验代码如下所示：

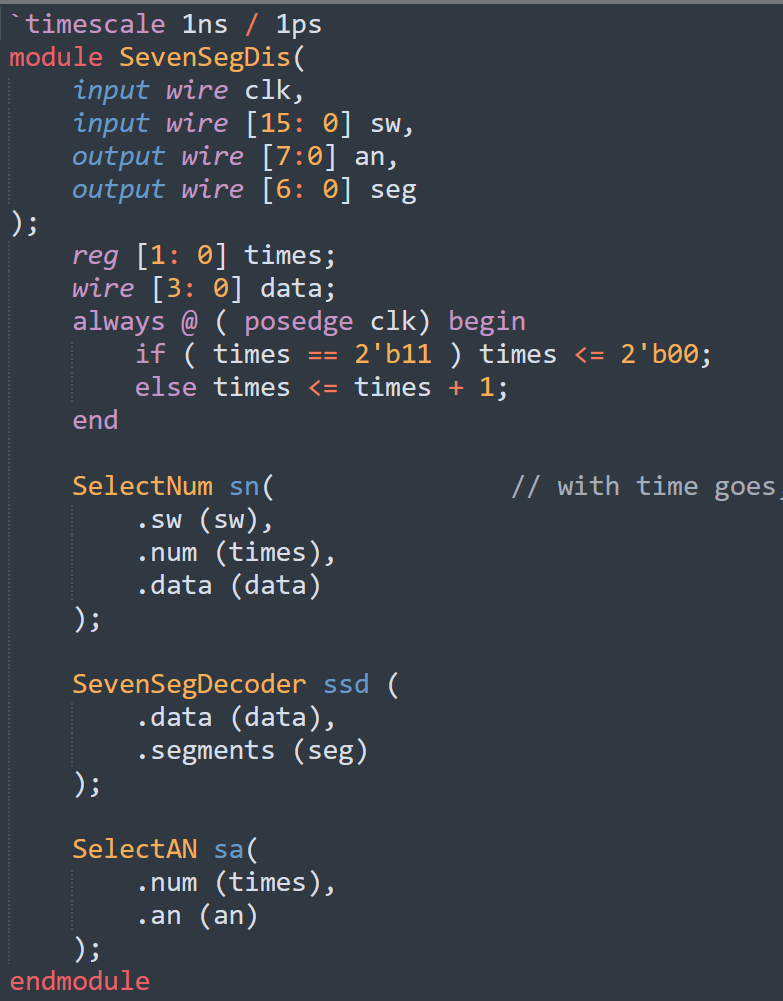
Top模块:



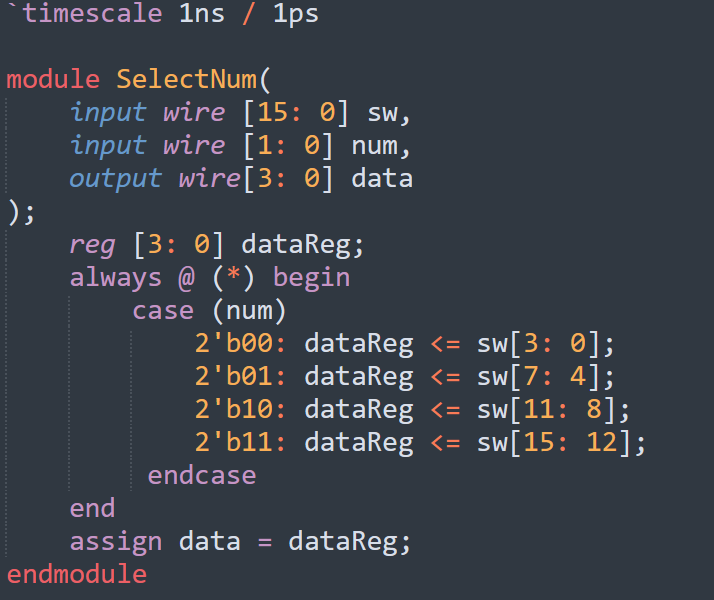
Timer模块代码:



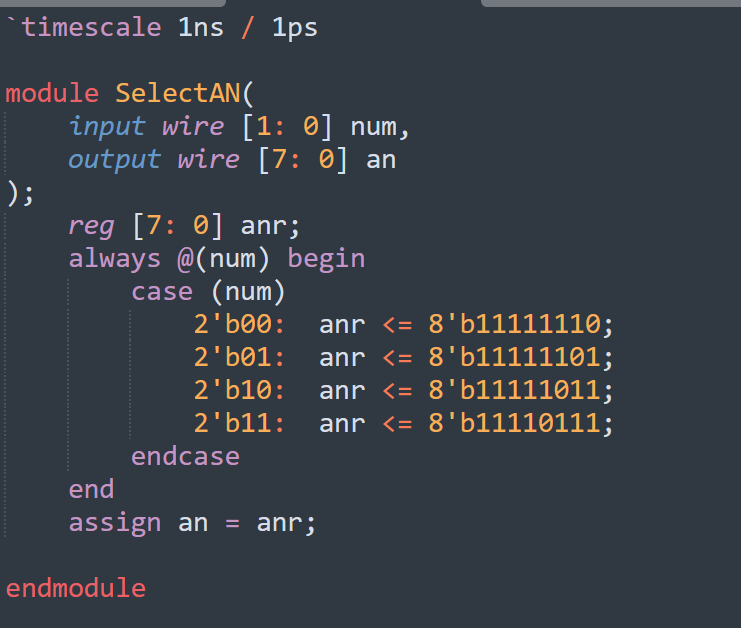
SevenSegdis模块：



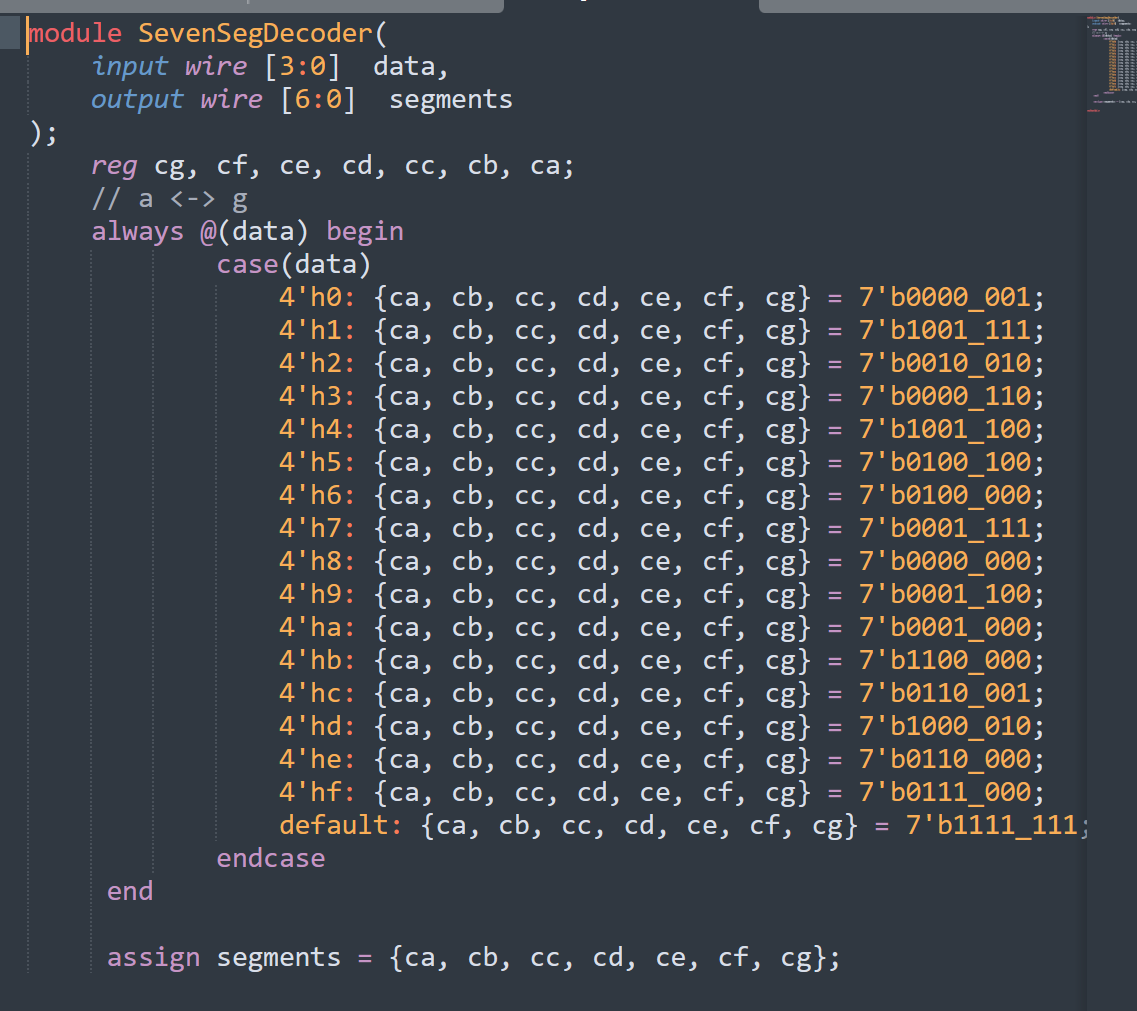
selectNum模块:



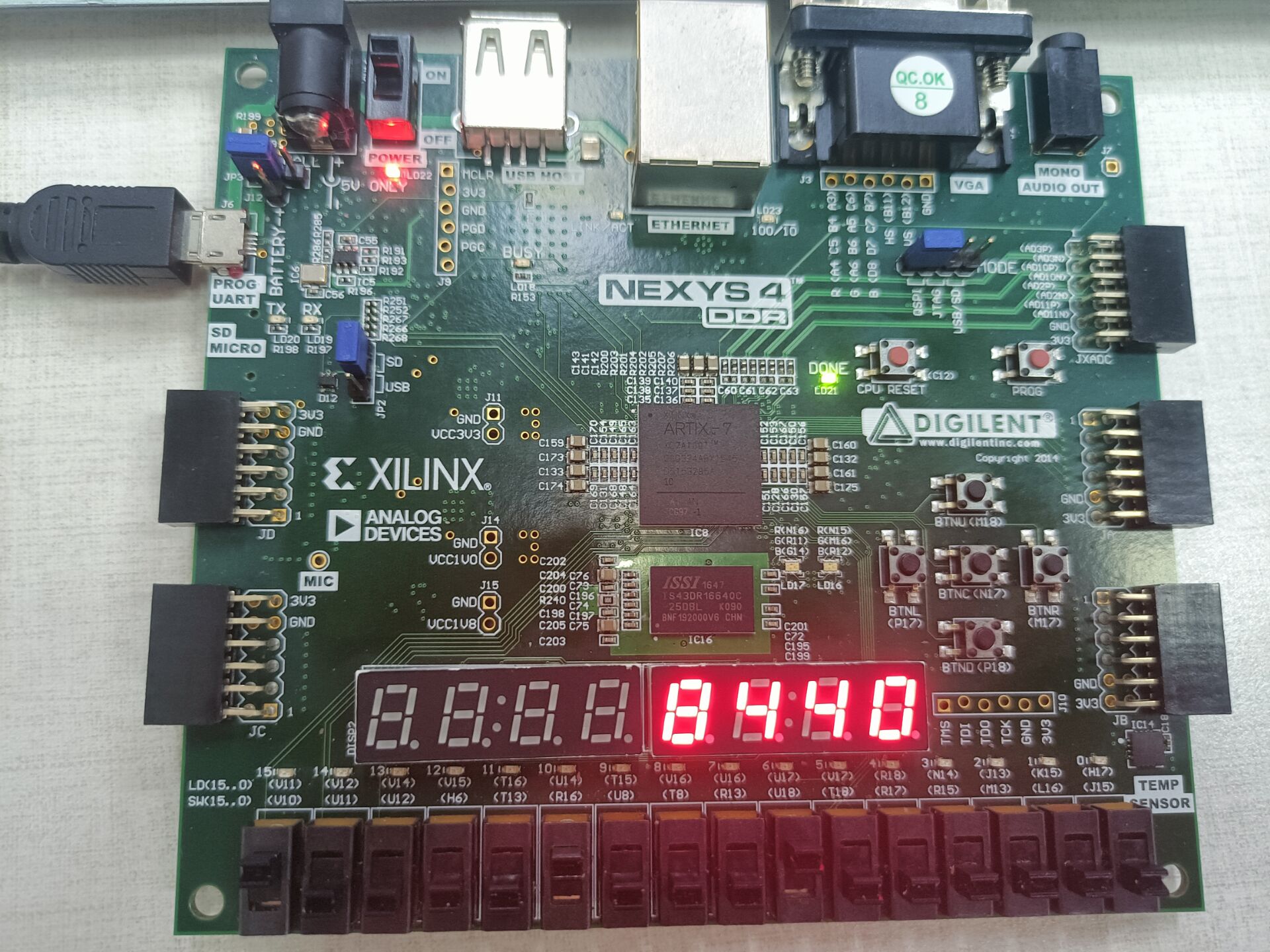
selectAN模块:



SevenSegDecoder模块：



1. **实验结果**



# 实验小结

通过本实验，我重新熟悉了verilog语言的编写方法，了解了一个新的编程软件——vivado软件。

在编程过程中，我走了一些弯路，但是整体上来看实现的还不错。