# 

# 电

# 子

# 线

# 路

# 实

# 验

# 报

# 告

# 学院：电子信息与通信学院

# 班级：提高2101班

# 姓名：杨筠松

# 学号：U202115980

**实验时间：2022年3月24日**

# 步进电机及数字钟

# 实验名称

步进电机及数字钟

# 实验目的

1. 掌握用verilog HDL描述数字逻辑电路与系统的方法;
2. 有限状态机概念;
3. 掌握用verilog HDL描述有限状态机的方法；
4. 掌握分层次电路设计方法;
5. 熟练掌握数字钟的设计与调试方法。

# 实验任务

1. 多功能数字钟设计

功能要求：

1. 使用组合逻辑 能显示小时、分钟、秒钟
2. 能调整小时、分钟的时间
3. 能够任意设定闹铃时间（只设定小时和分钟，闹铃会持续响一分钟）
4. 小时显示的12/24进制切换（并用LED指示AM和PM）
5. 报正点时数（从整点零分1秒开始，奇数秒点亮LED，偶数秒熄灭，几点钟LED闪烁几下，如果是12小时进制的显示情况下，需要按照24小时进制下面的计数进行报时，零点或者下午12点都需要报时24下，报时完毕LED熄灭）
6. 步进电机脉冲分配器

# 实验原理

（一） 状态图表示

1.利用parameter描述状态机中各个状态的名称，并指定状态编码。例如，对序列检测器的状态分配使用最简单的自然二进制码，其描述如下:parameter SO=2'b00,S1=2'b01,S2=2'b10,S3 = 2'b11;

2.用always块描述状态触发器实现状态存储。

3.使用敏感表和case语句(也可以采用if-else等价语句)描述的状态转换逻辑。

4.描述状态机的输出逻辑。

（二）脉冲分配器设计步骤

1.新建一个工程项目。

2.使用Verilog HDL设计电路，并进行仿真分析。

3.用FPGA开发板实现步进电机脉冲分配器，并实际测试逻辑功能。(A、B、C用发光二极管代替)。

4.根据实验流程和实验结果，写出实验总结报告，并对波形图和实验现象进行说明。

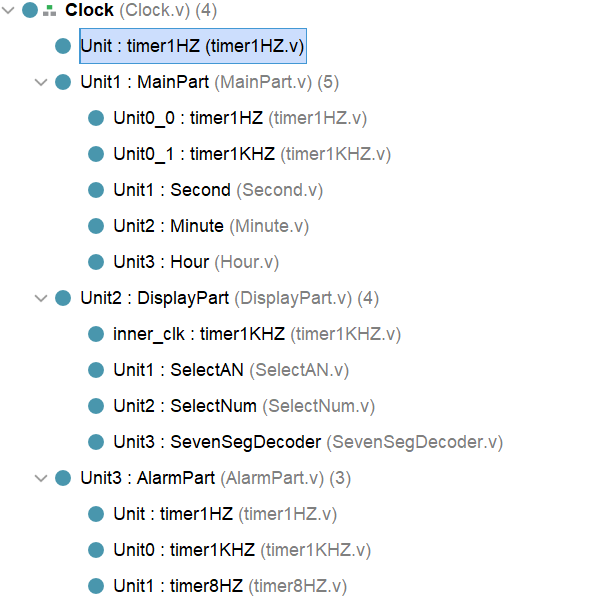
（三）自顶而下的设计方法

先设计顶层总框图,该框图由若干个具有特定功能的源模块组成。下一步针对这些具有不同功能的模块进行设计,对于有些功能复杂的模块,还可以将该模块继续化分为若干个功能子模块，这样就形成模块套模块的层次化设计方法。

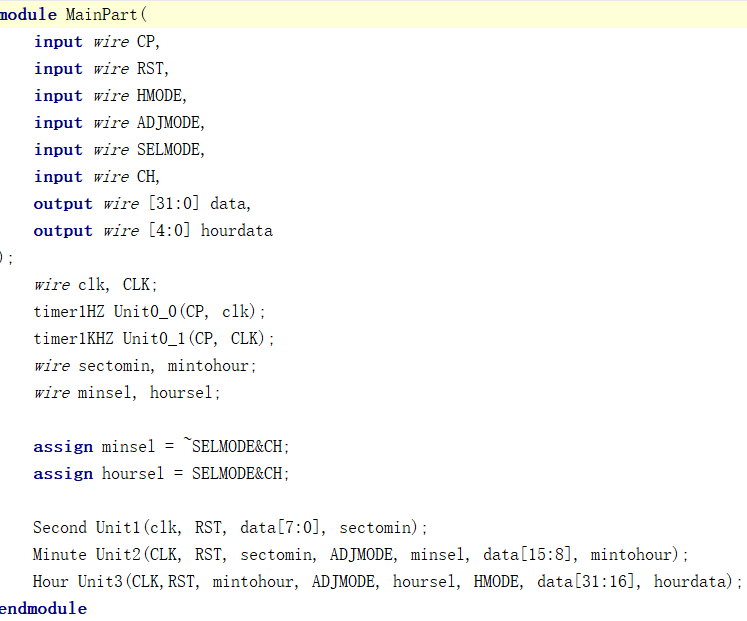
# 实验代码及结果展示

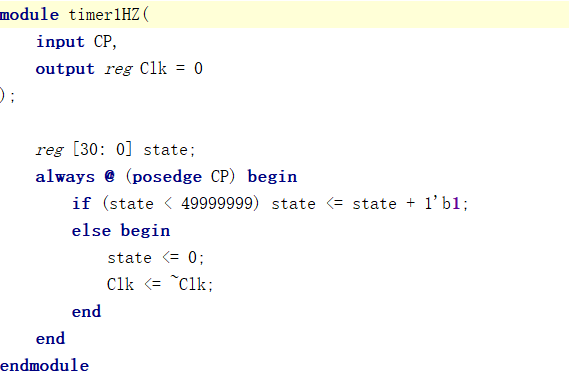
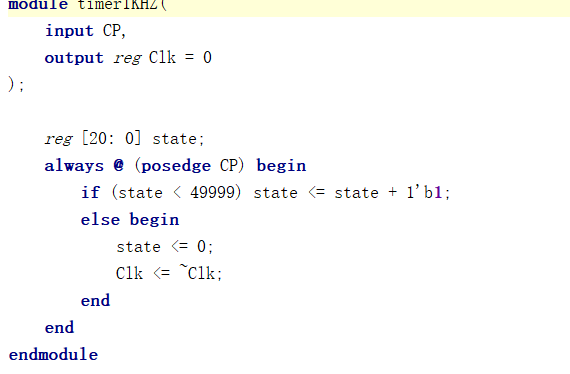
**（一）多功能数字钟设计**

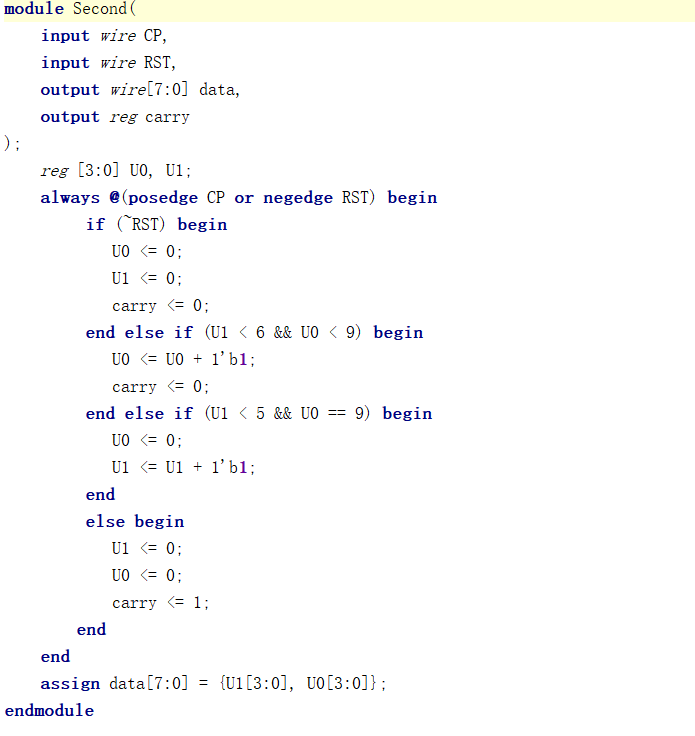
代码模块化架构如下图所示：

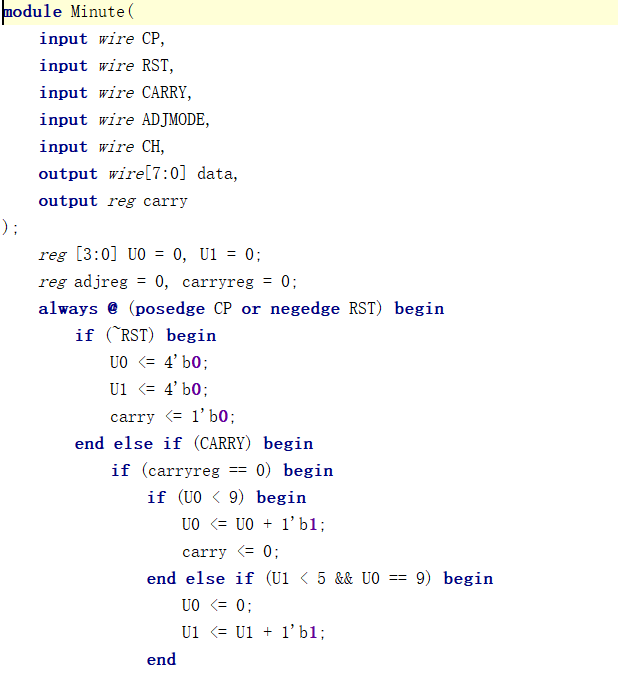
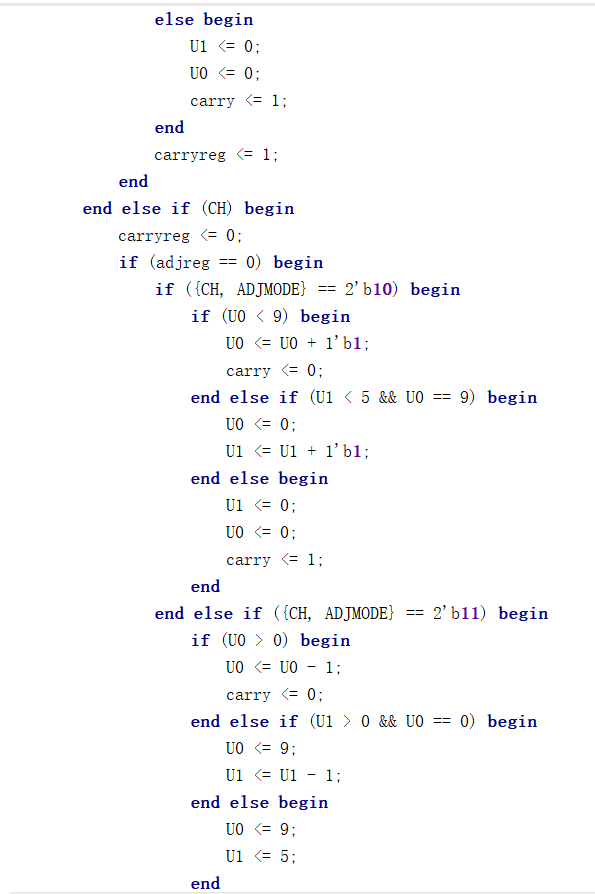


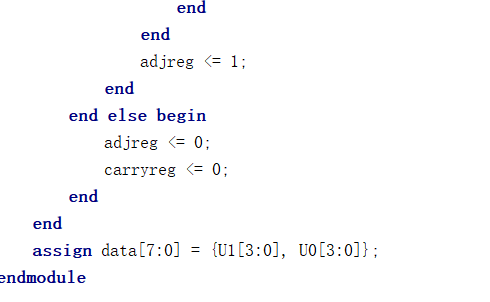
以此架构主要是将总的模块分成了三个小的模块，时钟主体模块MainPart, 展示模块DisplayPart 和 闹钟模块AlarmPart，三个模块各自独立不相互干扰，当MainPart模块产生了数据需要展示时，交给DisplayPart进行展示，同时传输副本给AlarmPart来完成闹钟的报时，具体各模块代码如下所示:

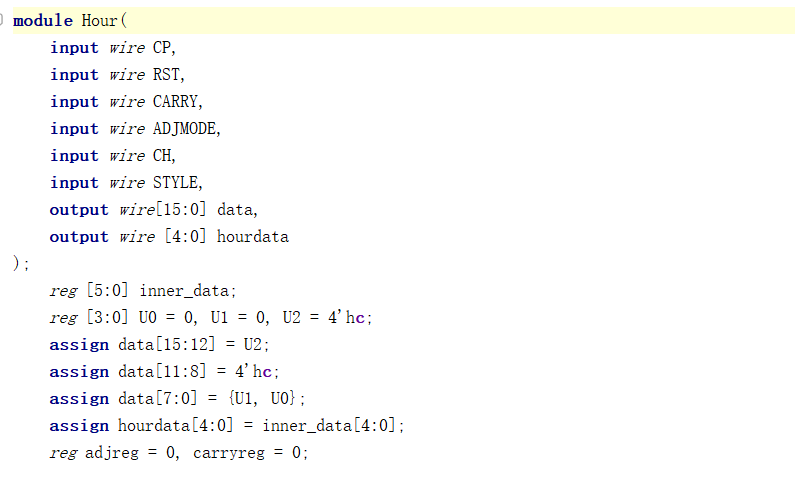


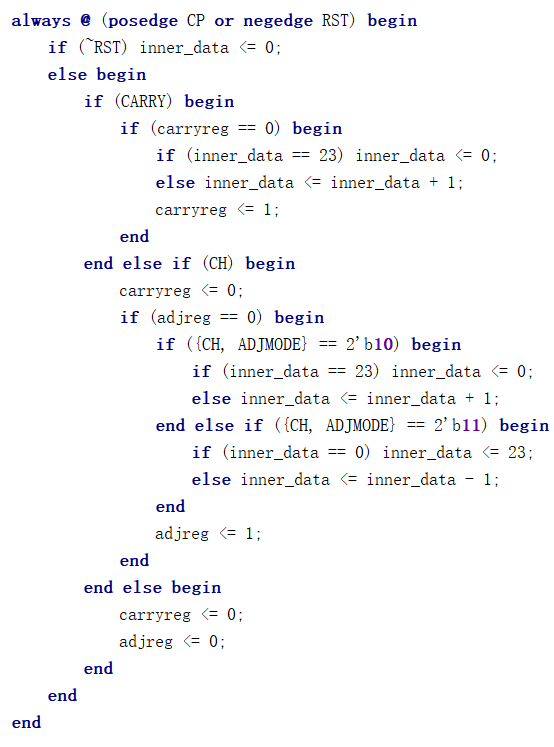
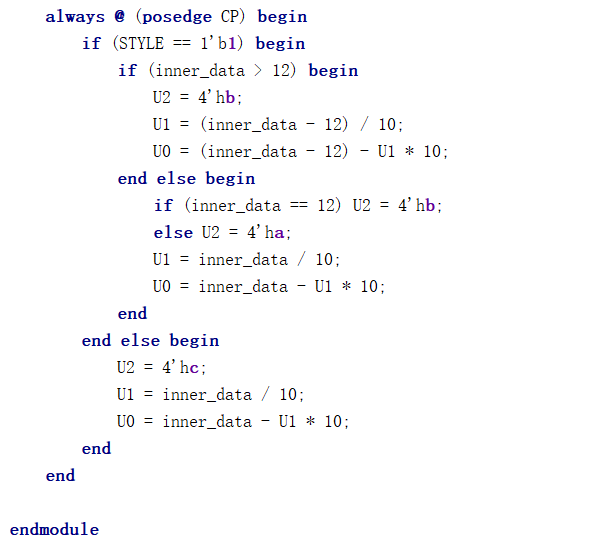


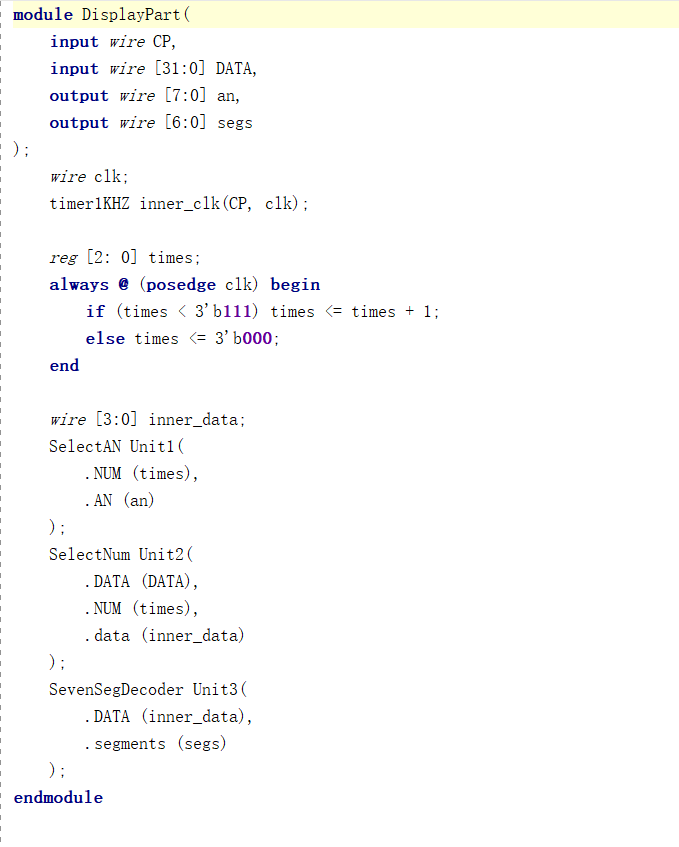


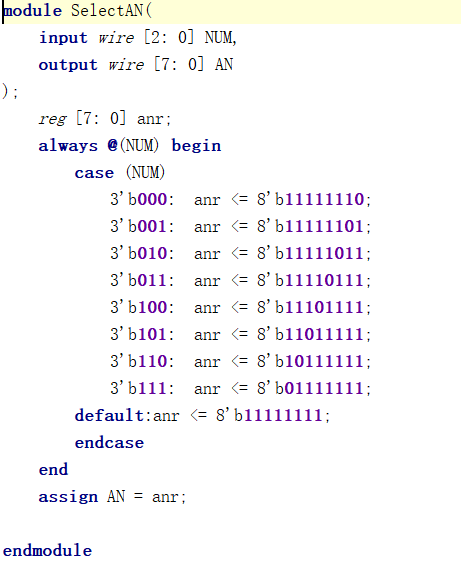
 

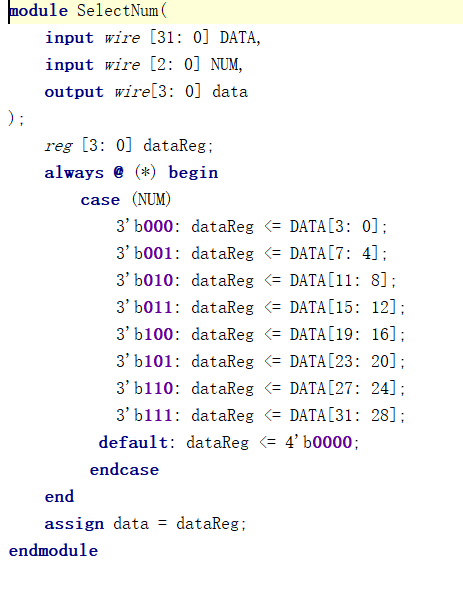


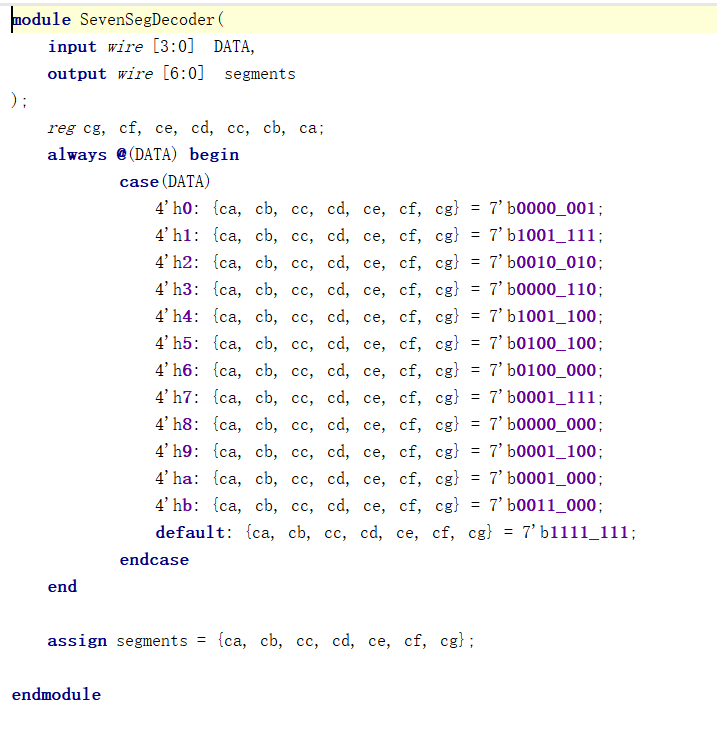


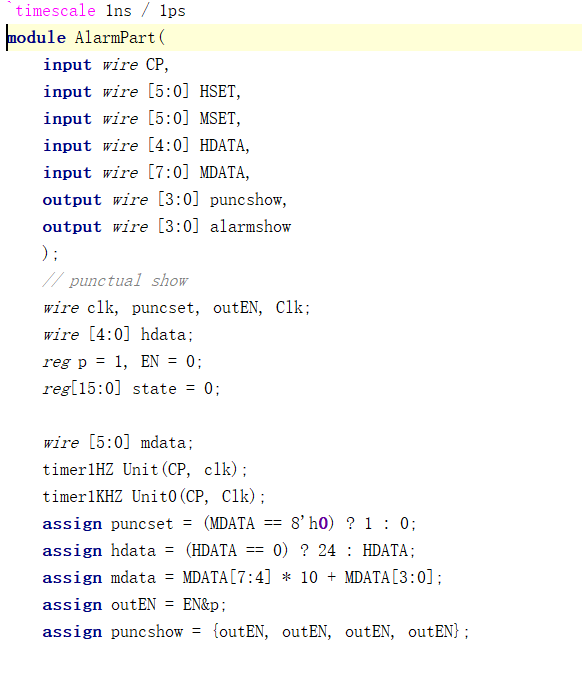
 

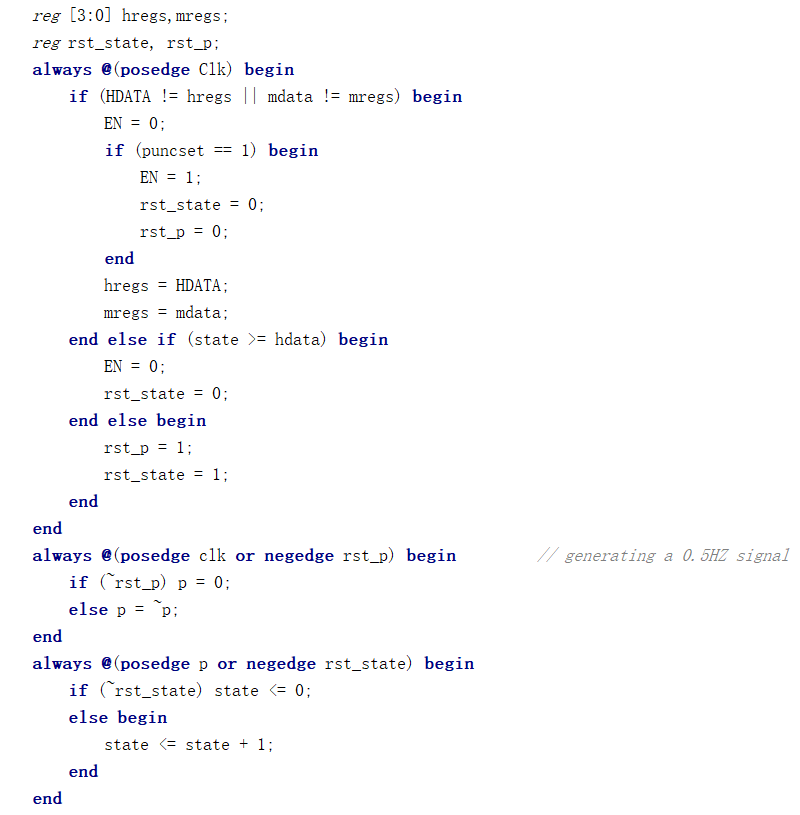


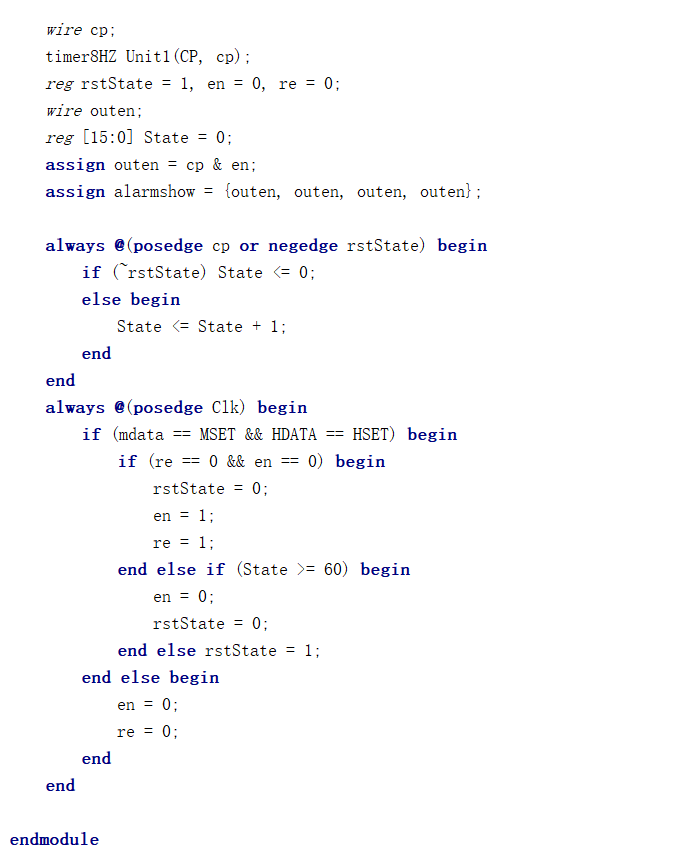




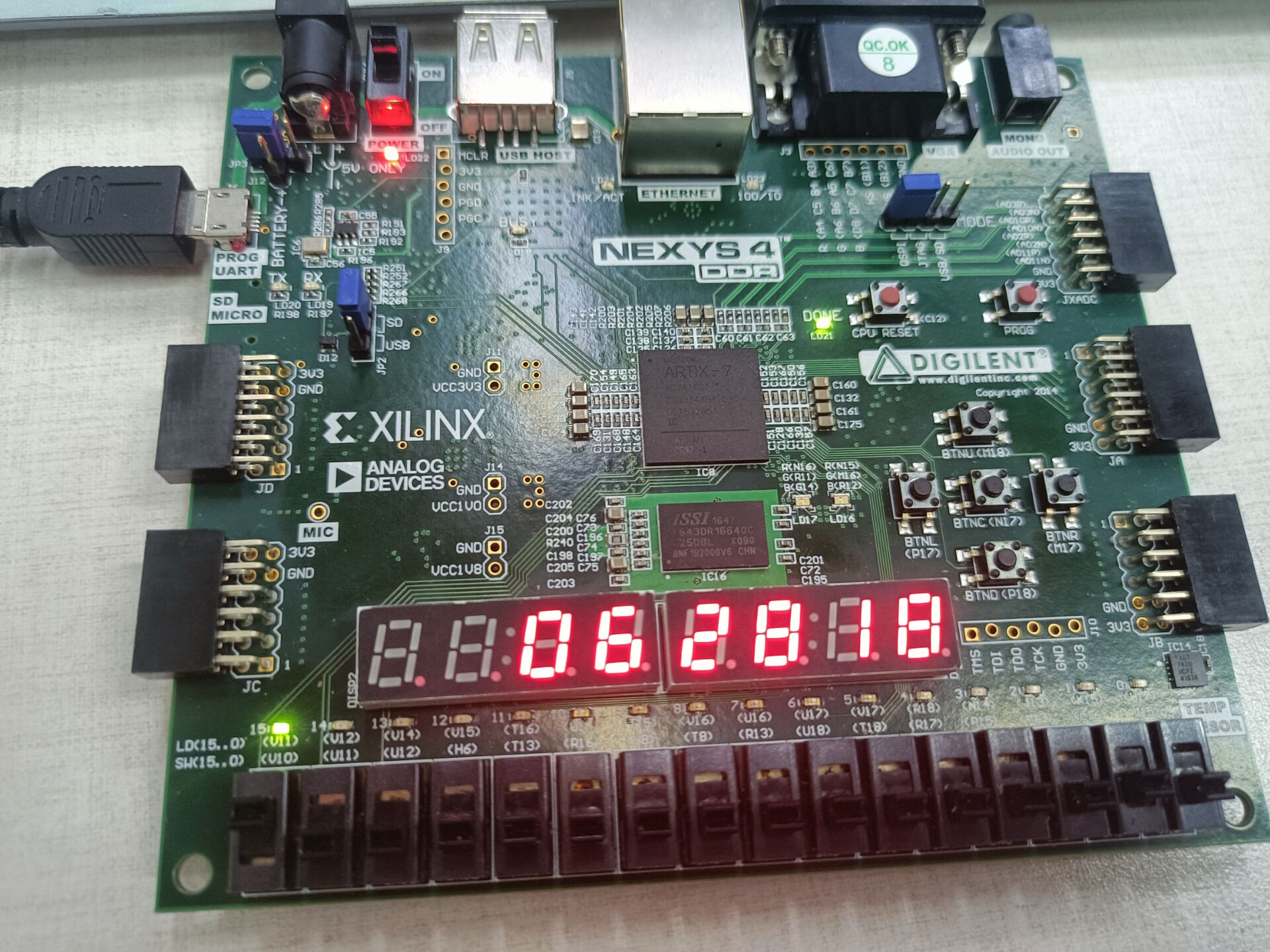






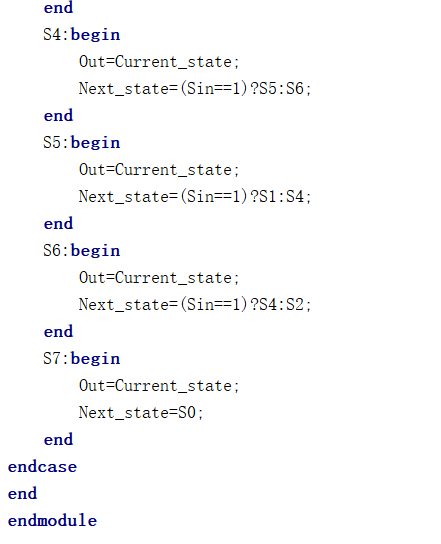
\

最终结果如下图展示:



**（二）步进电机脉冲分配器**





# 实验小结

通过本实验，我切身体验到了数字电路设计的难度，不过也正是通过实验，我深刻学习到了vivado等软件的使用方法，体会到了数字电路软件设计方法，获得一些常见错误和重点的掌握。为学习后面的课程打下了坚实的基础