

DSP Project 驗收事項

1. 驗收方式：現場驗收加書面報告
2. 現場驗收(主要)：
 - 時間：2022/08/10 上午 10:00-12:00
 - 地點：電二實驗室 251 (記得帶 DSP)
 - 方式：分成兩梯次(3 人/2 人組)，順序抽籤決定，由老師與嘉洲學長、學儒學長直接現場要求各位同學上機操作與向同學提問。
3. 書面報告：
 - 請準備 PPT 或 word 檔案，簡單呈現出以下要求的波形並簡述遇到的問題與解決方案(如果有)。

基本題：請使用 DSP 的 CLA 模組實作 Buck converter model 實時運算使用 DAC 模組輸出 v_o 及 i_L 觀察其波形，規格同之前公布題目：

- (a) Startup 波形
- (b) 線上改變(watch window)虛擬負載 R_L ，觀察 DAC 輸出之 v_o 暫態
(Load 25%跳 100%及 Load 100%跳 25%)
- (c) 線上改變(watch window)輸入 v_{in} ，觀察 DAC 輸出之 v_o 暫態。
(24V 跳 28V 及 24V 跳 20V)

進階題 1：使用 ADC 模組讀取訊號產生器產生之下列指定之直流 v_{in} 訊號對應 Buck model 輸入電壓，改變輸入觀察即時 v_o 輸出響應。

ADC 模組讀取直流 v_{in} 訊號	Buck model 輸入電壓
2.0V	20V
2.5V	24V
3.0V	28V

進階題 2：應用 eCAP 抓取一特定 duty 之外部 pwm 訊號用以調整 Buck model 之 duty，實現即時改變輸出 v_o 大小。(duty = 0.2, 0.5, 0.95)

進階題 3：設計一 PI(D)控制器並在 DSP 上實現讓 Buck model 之輸出 v_o 輸出達成良好的響應，與開迴路（基本題(a)(b)(c)）波形比較。

2022 Summer Training DSP Project

Reference example: cla_matrix_mpy_cpu01, ecap_capture_pwm_cpu01

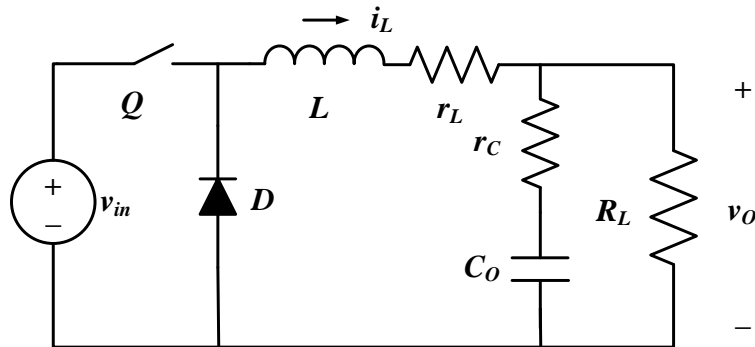


Fig. 1 Circuit diagram

基本題：請使用 DSP 的 CLA 模組實作 Buck converter model 實時運算（不限數值方法，離散時間間隔 $t_d = 2\text{E-}6$ 秒），Buck converter 規格如表 1，大訊號模型如表 2，並使用 DAC 模組輸出 v_o 及 i_L 觀察其波形：

- (a) Startup 波形(圖 2 與 3)
- (b) 線上改變(watch window)虛擬負載 R_L ，觀察 DAC 輸出之 v_o 暫態
(Load 25%跳 100%及 Load 100%跳 25%)
- (c) 線上改變(watch window)輸入 v_{in} ，觀察 DAC 輸出之 v_o 暫態。

Hint: Buck converter model 未包含二極體與開關動態，故此需額外處理不讓 i_L 電流回灌(即 $i_L < 0$ 情況)。

進階題 1：使用 ADC 模組讀取訊號產生器產生之一直流 v_{in} 訊號 0-3V 對應 Buck model 輸入電壓 0-24V，改變輸入觀察即時 v_o 輸出響應。

進階題 2：應用 eCAP 抓取一外部 pwm 訊號，量測其 duty 並用以調整 Buck model 之 duty，實現即時改變輸出 v_o 大小。

進階題 3：設計一閉迴路控制器並在 DSP 上實現讓 Buck model 之輸出 v_o 輸出達成良好的響應（不限補償器或控制方法），與開迴路（基本題(a)(b)(c)）波形比較。

完整系統如圖 3 所示，若使用閉迴路控制，請將 eCAP 調整 duty 功能拿掉。

Table 1 Circuit SPECS	
Item	Parameter
Switch (Q)	Ideal switch
Diode (D)	Ideal diode
Inductor (L)	100 μ H
Output capacitor (C_o)	100 μ F
ESR of the inductor (r_L)	10m Ω
ESR of the output capacitor (r_C)	1m Ω
Switching frequency (f_s)	100kHz
Input voltage (V_{in})	24V
Output voltage (V_o)	5V
Rated output power (P_o)	20W

Table 2 Large-signal model of the CCM buck converter
Q is on.
$\frac{di_L}{dt} = \frac{1}{L} \left[- \left(r_L + \frac{R_L r_C}{R_L + r_C} \right) i_L - \left(\frac{R_L}{R_L + r_C} \right) v_C + v_{in} \right]$ $\frac{dv_C}{dt} = \frac{1}{C} \left[\left(\frac{R_L}{R_L + r_C} \right) i_L - \left(\frac{1}{R_L + r_C} \right) v_C \right]$ $v_o = \left(\frac{R_L r_C}{R_L + r_C} \right) i_L + \left(\frac{R_L}{R_L + r_C} \right) v_C$
Q is off.
$\frac{di_L}{dt} = \frac{1}{L} \left[- \left(r_L + \frac{R_L r_C}{R_L + r_C} \right) i_L - \left(\frac{R_L}{R_L + r_C} \right) v_C \right]$ $\frac{dv_C}{dt} = \frac{1}{C} \left[\left(\frac{R_L}{R_L + r_C} \right) i_L - \left(\frac{1}{R_L + r_C} \right) v_C \right]$ $v_o = \left(\frac{R_L r_C}{R_L + r_C} \right) i_L + \left(\frac{R_L}{R_L + r_C} \right) v_C$

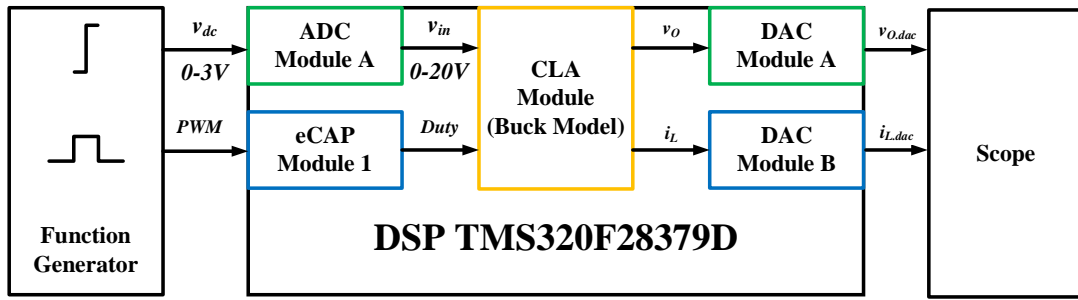


Fig. 2 DSP function block diagram

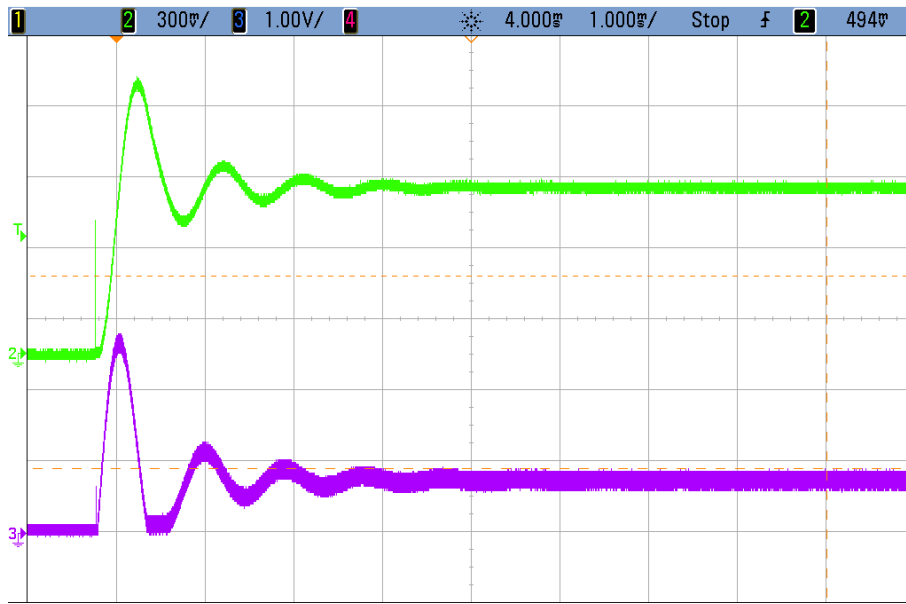


Fig. 3 Startup 波形 綠色 v_o 紫色 i_L

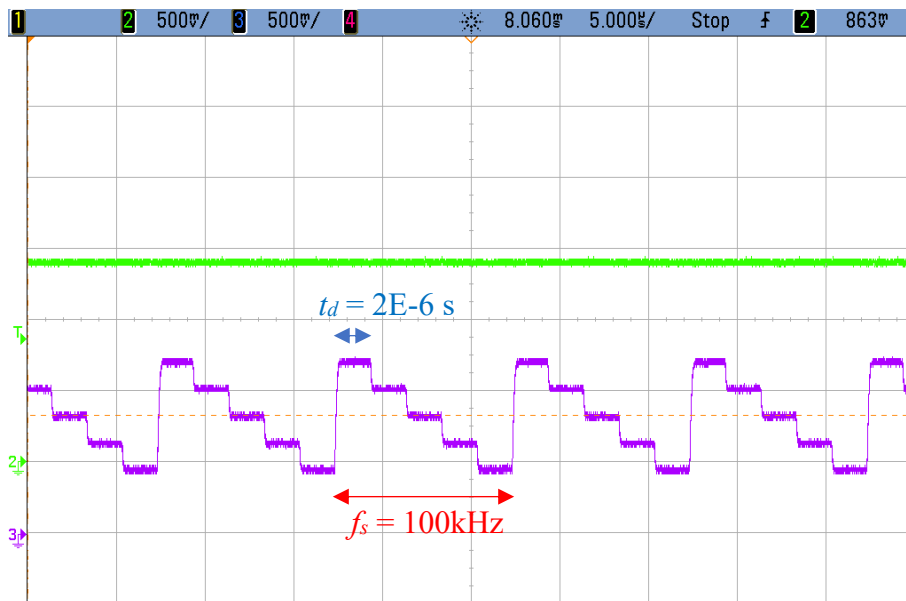


Fig. 4 穩態波形 綠色 v_o 紫色 i_L

