数字逻辑基础课程总结

Robin\_WZQ 2021/5/16

1 数字系统与信息

1. 信息表示

模拟信号、数字信号、正逻辑、负逻辑

输入电压范围比电压范围大，为保证电路在发生变化和干扰的情况下仍能正常工作，0.6~1.1V（高）0.4~-0.1（低）

TRUE和1表示高电平——>正逻辑

1. 计算机系统设计的抽象层次

现代计算机系统典型的抽象层次、“自顶向下”的设计方法

CPU=控制单元+数据通路，程序和数据都存储在存储器中

存储器+CPU+输入/输出

抽象的一个重要特点是修改底层抽象不需要修改他的上层

数字设计过程：功能描述、形式化、优化、工艺映射、验证

1. 数制与算数运算

二进制、八进制、十进制、十六进制表示以及进制转换

十进制整数转二进制：除二取余法

十进制小数转二进制：乘二取整法（与原位数保持一致）

二进制转其他进制，注意从小数点向左右取位数，不足补0

1. 编码

二-十进制编码（BCD 码 ），ASCII 编码（128个字符）、奇偶校验码、格雷码

偶校验：偶个1，为0；

奇校验：奇个1，为0

奇偶校验码仅能发现错误

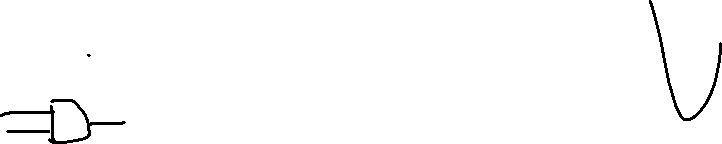
格雷码：只有1个位不同，前2/n个二进制编码设最高位为0，往右各位由与左边相邻的偶校验组成；剩余逆序排列，并将最高位置成1

2 布尔代数

1. 布尔代数基础：

逻辑关系，逻辑基本表达式、逻辑函数表达式

逻辑运算、真值表、逻辑门



与门：



或门：



异或：



1. 布尔代数公理

布尔恒等式、对偶原则（不改变相反符号）、交换律、结合律、分配律、德摩根律

1. 标准形式

最小项、最大项、标准最小项之和、标准最大项之积

最小项：乘积、最少的1！！！

1. 布尔函数化简

文字成本：用了多少不同的字母

门输入成本（不考虑反相器）：全部文字数（可重复）+除单个文字外全部项数，如：ABCD+AB+CD=8+3=11

卡诺图化简、蕴含项、主蕴含项、质主蕴含项

注意用的是格雷码，最少矩形、最大矩形，减少主蕴含项的重叠，同时存在不用到的项！！

3 组合逻辑电路分析与设计

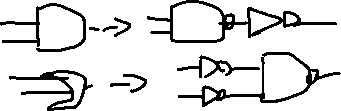
1. 设计过程
2. 规范化
3. 形式化：用真值表表示
4. 优化：

1）两级优化：将真值表转换成卡诺图，并进行卡诺图优化；

2）多级优化：提取公因子，共享电路；

3）电路门输入成本计算

1. 工艺映射：
2. 映射到与非门



1. 映射到或非门



3）映射四步骤：映射、消除反相器对、推出扇出点、消除

1. 验证：手工验证、测试用例
2. 组合逻辑功能模块
3. 组合功能模块

在电路中经常使用的公共模块

按集成度不同分为4种

频率越高，能耗越低

1. 基本逻辑函数：

单变量函数（定值、传递、取反==0，1，X，\bar{X}）可以在输入处当作功能模块、多位函数（斜杠）1位函数向量，粗线代表总线，其是一个向量信号、使能函数（EN）

1. 译码和译码器：

译码定义：n位输入转m位输出（n<m）

译码器结构：



译码器展开：展开至1-2译码器，需要2^n个与门，将n展开就可以了



带有使能的译码器：当使能为0，所有输出为0！也可以称为多路复用器

1. 基于译码器的组合电路：将最小项或起来
2. 编码和编码器：

编码定义：2^n个输入——>n个输出

编码器设计：任何时候只允许一个输入是活动的

优先编码器设计(从真值表中直接观察乘积项)

1. 多路复用器：

多路复用器定义：从多条输入中选择一个输入，并将信息直接传输到输出。选择是计算机系统中的关键模块，一组待选择数据+一组选择信号+1个输出

多路复用器结构：将译码器的输出当作使能，最后或起来。2^n-1: n-2^n译码器+2^n使能函数+2^n输入或门

位宽展开：

1. 基于复用器的组合电路: 两种方法 注意高低位的问题

1）见表

2）见表

1. 算法功能模块
2. 迭代组合电路：迭代阵列，如果设计从真值表出发，写出整个电路的输出表达式使不可能的
3. 二进制加法器：

半加器：S=XY异或，C=XY

全加器：S=XYZ异或，C=XY+（XY异或）Z，两个半加器+一个或门

行波进位加法器、加法器应用

1. 二进制减法器，递增器（见表）

4 时序逻辑电路分析与设计

1. 引言：时序电路结构（当前状态，存储原件，下一个状态，输出），时序电路类（同步电路是异步电路的特例）

若将时钟看作一个输入，则所有电路异步

4.1存储单元

4.1.1状态存储：电路延时

4.1.2锁存器： （了解逻辑行为）

S-R 锁存器： 11是未定义状态，交叉耦合的或非门

~S-~R 锁存器：00是未定义状态，与非门

时钟 S-R 锁存器：C=0时Q不变化，C=1时SR锁存器

D 锁存器是 时钟SR+反相器，逻辑行为：SR永远不会取1，带有使能信号，且时透明的

1. **存储单元**
2. **状态存储：电路延时**

电路任意时刻的稳态输出，存储元件（存储二进制信息）+组合电路

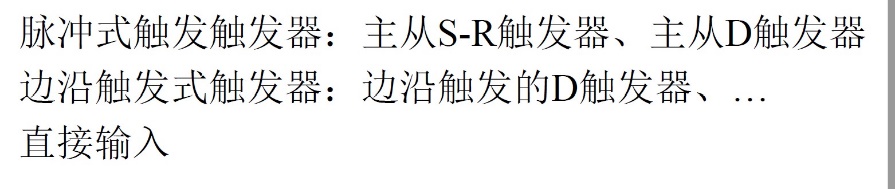
缓冲器：只在tg时间内信息被有效保存

存储器：信息无法被修改

同步时序电路：由时钟统一控制，只会发生在边沿，触发器是基本存储单元

异步时序电路：任意时刻发生改变，锁存器是基本存储单元

1. **锁存器： S-R 锁存器、~S-~R 锁存器、时钟 S-R 锁存器、D 锁存器逻辑行为**
2. **触发器：锁存器问题（毛刺，存在不稳定行为）、主从触发器、主从触发器问题、边沿触发器、直接输入**（独立于时钟，异步输入）



触发器关键在于消除了锁存器的透明性

脉冲式触发器靠电平的高低，边沿靠电平的变化

主从式优点：减少毛刺，D驱动Y的行为得到减少

主从式缺点：触发器输出被脉冲宽度延迟，使整个电路变慢；C=1时的1嵌位问题

边沿式触发器将SR主锁存器换为了D锁存器，有效解决了延迟问题，解决了1嵌位问题

正边沿：0——>1，正边沿输入被看作是标准触发

1. **标准符号：识别（识别电路图，标准图形符号）**
2. **时序电路分析**
3. **方程：从电路图观察方程**

这里要注意锁存器这里没有状态的转换，观察状态函数和输出函数

1. **状态表：一维/二维状态表**

分清二者区别，一维（当前状态+输入+下一状态+输出），二维（当前状态+下一状态+输出）

1. **状态图**：

**状态图**：moore型，输出（不是下一状态）仅仅是状态的函数，output/state，对应一维状态表

Mealy型，输出是输入和当前状态的函数

大型电路状态图容易混淆，小型电路状态图比状态表更容易看懂

**状态图状态表互相转换**

**等价状态：**

**定义**：对每个输入产生相同输出，且下一状态是一致的

**识别**：同上

**合并**：这里一定要谨慎，别漏画

1. **输出类型：**

**状态图区别**： moore输出比mealy慢一拍

Moore是先转移再输出

**状态表区别**：二维状态表上的输出有输入条件，一维没有这个限制

**混合：**实际应用会用到

**相互转换：**

Moore到Mealy：将输出状态改为弧上输出即可

Mealy到Moore：

当前状态弧上输出一致，直接修改

输出不一致，增加状态，不同输入弧相同输出弧

1. **时序电路设计**
2. **规范化：描述**
3. **形式化**

根据需求画出状态图和状态表

**状态含义**，Moore is more

1. **状态分配**：给状态分配唯一二进制码

M个状态至少需要log2m取下限个

至多存在2^n-m个未使用状态

计数赋值（00）（01）（10）

格雷码赋值（00）（01）（11）

单热点赋值（0001）（0010）

1. **优化：**

确定输入方程，输出函数，对方程优化

计数赋值（需要交换状态表后两行）和格雷码赋值（不需要交换后两行）的卡诺图优化

单热点赋值（4个D触发器）观察方法，最小项之和

1. **工艺映射：**将方程映射到触发器和门工艺
2. **验证：**

**手工验证：**对于小电路可加载各种状态与输入组合

**模拟验证：**输入能够检验所有状态和输入组合的序列，越短越优

1. **例子**：结合需求进行时序电路设计