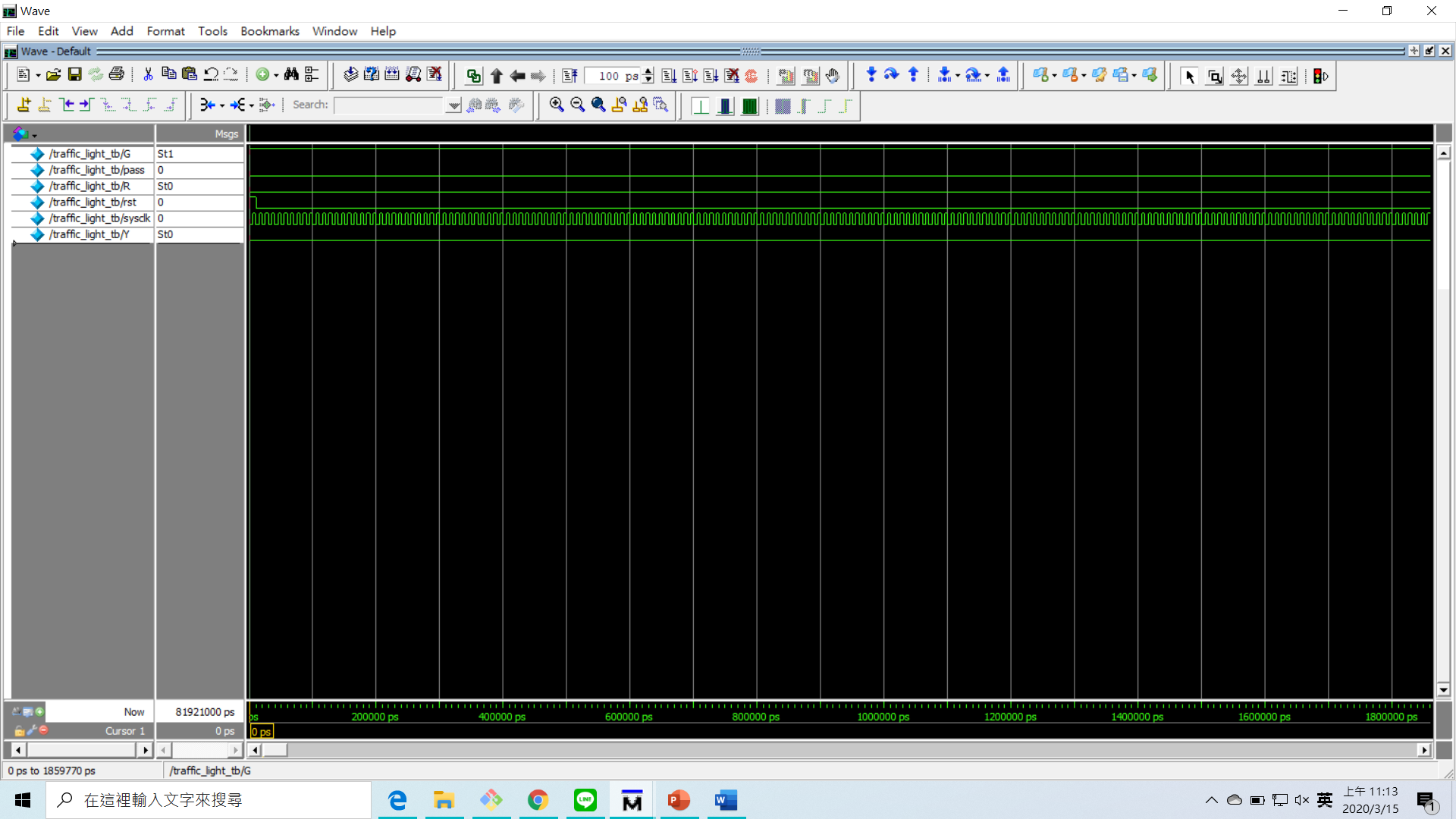
**Computer Organization 2019**

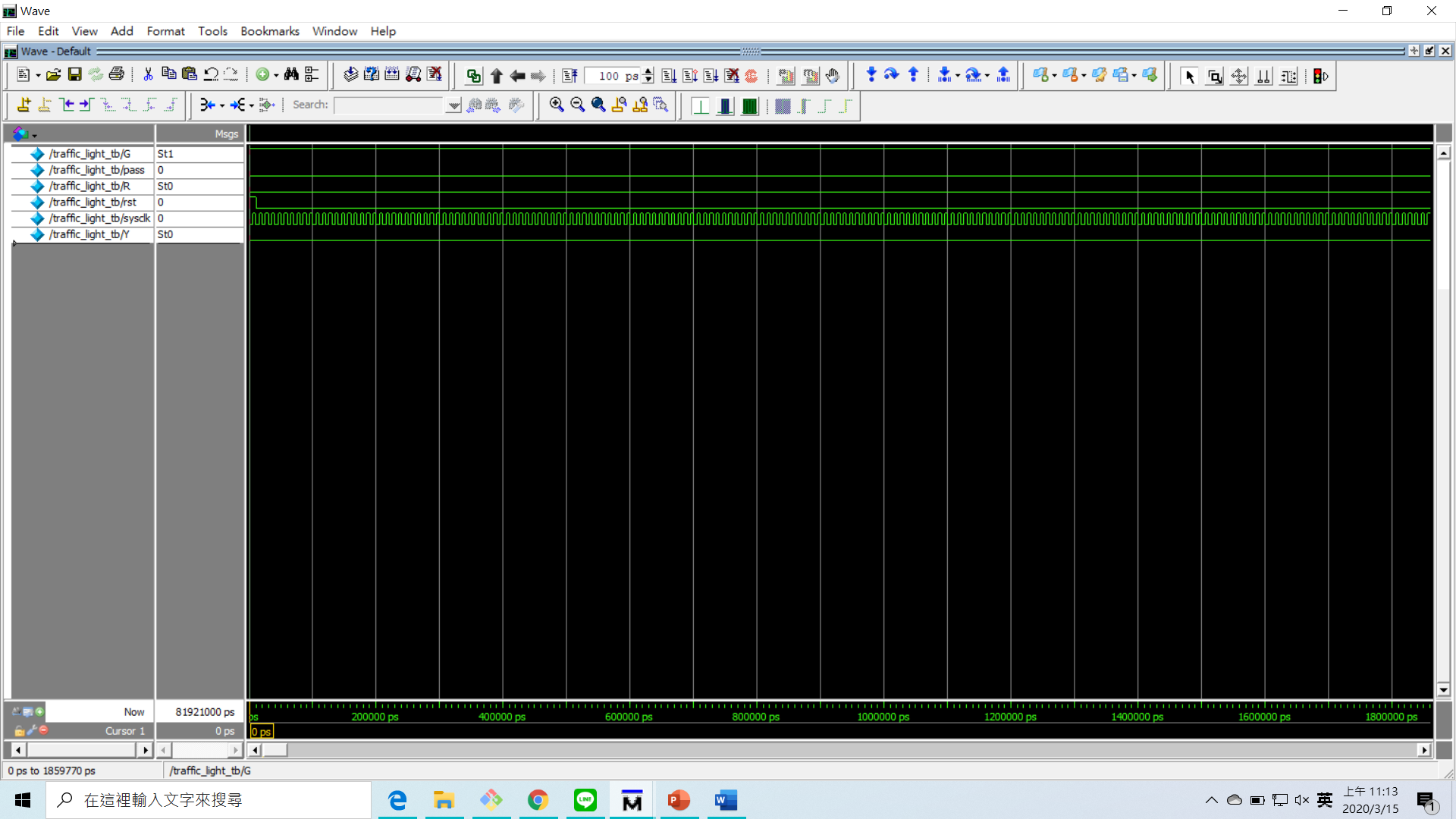
**HOMEWORK 1**

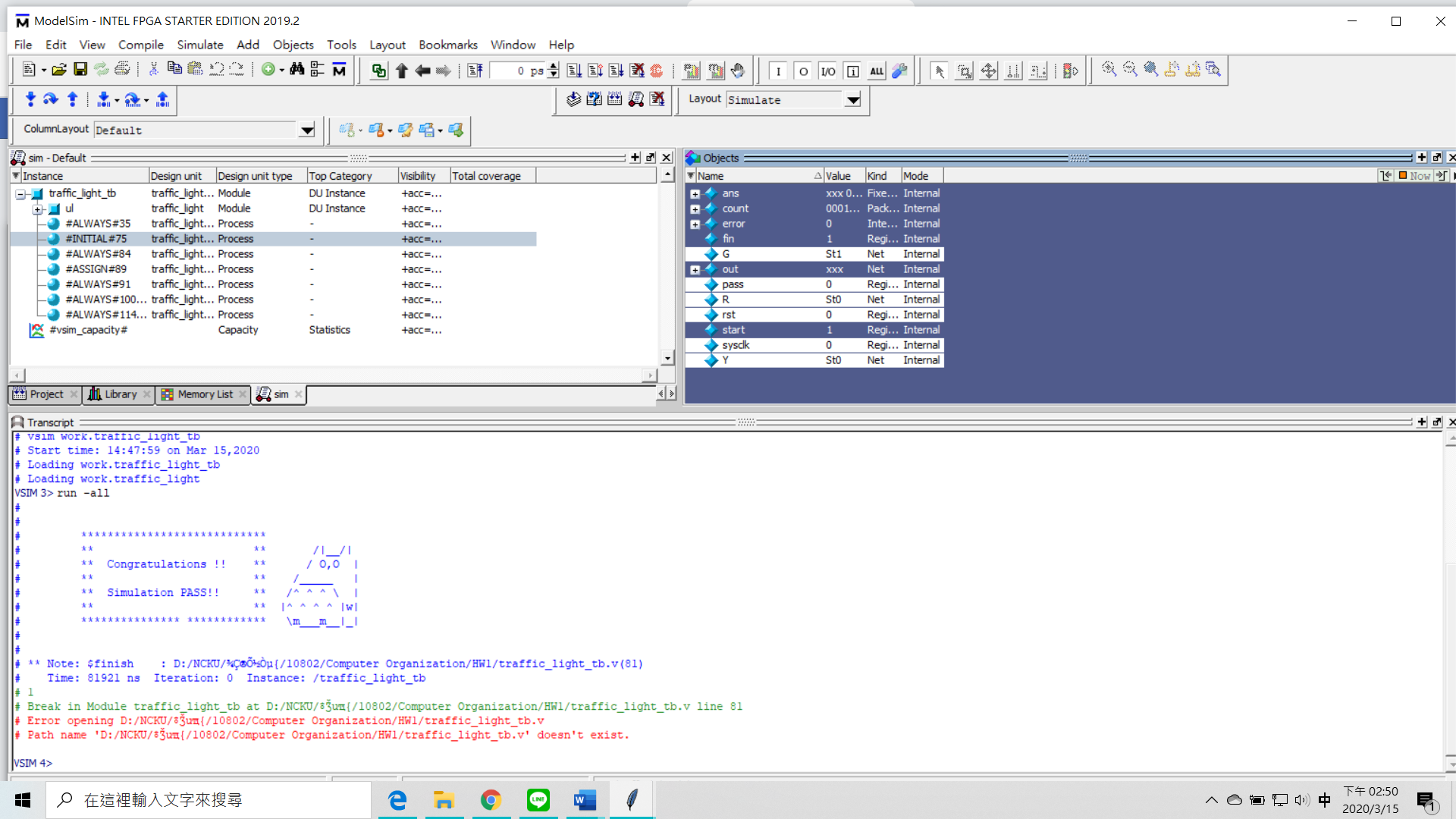
系級: 資訊111 學號: F74071140 姓名: 謝育萱

**實驗結果圖:**

(波形圖及模擬完成截圖)







**程式運作流程:**

當clk為正緣(變成1的瞬間)時，會開始使G Y R三個output作條件式變化、與此同時，若pass為1且判斷G不為初始狀態，則G變為1、Y R變0；當rst為正緣時，G直接變1、R Y直接為0。

**心得**

(請寫下完成本次作業的心得、學到哪些東西、困難點的部分。)

我寫了兩種版本，一種是單純判斷cycle數使G R Y做變化、另一種是根據不同狀態去做變化，跟同學討論後，覺得應該是又者比較符合Vetilog的用意，讓Modelsim自己去判斷不同狀態下的線路變化。

BTW我覺得Modelsim超不聽話，我的code不管怎樣就是跑不出來，在別人的電腦裡一跑就出來了，超氣。