Міністерство освіти і науки України

Одеський національний університет імені І.І. Мечникова

Факультет математики, фізики та інформаційних технологій

Кафедра комп'ютерних систем та технологій

**Лабораторна робота 2**

з дисципліни «Технологія проектування комп’ютерних систем»

Студента 4 курсу

Султанова Шакіра

Керівник: Мартинович Л. Я.

Одеса – 2022

# Лабораторна робота №2. Створення елементарного проекту, побудова синхронного лічильника на основі D та JK тригерів

**Мета**: вивчити принцип роботи синхронних D- і JK-тригерів та побудувати лічильники на базі D- і JK-тригерів.

D-тригер (англ. Delay-затримка) має властиві всім триггерам входи: S (установка), R (скидання), С - вхід синхронізації і D-вхід.

Логічне пристрій буде знаходитися в стійкому положенні в тому випадку, якщо на С = 0 (табл. 1). В цьому випадку імпульси, що подаються на інформаційний D-вхід, ніяк не впливають на прилад, і вихідний імпульс визначається записаним раніше значенням. Якщо С = 1, то вихідний сигнал буде залежати від того, який т поданий на інформаційний D-вхід. Якщо D = 1, то на виході буде 1, якщо D = 0, то на виході буде 0.

Таблиця 2.1 – Таблиця істинності D-тригера

| С | D | Q(t) | Q(t+1) | Режим роботи |
| --- | --- | --- | --- | --- |
| 0 | x | 0 | 0 | зберігання інформації |
| 0 | x | 1 | 1 |
| 1 | 0 | x | 0 | запис інформації |
| 1 | 1 | x | 1 |

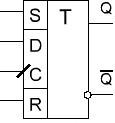
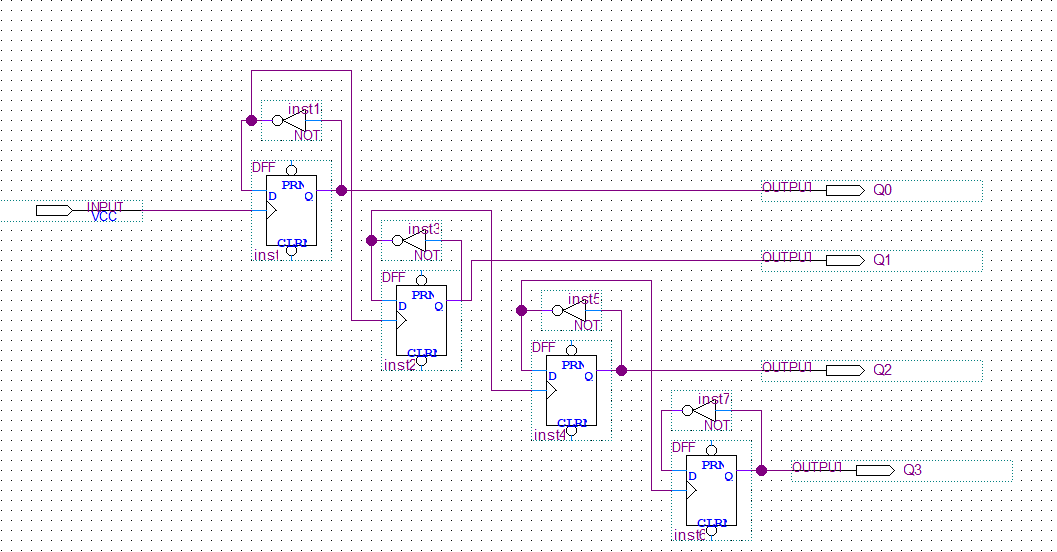
На принципових схемах D-тригер позначається наступним чином (рис. 2.2).

Рисунок 2. 2 – Схема D-тригера

Створимо блок-діаграму наступного виду.



Створимо VHDL-файл з цього схематичного файлу. Він буде містити наступний код.

library IEEE;

LIBRARY ieee;

USE ieee.std\_logic\_1164.all;

LIBRARY work;

ENTITY lab\_2 IS

PORT

(

C : IN STD\_LOGIC;

Q0 : OUT STD\_LOGIC;

Q2 : OUT STD\_LOGIC;

Q1 : OUT STD\_LOGIC;

Q3 : OUT STD\_LOGIC

);

END lab\_2;

ARCHITECTURE bdf\_type OF lab\_2 IS

SIGNAL SYNTHESIZED\_WIRE\_7 : STD\_LOGIC;

SIGNAL DFF\_inst : STD\_LOGIC;

SIGNAL SYNTHESIZED\_WIRE\_8 : STD\_LOGIC;

SIGNAL DFF\_inst2 : STD\_LOGIC;

SIGNAL SYNTHESIZED\_WIRE\_9 : STD\_LOGIC;

SIGNAL DFF\_inst4 : STD\_LOGIC;

SIGNAL SYNTHESIZED\_WIRE\_6 : STD\_LOGIC;

SIGNAL DFF\_inst6 : STD\_LOGIC;

BEGIN

Q0 <= DFF\_inst;

Q2 <= DFF\_inst4;

Q1 <= DFF\_inst2;

Q3 <= DFF\_inst6;

PROCESS(C)

BEGIN

IF (RISING\_EDGE(C)) THEN

DFF\_inst <= SYNTHESIZED\_WIRE\_7;

END IF;

END PROCESS;

SYNTHESIZED\_WIRE\_7 <= NOT(DFF\_inst);

PROCESS(SYNTHESIZED\_WIRE\_7)

BEGIN

IF (RISING\_EDGE(SYNTHESIZED\_WIRE\_7)) THEN

DFF\_inst2 <= SYNTHESIZED\_WIRE\_8;

END IF;

END PROCESS;

SYNTHESIZED\_WIRE\_8 <= NOT(DFF\_inst2);

PROCESS(SYNTHESIZED\_WIRE\_8)

BEGIN

IF (RISING\_EDGE(SYNTHESIZED\_WIRE\_8)) THEN

DFF\_inst4 <= SYNTHESIZED\_WIRE\_9;

END IF;

END PROCESS;

SYNTHESIZED\_WIRE\_9 <= NOT(DFF\_inst4);

PROCESS(SYNTHESIZED\_WIRE\_9)

BEGIN

IF (RISING\_EDGE(SYNTHESIZED\_WIRE\_9)) THEN

DFF\_inst6 <= SYNTHESIZED\_WIRE\_6;

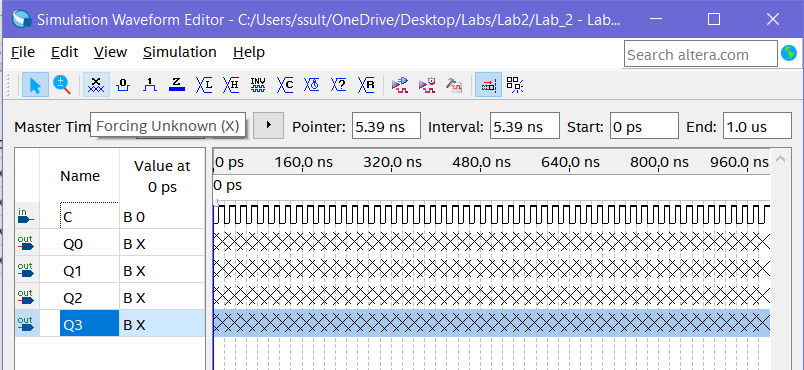
END IF;

END PROCESS;

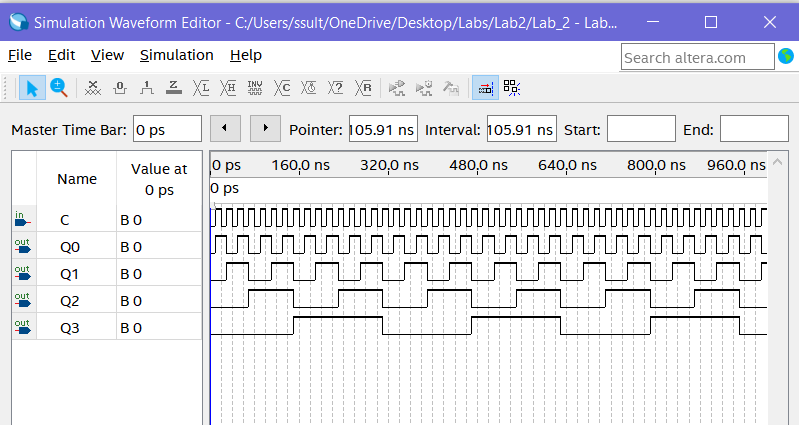
SYNTHESIZED\_WIRE\_6 <= NOT(DFF\_inst6);

END bdf\_type;

Потім створимо діаграму National University VWF.



Запускаємо симуляцію роботи D-тригеру.



**Висновок:** у цій лабораторній роботі ми вивчили принцип роботи синхронного D-тригера та побудували лічильник на базі D-тригерів.