Міністерство освіти і науки України

Одеський національний університет імені І.І. Мечникова

Факультет математики, фізики та інформаційних технологій

Кафедра комп'ютерних систем та технологій

**Лабораторна робота 3**

з дисципліни «Технологія проектування»

Студента 4 курсу

Султанова Шакіра

Керівник: Мартнович Л. Я.

Одеса – 2022

# Лабораторна робота №3. Створення елементарного проекту, побудова асинхронного лічильника на основі D та JK тригерів

**Мета:** вивчення поняття тригера, схеми та принцип роботи асинхронних D- і JK-тригерів.

**Задача:** побудувати чотирьох-розрядний асинхронний лічильник на основі JK-тригеру для першого варіанту.

JK-тригери - найбільш широко використовуваний універсальний тригер. JK- тригером називається цифровий автомат з двома інформаційними входами J та К, що володіє розширеними функціональними можливостями: працювати як RS, D і Т-тригери.

Принцип роботи JK-тригера: коли тактовий вхід спрацьовує, значення, що зберігається в тригері, змінюється, якщо на входах J і K одиниця; залишається колишнім, якщо на них 0; якщо значення на них різні, то значення стає одиницею, якщо на вході J - 1; або нулем, якщо на вході K - 1.

Таблиця 2.2 – Таблиця істинності JK-тригера.

| **С** | **K** | **J** | **Q(t)** | **Q(t+1)** | Режим роботи |
| --- | --- | --- | --- | --- | --- |
| 0 | x | x | 0 | 0 | зберігання інформації |
| 0 | x | x | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | зберігання інформації |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | Режим установки одиниці J = 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 | Режим запису нуля K = 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 | K = J = 1 рахунковий режим тригера |
| 1 | 1 | 1 | 1 | 0 |

На принципових схемах JK -тригер позначається наступним чином (рис. 3).

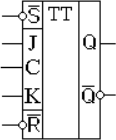
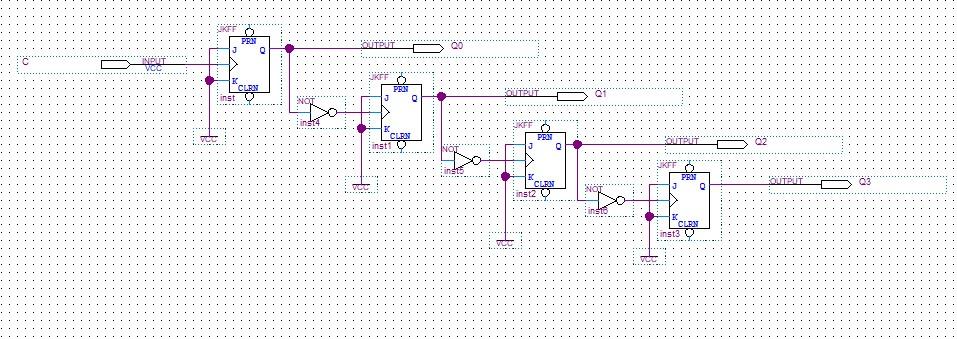


Рисунок 3 – Схема JK-тригера.

Лічильник імпульсів - функціональна одиниця для підрахунку імпульсів, поданих на його вхід. Будуються на рахункових тригерах. Основним параметром лічильника є коефіцієнт рахунку К - число в двійковому коді, до якого можна виробляти рахунок.

Асинхронні (послідовні) лічильники - сигнали подаються на перший тригер, кожний наступний спрацьовує після попереднього;

Створимо блок-діаграму наступного виду.



Створимо VHDL-файл з цього схесатичного файлу. Він будє містити наступний код.

LIBRARY ieee;

USE ieee.std\_logic\_1164.all;

LIBRARY work;

ENTITY lab\_3 IS

PORT

(

C : IN STD\_LOGIC;

Q0 : OUT STD\_LOGIC;

Q1 : OUT STD\_LOGIC;

Q2 : OUT STD\_LOGIC;

Q3 : OUT STD\_LOGIC

);

END lab\_3;

ARCHITECTURE bdf\_type OF lab\_3 IS

SIGNAL SYNTHESIZED\_WIRE\_11 : STD\_LOGIC;

SIGNAL SYNTHESIZED\_WIRE\_12 : STD\_LOGIC;

SIGNAL SYNTHESIZED\_WIRE\_4 : STD\_LOGIC;

SIGNAL SYNTHESIZED\_WIRE\_13 : STD\_LOGIC;

SIGNAL SYNTHESIZED\_WIRE\_7 : STD\_LOGIC;

SIGNAL SYNTHESIZED\_WIRE\_14 : STD\_LOGIC;

SIGNAL SYNTHESIZED\_WIRE\_10 : STD\_LOGIC;

SIGNAL JKFF\_inst : STD\_LOGIC;

SIGNAL JKFF\_inst1 : STD\_LOGIC;

SIGNAL JKFF\_inst2 : STD\_LOGIC;

BEGIN

Q0 <= JKFF\_inst;

Q1 <= JKFF\_inst1;

Q2 <= JKFF\_inst2;

SYNTHESIZED\_WIRE\_11 <= '1';

SYNTHESIZED\_WIRE\_12 <= '1';

SYNTHESIZED\_WIRE\_13 <= '1';

SYNTHESIZED\_WIRE\_14 <= '1';

PROCESS(C)

VARIABLE synthesized\_var\_for\_JKFF\_inst : STD\_LOGIC;

BEGIN

IF (RISING\_EDGE(C)) THEN

synthesized\_var\_for\_JKFF\_inst := (NOT(synthesized\_var\_for\_JKFF\_inst) AND SYNTHESIZED\_WIRE\_11) OR (synthesized\_var\_for\_JKFF\_inst AND (NOT(SYNTHESIZED\_WIRE\_11)));

END IF;

JKFF\_inst <= synthesized\_var\_for\_JKFF\_inst;

END PROCESS;

PROCESS(SYNTHESIZED\_WIRE\_4)

VARIABLE synthesized\_var\_for\_JKFF\_inst1 : STD\_LOGIC;

BEGIN

IF (RISING\_EDGE(SYNTHESIZED\_WIRE\_4)) THEN

synthesized\_var\_for\_JKFF\_inst1 := (NOT(synthesized\_var\_for\_JKFF\_inst1) AND SYNTHESIZED\_WIRE\_12) OR (synthesized\_var\_for\_JKFF\_inst1 AND (NOT(SYNTHESIZED\_WIRE\_12)));

END IF;

JKFF\_inst1 <= synthesized\_var\_for\_JKFF\_inst1;

END PROCESS;

PROCESS(SYNTHESIZED\_WIRE\_7)

VARIABLE synthesized\_var\_for\_JKFF\_inst2 : STD\_LOGIC;

BEGIN

IF (RISING\_EDGE(SYNTHESIZED\_WIRE\_7)) THEN

synthesized\_var\_for\_JKFF\_inst2 := (NOT(synthesized\_var\_for\_JKFF\_inst2) AND SYNTHESIZED\_WIRE\_13) OR (synthesized\_var\_for\_JKFF\_inst2 AND (NOT(SYNTHESIZED\_WIRE\_13)));

END IF;

JKFF\_inst2 <= synthesized\_var\_for\_JKFF\_inst2;

END PROCESS;

PROCESS(SYNTHESIZED\_WIRE\_10)

VARIABLE synthesized\_var\_for\_Q3 : STD\_LOGIC;

BEGIN

IF (RISING\_EDGE(SYNTHESIZED\_WIRE\_10)) THEN

synthesized\_var\_for\_Q3 := (NOT(synthesized\_var\_for\_Q3) AND SYNTHESIZED\_WIRE\_14) OR (synthesized\_var\_for\_Q3 AND (NOT(SYNTHESIZED\_WIRE\_14)));

END IF;

Q3 <= synthesized\_var\_for\_Q3;

END PROCESS;

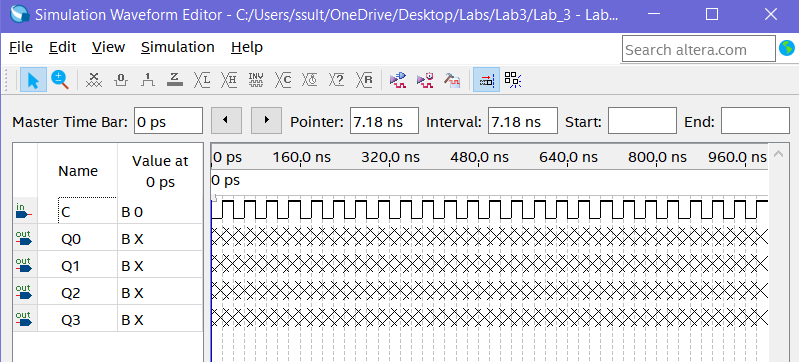
SYNTHESIZED\_WIRE\_4 <= NOT(JKFF\_inst);

SYNTHESIZED\_WIRE\_7 <= NOT(JKFF\_inst1);

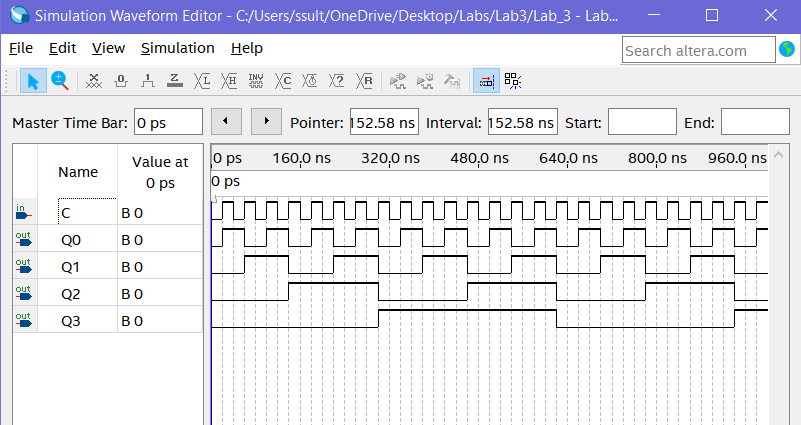
SYNTHESIZED\_WIRE\_10 <= NOT(JKFF\_inst2);

END bdf\_type;

Потім створимо діаграму National University VWF.



Запускаємо симуляцію роботи D-тригеру.



**Висновок:** у цій лабораторній роботі ми вивчили принцип роботи асинхронного JK-тригера та побудували лічильник на базі JK-тригерів.