Міністерство освіти і науки України

Одеський національний університет імені І.І. Мечникова

Факультет математики, фізики та інформаційних технологій

Кафедра комп'ютерних систем та технологій

**Лабораторна робота 4**

з дисципліни «Технологія проектування комп’ютерних систем»

Студента 4 курсу

Султанова Шакіра

Керівник: Мартинович Л. Я.

Одеса – 2022

# Лабораторна робота №4. Створення синхронного лічильника на основі D та JK тригерів за допомогою мови VHDL

**Мета:** вивчення поняття тригера, схеми та принцип роботи синхронних D- і JK-тригерів.

**Задача:** за допомогою мови VHDL написати програму для симуляції роботи чотирьох-розрядного синхронного лічильника на основі JK-тригера для першого варіанту та D-тригера для другого варіанту.

JK-тригери - найбільш широко використовуваний універсальний тригер. JK- тригером називається цифровий автомат з двома інформаційними входами J та К, що володіє розширеними функціональними можливостями: працювати як RS, D і Т-тригери.

Принцип роботи JK-тригера: коли тактовий вхід спрацьовує, значення, що зберігається в тригері, змінюється, якщо на входах J і K одиниця; залишається колишнім, якщо на них 0; якщо значення на них різні, то значення стає одиницею, якщо на вході J - 1; або нулем, якщо на вході K - 1.

Таблиця 2.2 – Таблиця істинності JK-тригера.

| **С** | **K** | **J** | **Q(t)** | **Q(t+1)** | Режим роботи |
| --- | --- | --- | --- | --- | --- |
| 0 | x | x | 0 | 0 | зберігання інформації |
| 0 | x | x | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | зберігання інформації |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | Режим установки одиниці J = 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 | Режим запису нуля K = 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 | K = J = 1 рахунковий режим тригера |
| 1 | 1 | 1 | 1 | 0 |

На принципових схемах JK -тригер позначається наступним чином (рис. 3).

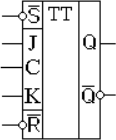


Рисунок 3 – Схема JK-тригера.

Створюємо новий VHDL-файл. Він буде містити наступний код.

LIBRARY ieee;

USE ieee.std\_logic\_1164.all;

LIBRARY work;

ENTITY lab\_4 IS

PORT

(

C : IN STD\_LOGIC;

Q0 : OUT STD\_LOGIC;

Q1 : OUT STD\_LOGIC;

Q2 : OUT STD\_LOGIC;

Q3 : OUT STD\_LOGIC

);

END lab\_4;

ARCHITECTURE behavioral OF lab\_4 IS

SIGNAL JKforJK1 : STD\_LOGIC;

SIGNAL QforJK1 : STD\_LOGIC;

SIGNAL AND1out : STD\_LOGIC;

SIGNAL AND2out : STD\_LOGIC;

SIGNAL QforJK2 : STD\_LOGIC;

SIGNAL QforJK3 : STD\_LOGIC;

BEGIN

Q0 <= QforJK1;

Q1 <= QforJK2;

Q2 <= QforJK3;

JKforJK1 <= '1';

PROCESS(C)

VARIABLE var\_for\_QforJK1 : STD\_LOGIC;

BEGIN

IF (RISING\_EDGE(C)) THEN

var\_for\_QforJK1 := (NOT(var\_for\_QforJK1) AND JKforJK1) OR (var\_for\_QforJK1 AND (NOT(JKforJK1)));

END IF;

QforJK1 <= var\_for\_QforJK1;

END PROCESS;

PROCESS(C)

VARIABLE var\_for\_QforJK2 : STD\_LOGIC;

BEGIN

IF (RISING\_EDGE(C)) THEN

var\_for\_QforJK2 := (NOT(var\_for\_QforJK2) AND QforJK1) OR (var\_for\_QforJK2 AND (NOT(QforJK1)));

END IF;

QforJK2 <= var\_for\_QforJK2;

END PROCESS;

PROCESS(C)

VARIABLE var\_for\_QforJK3 : STD\_LOGIC;

BEGIN

IF (RISING\_EDGE(C)) THEN

var\_for\_QforJK3 := (NOT(var\_for\_QforJK3) AND AND1out) OR (var\_for\_QforJK3 AND (NOT(AND1out)));

END IF;

QforJK3 <= var\_for\_QforJK3;

END PROCESS;

PROCESS(C)

VARIABLE var\_for\_QforJK4 : STD\_LOGIC;

BEGIN

IF (RISING\_EDGE(C)) THEN

var\_for\_QforJK4 := (NOT(var\_for\_QforJK4) AND AND2out) OR (var\_for\_QforJK4 AND (NOT(AND2out)));

END IF;

Q3 <= var\_for\_QforJK4;

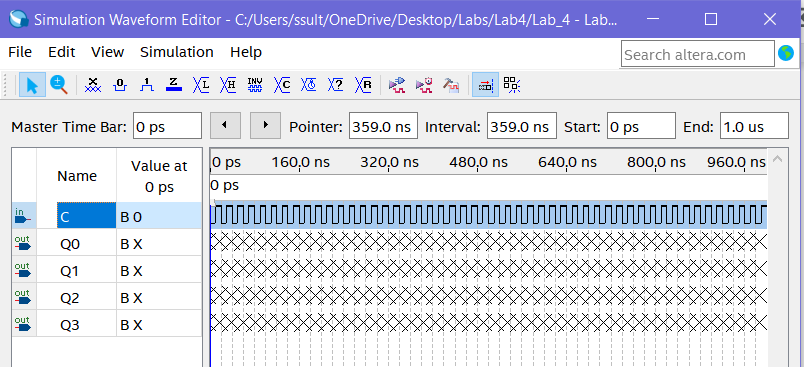
END PROCESS;

AND1out <= QforJK1 AND QforJK2;

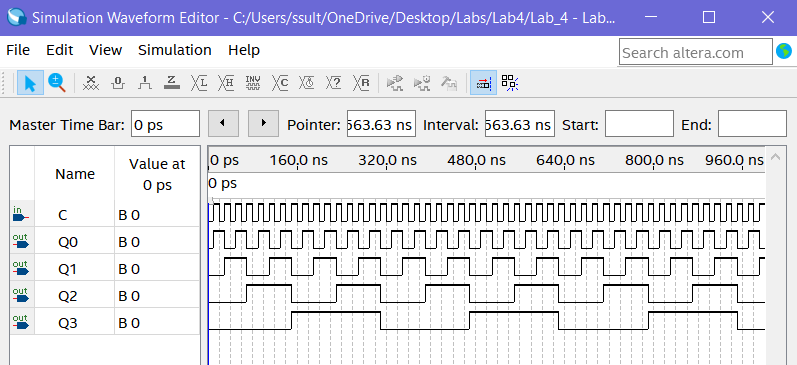
AND2out <= AND1out AND QforJK3;

END behavioral;

Потім створимо діаграму National University VWF.



Запускаємо симуляцію роботи D-тригеру.



**Висновок:** у цій лабораторній роботі ми вивчили принцип роботи синхронного JK-тригера та запрограмували лічильник на базі JK-тригерів.