Міністерство освіти і науки України

Одеський національний університет імені І.І. Мечникова

Факультет математики, фізики та інформаційних технологій

Кафедра комп'ютерних систем та технологій

**Лабораторна робота 4**

з дисципліни «Технологія проектування комп’ютерних систем»

Студента 4 курсу

Султанова Шакіра

Керівник: Мартинович Л. Я.

Одеса – 2022

# Лабораторна робота №5. VHDL-модель логічного елементу імплікація х->y – 2

**Мета**: вивчити поняття імплікації, її таблицю істинності.

**Задача**: за допомогою мови VHDL написати програму для симуляції роботи логічного елементу імплікації.

**Теоретична частина**

Імплікація - бінарна логічна зв'язка, по своєму застосуванню наближена до «якщо ..., то ...». Імплікація записується як:

;

застосовуються також стрілки іншої форми і спрямовані в іншу сторону, але завжди вказують на слідство.

У булевої логіки імплікація - це функція двох змінних (вони ж - операнди операції, вони ж - аргументи функції). Змінні можуть набувати значень з множини {0,1}. Результат також належить множині {0,1}. Обчислення результату проводиться по простому правилу, або по таблиці істинності. Замість значень 0, 1 може використовуватися будь-яка інша пара відповідних символів, наприклад false, true, F, T або «брехня», «істина».

Правило: Імплікація як булева функція помилкова лише тоді, коли посилка істинна, а наслідок ложно. Іншими словами, операція – це скорочений запис виразу . Таблиця істинності імплікації представлена в таблиці 1.

Таблиця 6.1 – Таблиця істинності імплікації.

|  |  |  |
| --- | --- | --- |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Представлення логічного елементу імплікації в схемотехніці показано на рисунку 6.1.

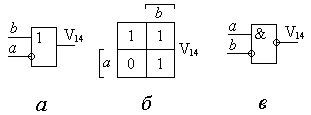


Рисунок 6.1 – Логічний елемент імплікатор.

Створимо новий VHDL-файл. Він буде містити наступний код.

LIBRARY ieee;

USE ieee.std\_logic\_1164.all;

library IEEE;

use IEEE.STD\_LOGIC\_1164.All;

entity lab\_5 is

Port(INO1: in STD\_LOGIC;

INO2: in STD\_LOGIC;

OO: out STD\_LOGIC);

end lab\_5;

architecture Behavioral of lab\_5 is

SIGNAL NINO2 : STD\_LOGIC;

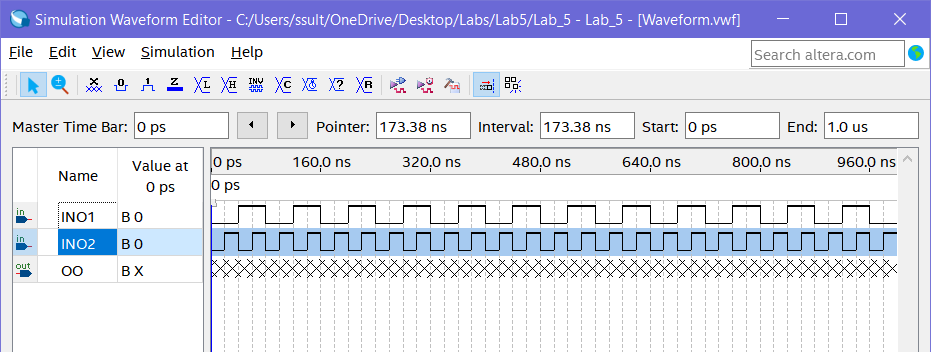
begin

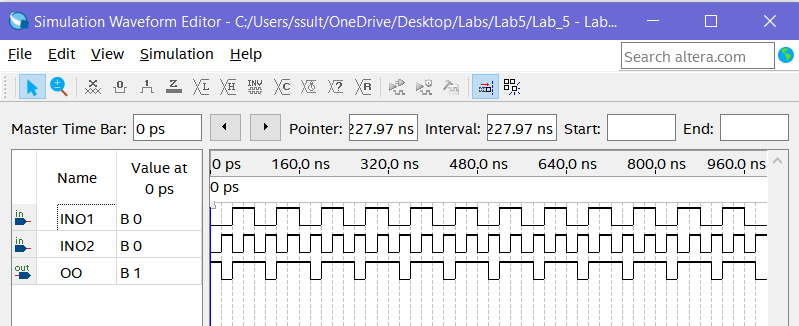
NINO2 <= NOT INO2;

OO <= INO1 or NINO2;

end Behavioral;

Потім створимо діаграму National University VWF та запускаємо симуляцію.





**Висновок:** у цій лабораторній роботі ми за допомогою мови VHDL написали програму для симуляції роботи логічного елементу імплікації двома способами.