Міністерство освіти і науки України

Одеський національний університет імені І.І. Мечникова

Факультет математики, фізики та інформаційних технологій

Кафедра комп'ютерних систем та технологій

**Лабораторна робота 6**

з дисципліни «Технологія проектування комп’ютерних систем»

Студента 4 курсу

Султанова Шакіра

Керівник: Мартинович Л. Я.

Одеса – 2022

# Лабораторна робота №6. Структурний та алгоритмічний опис 2-х ступенчатого D-тригера зі скиданням.

**Мета**: ознайомитись із мовою розробки схем VHDL.

**Задача**: розібрати концепти мови і основні функції на прикладі синхронних лічильників, побудованих на JK та D тригерах. Виконати структурний та алгоритмічний опис 2-ступенчатого D-тригера зі скиданням. Порівняти обидва варіанти.

**Теоретична частина**

**Тригер** — це електронна логічна схема, яка має два стійкі стани, в яких може перебувати, доки не зміняться відповідним чином сигнали керування. Напруги і струми на виході тригера можуть змінюватися стрибкоподібно.

В одноступінчастому тригері є один ступень запам'ятовування інформації, при цьому, в стані запису тригер «прозорий», тобто всі зміни на вході тригера повторюються на виході тригера, що може призвести до помилкових спрацьовувань пристроїв що стоять після тригера. У двухступенчатому триггері є два ступені. Спочатку інформація записується в першу ступень, всі зміни на вході тригера в другий ступінь до сигналу перезапису не потрапляють, потім, після переходу D-тригера першого ступеня в режим зберігання, інформація переписується в другий щабель і з'являється на виході, що дозволяє уникнути стану «прозорості». Двоступеневий тригер позначають ТТ (див. Рис.7.1). Якщо перший ступінь двоступеневого D-тригера виконано на статичному D-тригері, то двоступеневий D-тригер називають двоступінчастим D-тригером зі статичним керуванням, а якщо на динамічному D-тригері, то двоступеневий D-тригер називають двоступінчастим D-тригером з динамічним управлінням.

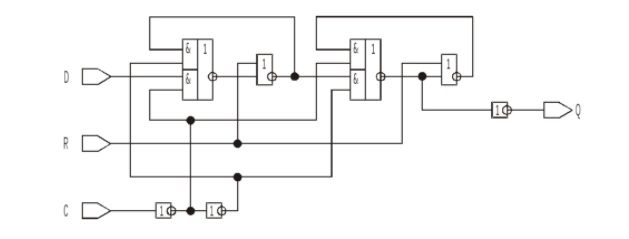


Рис. 7.1 – фізична схема ТТ-тригеру зі скиданням

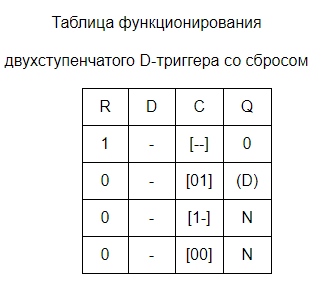


Рис. 7.2 – таблиця істинності ТТ-тригеру зі скиданням

Тут (див. Рис. 7.2) N позначає попереднє значення Q.

C - тактовий вхід;

D - значущий вхід;

R – вхід скидання;

Q – вихід.

**Мова VHDL**. Опис будь-якої схеми, або її фрагменту складається з двох частин. Перша, що називається сутністю (entity), містить опис зовнішнього інтерфейсу схеми (перелік входів, виходів тощо). Друга називається архітектурою (architecture) і містить опис, що визначає внутрішню будову та функціонування схеми.

Опис архітектури може виконуватись двома способами:

• як опис структури схеми (structural), тобто схеми з‘єднань її складових елементів – схем нижчого ієрархічного рівня, аж до рівня з‘єднання вентилів (dataflow);

• як опис поведінки схеми (behavioral).

Створюємо новий VHDL-файл. Він буде містити наступний код.

LIBRARY ieee;

USE ieee.std\_logic\_1164.all;

LIBRARY work;

ENTITY lab\_6 IS

PORT

(

D : IN STD\_LOGIC;

C : IN STD\_LOGIC;

R : IN STD\_LOGIC;

Q : OUT STD\_LOGIC

);

END lab\_6;

ARCHITECTURE lab6\_arc OF lab\_6 IS

SIGNAL Q1: STD\_LOGIC;

SIGNAL NC: STD\_LOGIC;

BEGIN

PROCESS(C,R)

BEGIN

IF (R = '1') THEN

Q1 <= '0';ELSIF (RISING\_EDGE(C)) THEN

Q1 <= D;

END IF;

END PROCESS;

NC <= not C;

PROCESS(NC,R)

BEGIN

IF (R = '1') THEN

Q <= '0';

ELSIF (RISING\_EDGE(NC)) THEN

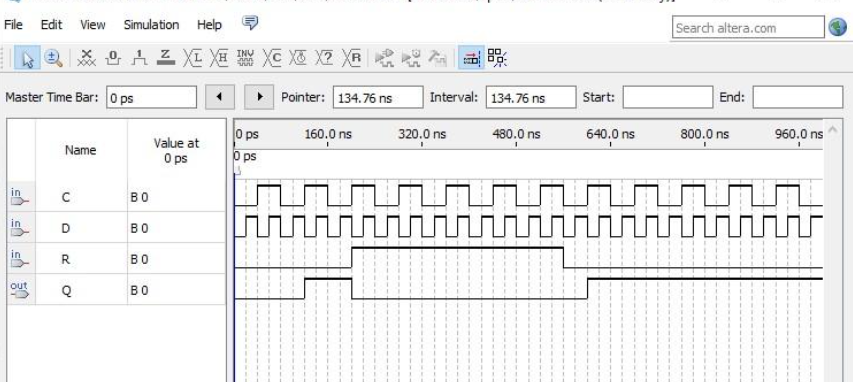
Q <= Q1;

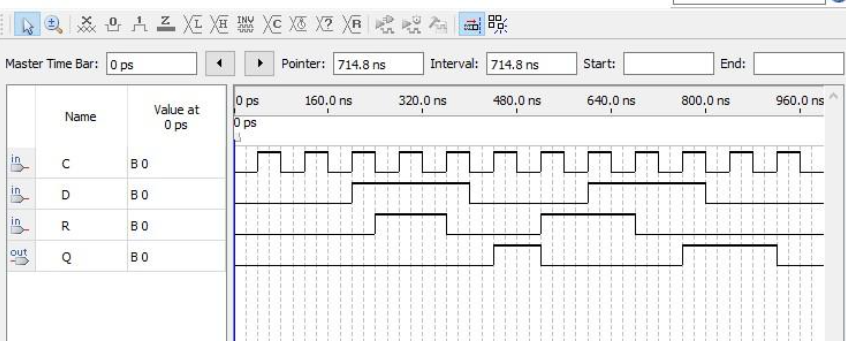
END IF;

END PROCESS;

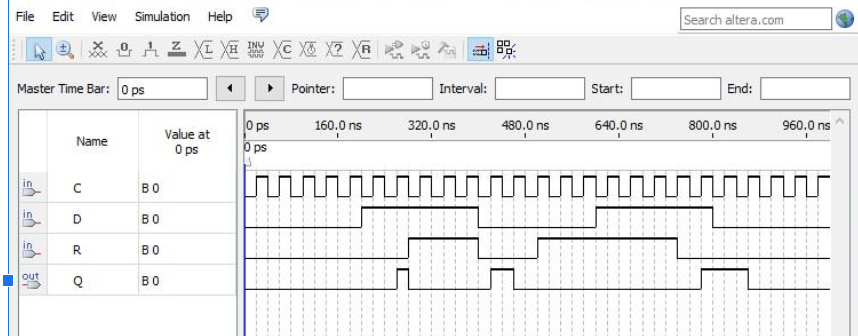
END lab6\_arc;

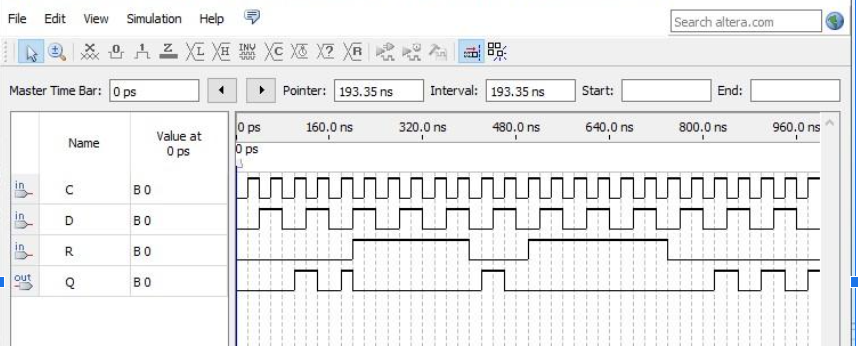
Потім створюємо діаграму National University VWF та запускаємо симуляцію.





2-х ступенчатий D-тригер зі скиданням по задньому фронту:

****

****

**Висновок:** у цій лабораторній роботі ми розібрали концепти мови і основні функції на прикладі синхронних лічильників, побудованих на D тригерах, виконали структурний та алгоритмічний опис 2-ступенчатого D-тригера зі скиданням та порівняли обидва варіанти.