Міністерство освіти і науки України

Одеський національний університет імені І.І. Мечникова

Факультет математики, фізики та інформаційних технологій

Кафедра комп'ютерних систем та технологій

**Лабораторна робота 7**

з дисципліни «Технологія проектування комп’ютерних систем»

Студента 4 курсу

Султанова Шакіра

Керівник: Мартинович Л. Я.

Одеса – 2022

# Лабораторна робота №7. Структурний та алгоритмічний опис Т-тригера.

**Мета**: ознайомитись з теоретичною базою, що стоїть за двоступінчастими тригерами, ознайомилися з механізмом роботи Т-тригеру тригеру.

**Задача**: на основі схеми елементу та таблиці істинності спроектувати, реалізувати та перевірити результати тригеру.

**Теоретична частина**

Т-тригер (від англ. Toggle — перемикач) часто називають рахунковим тригером, оскільки він є найпростішим лічильником до 2 (табл. 1).

Таблиця 1 - Таблиця істинності Т-тригеру

| **T** | **Q(t)** | **Q(t+1)** |
| --- | --- | --- |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Синхронний Т-тригер, при одиниці на вході Т, по кожному такту на вході C змінює свій логічний стан на протилежний, і не змінює вихідний стан при нулі на вході T. Т-тригер можна побудувати на JK-тригері, на двоступінчастому (Master-Slave, MS) D-тригері і на двох одноступінчастих D-тригерах та інверторі.

Т-тригер часто застосовують для пониження частоти в 2 рази, при цьому на Т вхід подають одиницю, а на С— сигнал з частотою, яка буде поділена на 2.

Створимо новий VHDL-файл. Він буде містити наступний код.

LIBRARY ieee;

USE ieee.std\_logic\_1164.all;

LIBRARY work;

ENTITY lab\_7 IS

PORT

(

C : IN STD\_LOGIC;

Q : OUT STD\_LOGIC

);

END lab\_7;

ARCHITECTURE bdf\_type OF lab\_7 IS

SIGNAL SYNTHESIZED\_WIRE\_0 : STD\_LOGIC;

SIGNAL DFF\_inst : STD\_LOGIC;

BEGIN

Q <= DFF\_inst;

PROCESS(C)

BEGIN

IF (FALLING\_EDGE(C)) THEN

DFF\_inst <= SYNTHESIZED\_WIRE\_0;

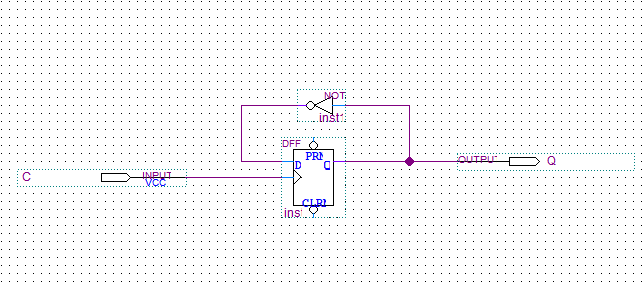
END IF;

END PROCESS;

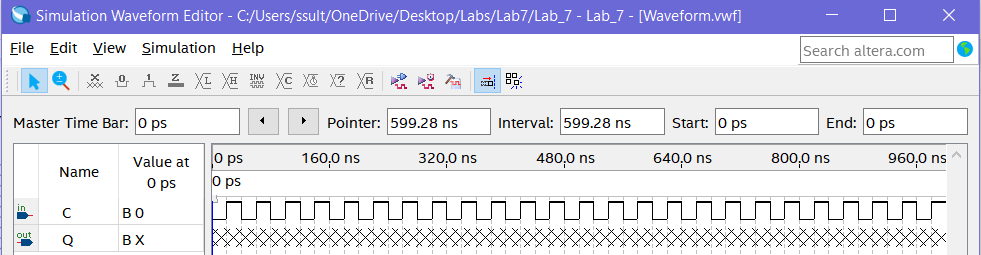
SYNTHESIZED\_WIRE\_0 <= NOT(DFF\_inst);

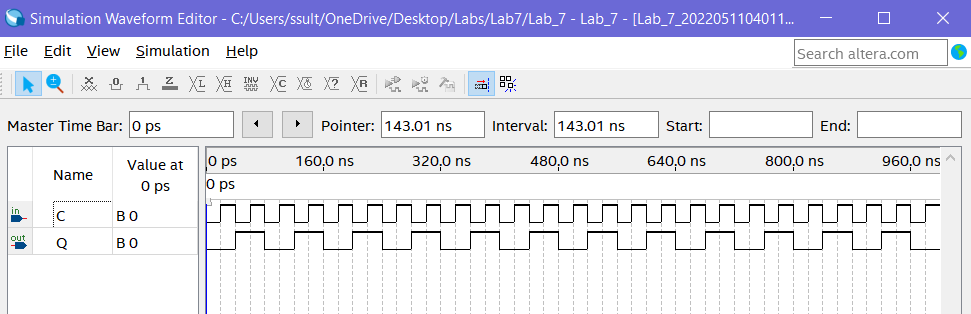
END bdf\_type;

Cхема t-тригеру на основі d-тригеру має наступний вигляд:



Потім створимо діаграму National University VWF та запускаємо симуляцію.





**Висновок:** У цій лабораторній роботі ми на основі схеми елементу та таблиці істинності спроектували, реалізували та перевірили результати t-тригеру.