

הערכה חלופית מעבדה באלקטרוניקה וחסמל VLSI

שלמה אברמס ת"ז 332266725

מעגל D-Latch

D-latch הוא רכיב יסודי באלקטרוניקה דיגיטלית המשמש כיחידת זיכרון של סיבית אחת, הרכיב מתנהג כמו שער עם מנול שرك עם יש מפתח ניתן לשנות את התוכן בפנים. הרכיב מקבל קלט נתונים (D) וקלט הפעלה (E-Enable).

כאשר ה **Enable=0** השער נעלם. הפלט (Q) לא משתנה ונשאר עם הערך האחרון שהוא לו.

כאשר ה **Enable=1** השער פתוח. הפלט (Q) משקף את הקלט (D) כלומר אם $D=0$ אז $Q=0$, ואם $D=1$ אז $Q=1$.

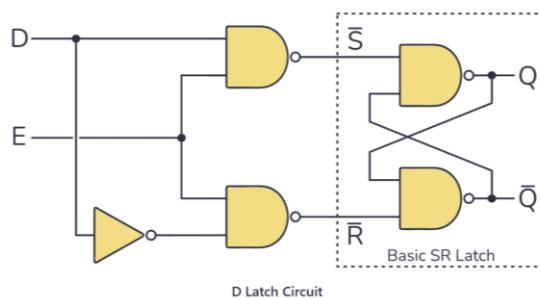
עובד מוגן CMOS, הפועל במתוח ספק V_5 , המתוח המהווה ערך לוגי 0, נع בין 0 ל $V_{1.5}$. המתוח המהווה ערך לוגי 1, נע בין $V_{3.5}$ ל V_5 .

טבלה אמת של הרכיב נמצא בטבלה 1.

Enable	D	Q+
0	0	Q
0	1	Q
1	1	1
1	0	0

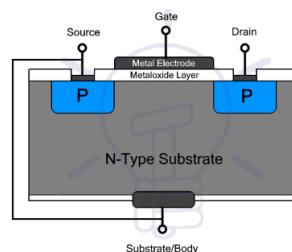
טבלה 1 – טבלה אמת של Latch-D

המעגל הלוגי שמייצג את הרכיב בנוי משערים לוגיים NAND ו NOT כפי שניתן לראות באיוור 1.



איור מס' 1 – מעגל חשמלי של שער D

נשתמש בטרנזיסטורים מסוג MOSFET כדי לבנות את המעגלים החשמליים מבנה NMOS מופיע באיוור 2.



איור 2 – מבנה טרנזיסטור NMOS

ניסוי א'

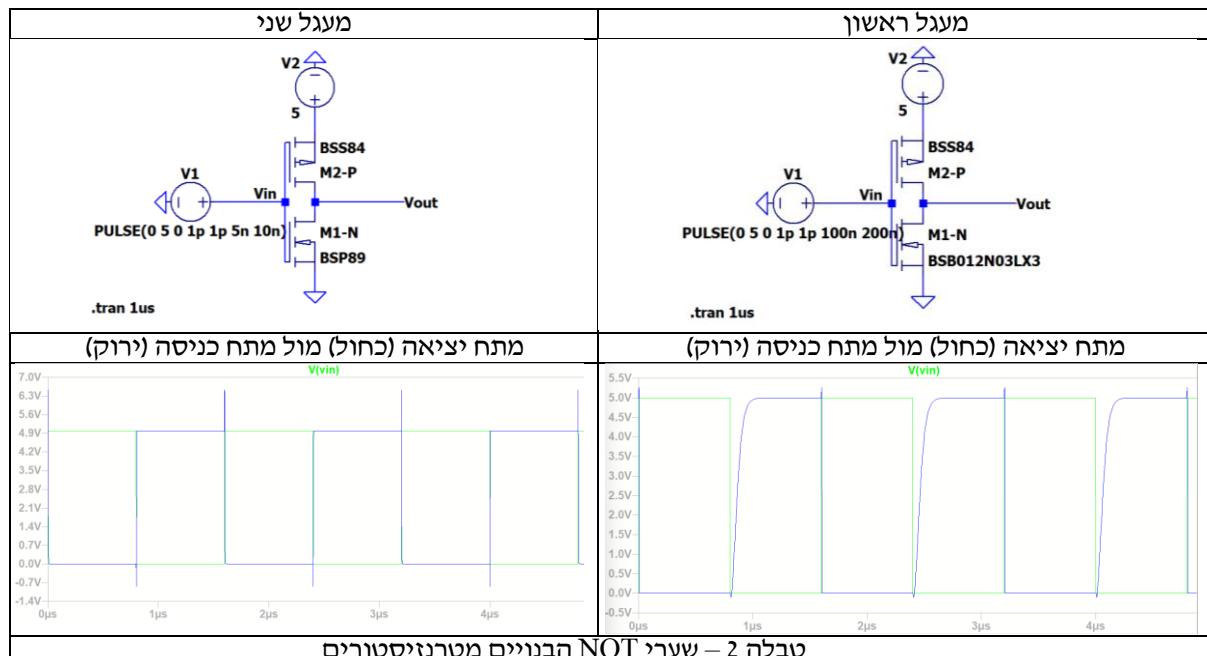
סעיף 1 - בניית שער NOT בטכנולוגיית CMOS

במסגרת הניסוי, נבצע השוואה בין שני מעגלי שער לוגי NOT מעגלים אלו מתוכננים בטכנולוגיית CMOS המשלבת טרנזיסטורים מסוג P-ו-N. מטרת הניסוי היא לבדוק את השפעת בחירת הטרנזיסטורים על ביצועם השער הלוגי.

בניסוי זה השתמש בשני זוגות שונים של טרנזיסטורים:

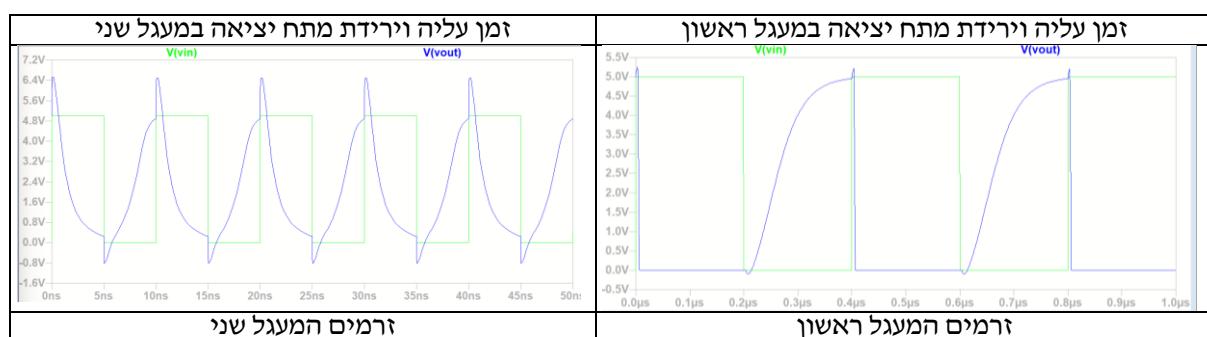
1. **מעגל ראשון:** בנייתו עם טרנזיסטור PMOS מודגם BSS84 וטרנזיסטור NMOS מודגם BSB012N03LX3.
2. **מעגל שני:** בנייתו עם טרנזיסטור PMOS מודגם BSS84 וטרנזיסטור NMOS מודגם BSP89.

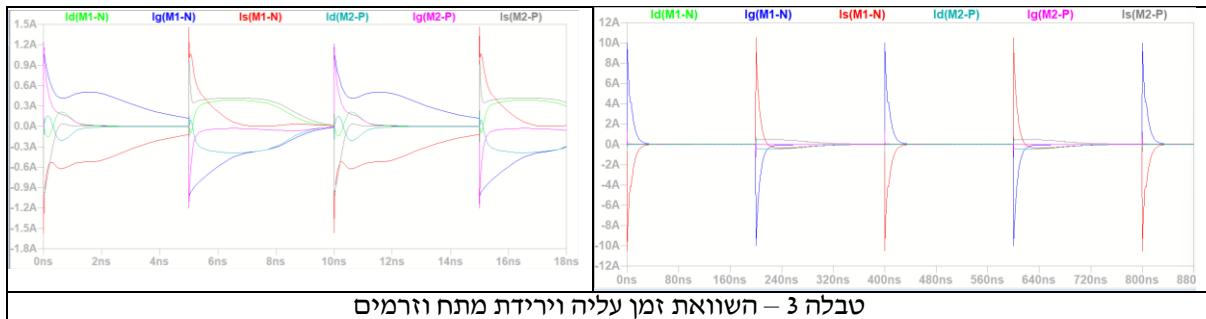
המעגלים והאיוריהם של מתחי כניסה ויציאה מופיעים בטבלה 2. רואים האיוורים התנהגות של שער NOT, כלומר מתח היציאה הפוכה ממתח הכניסה.



סעיף 2 - השוואת המעגלים

נבצע השוואה ביןIDI מדידת זמני העלייה והירידה של מתח המוצא, ובבדיקה הזרים. לאחר מכן, ננתח את ההבדלים ביצועים ונזהה אילו ערכיהם מדפי הנתונים של הטרנזיסטורים אחרים להבדלים שמנדו. ההשואות מופיעים בטבלה 3-4.





זמן עליה וירידת

במעגל הראשון	במעגל השני
זמן עלית מתח (0-3.5 ns)	85ns
זמן ירידת מתח (5-1.5 ns)	5.5ns
זרם מקסימלי	10A
טבלה 4 – טבלת זמן עליה וירידת מתח של זמן במוספט	

ניתוח הזרמים במעגלים:

קודם כל רואים שיש זרם גדול בגיבט לא אמרו להיות זרם שם, הסיבה לכך שיש זרים בגיבט הוא יש סוג של קובל בין הגיבט לתעלת הטרנזיסטור כי הגיבט בניו מאלקטרודה מתכתית עם מבודד ביןו לבין התעללה (איור 2). הקובל נהייה קצר בתדר גבוה כלומר בזמן השינוי, ויש בו זרם. אפשר לראות את זה מהצד של הגיבט, שהבדל פטאומי במתח גורם להרבה מטעןנים לעבור לצד של הגיבט בקובל, שזה בעצם הזרם שעובר בגיבט, لكن גם רואים שהזרם לא ממשיך אלא ברגע שקיבול מתרוקן מטעןנים הזרם פוסק.

שנייה, במעגל הראשון הזרם גדול יותר מהמעגל השני הגורם לכך הוא התנגדות פתיחה. במעגל הראשון יש את הטרנזיסטור **BSB012N03LX3** עם **התנגדות פתיחה נמוכה** (בסדר גודל של 1.2Ω) מיועד להעביר זרים גבוהים. במעגל השני יש את הטרנזיסטור **BSP89** עם **התנגדות פתיחה גבוהה** (בסדר גודל של 6Ω) המיועד להעביר לזרמים קטנים. זה מסביר למה ה- **BSB012N03LX3** מסוגל להזורם זרים גדולים (**20A–10A**) בעוד **BSP89** מוגבל לזרמים קטנים (**10A–20A**).

ניתוח זמן עלית וירידת מתחים:

במעגל הראשון זמני העלייה והירידת ארכיים יותר לעומת המעגל השני, והסיבה לכך היא קיבוליות השערים.

בקשר של זמני עליה וירידת:

- כasher הכניסה עולה, Gate צריך להיטען במהירות מעיל מתח הסף (V_{th}). רק אז הטרנזיסטור מוליך במלואו ויכול למשוך את המוצא לאדמה. אם טעינת Gate איטית בגליל C_{iss} או Q_g גודלים, ירידת המוצא מתעכבת ונמדד **זמן ירידת ארוך**.
- כasher הכניסה יורדת, Gate צריך להיפרך במהירות אל מתחת ל- V_{th} כדי לנתק את ההולכה. רק אז המוצא יכול לעלות בחזרה ל- $5V$ באמצעות ה- **PMOS**. אם פריקת Gate איטית, העלייה מתעכבת ונמדד **זמן עליה ארוך**.

הסביר למה Q_g ו- C_{iss} משפיעים על הזמן טעינת הקובל:

$$\text{נוסחה של טעינת קובל: } V_c(t) = V_s \cdot (1 - e^{-\frac{t}{RC}})$$

$$\text{נוסחה של פריקת קובל: } V_c(t) = V_0 \cdot e^{-\frac{t}{RC}}$$

בمعالג שלנו C_{iss}/Qg היא C .

וכן R שלנו הוא R_g של הטרנזיסטור, והו R_{out} של השער הקודם.

בمعالג שלנו ככל ש- R או C גודלים יותר זמן הטעינה/פריקה ארוך יותר ולהיפך.

כלומר ככל ש- C_{iss} ו- Qg קטנים יותר כך טעינת ופריקת ה- $Gate$ מתבצעות מהר יותר, וכתווצאה מכך זמני העלייה והירידה קצרים יותר ותדר הפעולה המרבי של המمعالג גבוה יותר.

בمعالג הראשון נעשה שימוש ב- **BSB012N03LX3** שלו קיבוליות שער גבוהה מאוד (12700pF). טעינה ופריקה של קיבול גדול לוקחות זמן רב, ולכן זמני המיתוג מתארכים. לעומת זאת, בمعالג השני נעשה שימוש ב- **BSP89** בעל קיבוליות נמוכה בהרבה (80pF). כך שהטעינה והפריקה מהירות יותר, מה שmobiel לזמן עלייה וירידה קצרים.

BSS84	BSP89	BSB012N03LX3	
73pF	80pF	12700pF	C_{iss}
0.9nC	4.3nC	61nC	Qg
2.3ns	4ns	7.9ns	$T_{delayon}$
6.3ns	3.5ns	8.6ns	Tr
10ns	15.9ns	47ns	$T_{delayoff}$
4.8ns	18.4ns	8.4ns	Tf
טבלה של נתונים המשפיעים על מיתוג			

סעיף 3 - שני שערי NOT בטור

נחבר שני שערי NOT בטור כך שמקבילים שהיציאה שווה לכינסה. בטבלה 3 ו-4 ניתן לראות את המمعالגים עם חישוב של תדר מיתוג מרבי.

הגדרת תדר מיתוג מרבי (Fmax) :

תדר המיתוג המרבי הוא התדר הגבוה ביותר שבו המمعالג מסוגל לעבוד ועודין להגיע לרמות לוגיות תקינות ביציאה.

כלומר: כאשר הכניסה משתנה (0-1 או 1-0), לוקח לשער זמן מסוים עד שהמתח ביציאה מתיציב לערך הלוגי הנדרש. אם תדר השעון גבוה מדי, פרק הזמן של חצי מחזור קצר יותר מזמן התגובה של השער. במצב כזה, האות ביציאה לא מספיק להגעה לערכיהם הלוגיים (0 או 1) לפני שהכניסה כבר משתנה שוב → המערכת נכשלת לוגית.

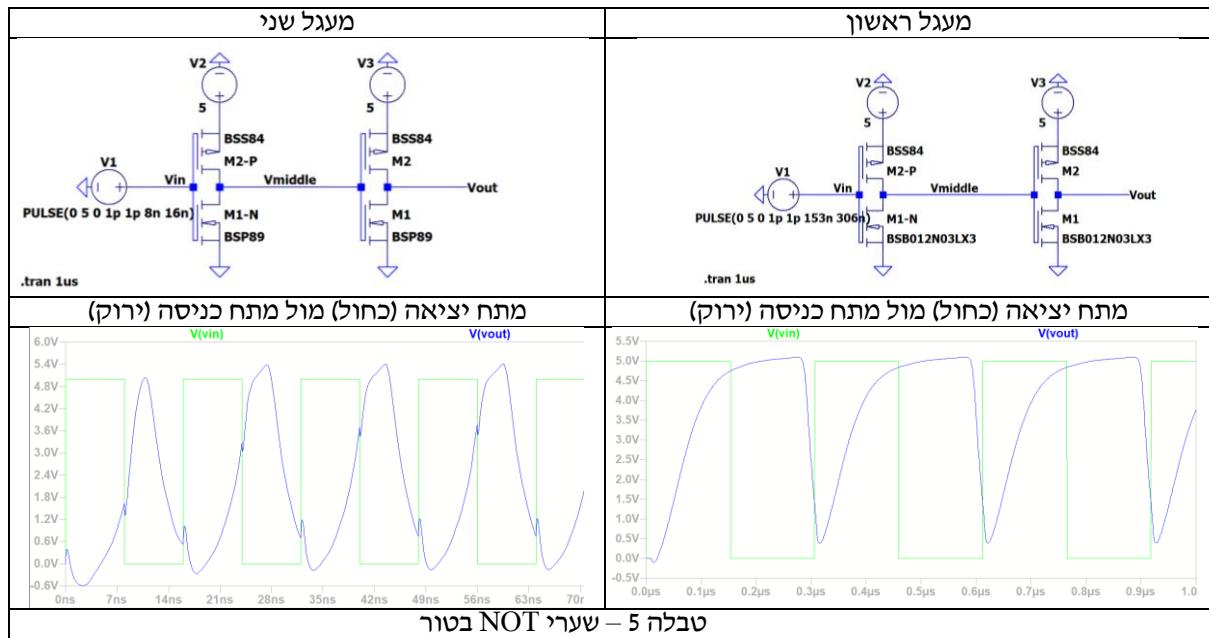
דוגמא עם שער NOT :

כשהכניסה עולה ל- V_5 , על היציאה לרדת לרמה לוגית נמוכה (寧יח מתחת $V_{1.5}$).

כשהכניסה יורדת חוזרת ל- V_0 , על היציאה לעלות לרמה לוגית גבוהה (寧יח מעל $V_{3.5}$).

אם בשני המקרים האלה היציאה לא מגיעה לערכיהם האלה בתוקן חצי מחזור של השעון, השער כבר לא מתפרק כראוי — ולכן התדר חרג מהתדר המיתוג המרבי שלו.

מצאנו שתדר מיתוג המרבי בمعالג הראשון 3.2MHz יותר נמוך מהمعالג השני 62.5MHz , כפי שכבר הסבירנו הגורם לכך היא שיש קיבולת שונה בין הטרנזיסטורים.



מציאת תדר מיתוג מירבי

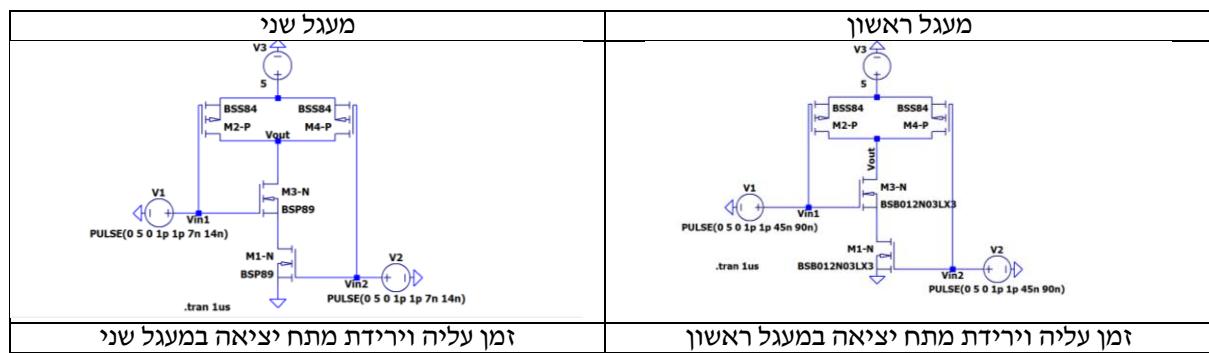
	מעגל שני	מעגל ראשון	שער לוגי
זמן מחזור מירבי	16n	306n	זמן מחזור מירבי
תדר מירבי	62.5MHz	3.2MHz	NAND

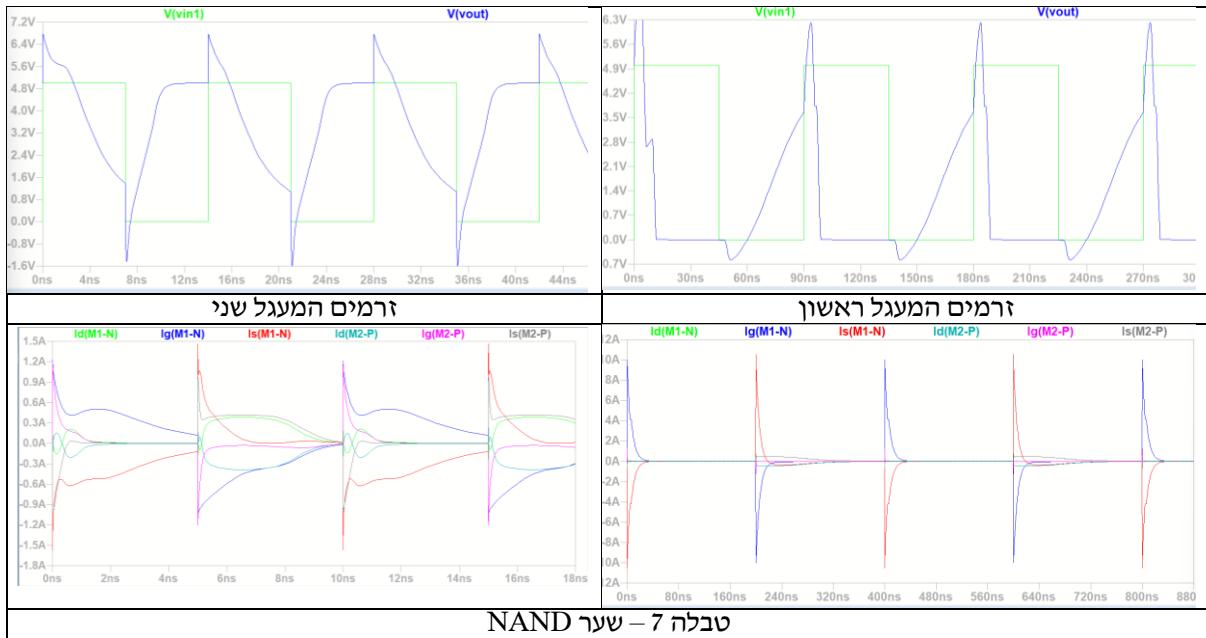
טבלה 6 – תדר מירבי של שער NAND

סעיף 4 - בניית שער NAND בטכנולוגיית CMOS

בנייה שער NAND בטכנולוגיית CMOS נבנה אוטם כמו בסעיפים הקודמים שיש שני מעגלים שונים אם טרנזיסטורים בהתאם לסעיפים הקודמים. המעגלים מופיעים בטבלה 7, וכן זמני העליה וירידת נמצאים בטבלה 8. ההבדלים בין המעגלים בזרמים ובזמן עלייה וירידת המתנה הם נובעים מ נתונים נთונים שכבר הסבכנו בסעיף הקודם.

השוואות זמני עלייה וירידת מתח וזרמים



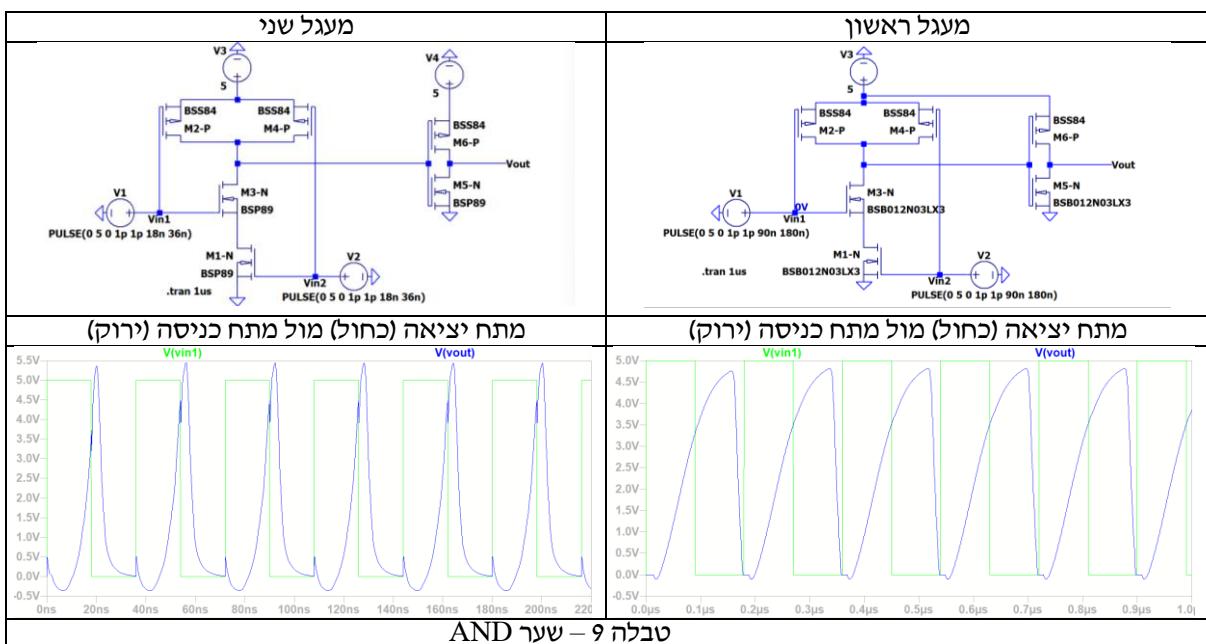


זמן עלייה וירידה

מעגל שני	מעגל ראשון	זמן עליית מתח (0-3.5)
2.5ns	45ns	זמן ירידת מתח (5-1.5)
6ns	8ns	זרם מקסימלי
2.4A	21A	טבלה 8 – טבלת זמן עלייה וירידה מתח של זמן במוספט

סעיף 5 - בניית שער AND בטכנולוגיית CMOS

נחבר בין שער NOT לשער NAND כדי לקבל שער AND, המוגלים ומתח כניסה ויציאה של תדר מיתוג מופיעים בטבלה 9, והתדרים מיתוג מירבי מופיעים בטבלה 10. מצאנו שתדר מיתוג המירבי במעגל הראשון 7.81MHz יותר נמוך מהמעגל השני 33.33MHz, כפי שכבר הסבכנו הגורם לכך היה שיש קיבולת שונה בין הטרנזיסטורים.

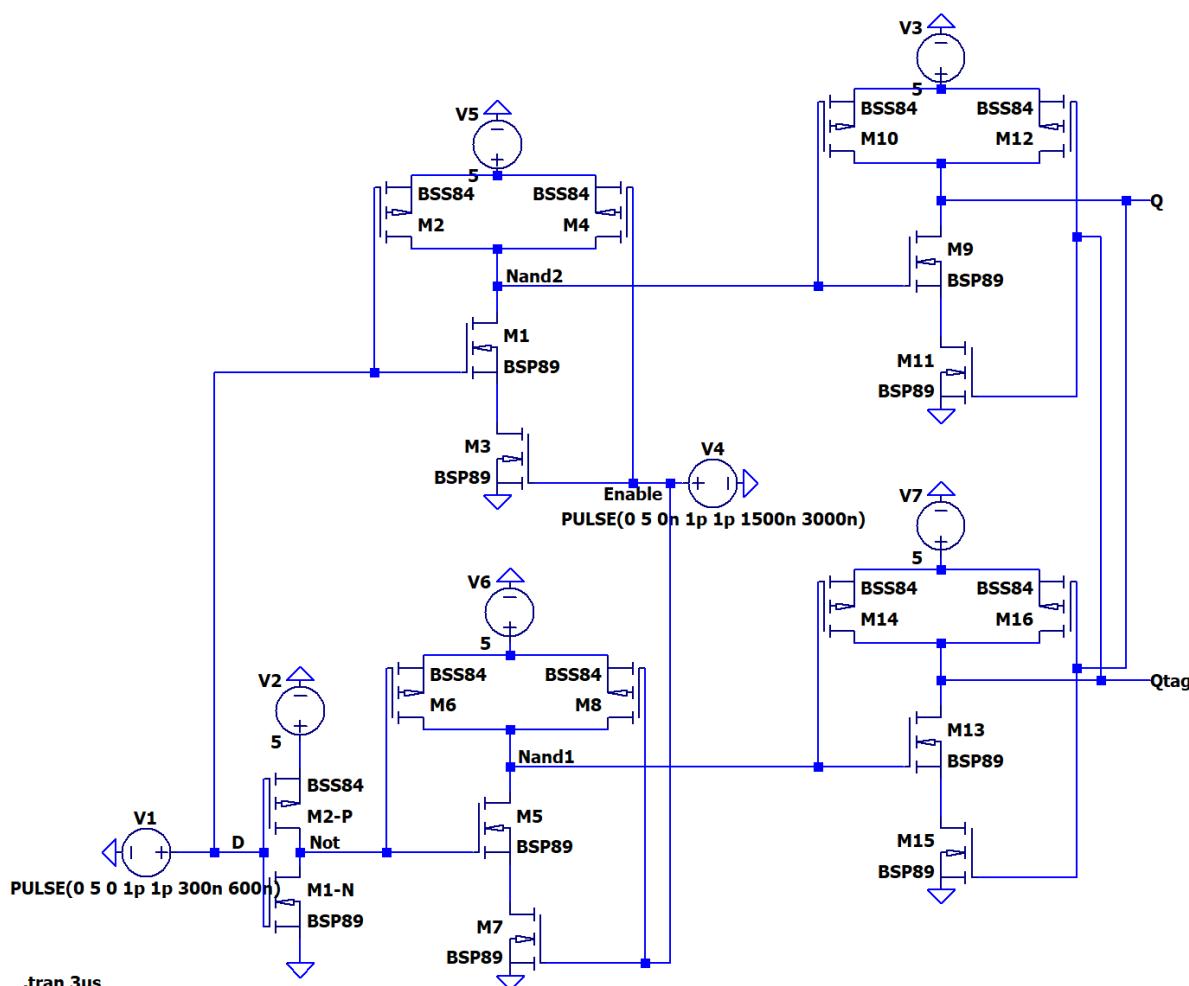


מציאת תדר מיתוג מרבי

שער לוגי	מעגל שני	מעגל ראשון
זמן מחזור מרבי	36n	190n
תדר מרבי	27.7MHz	5.2MHz
טבלה 10 – תדר מרבי של שער AND		

ניסוי ב'

סעיף 1 - בניית D-Latch בטכנולוגיית CMOS



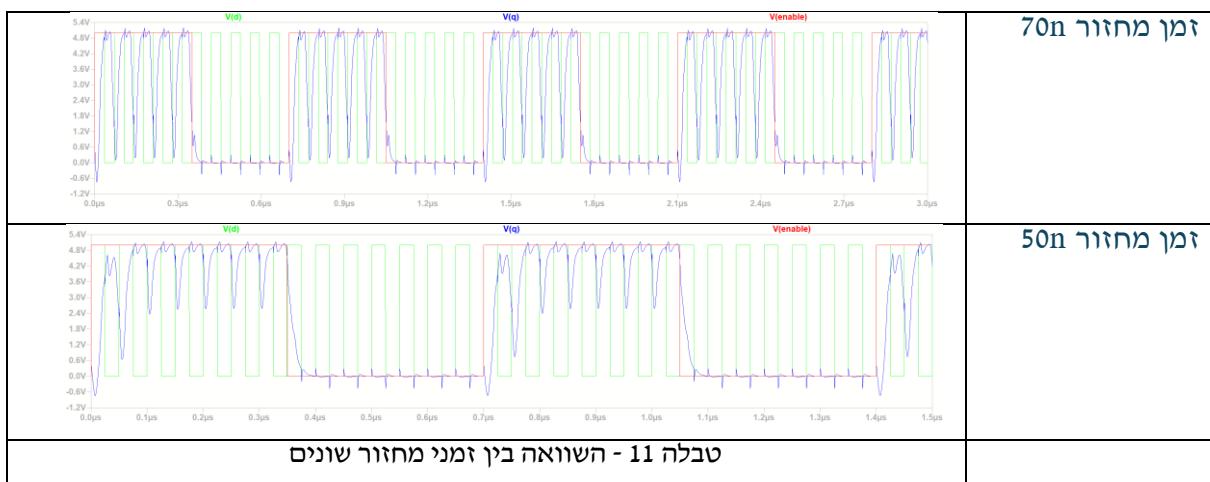
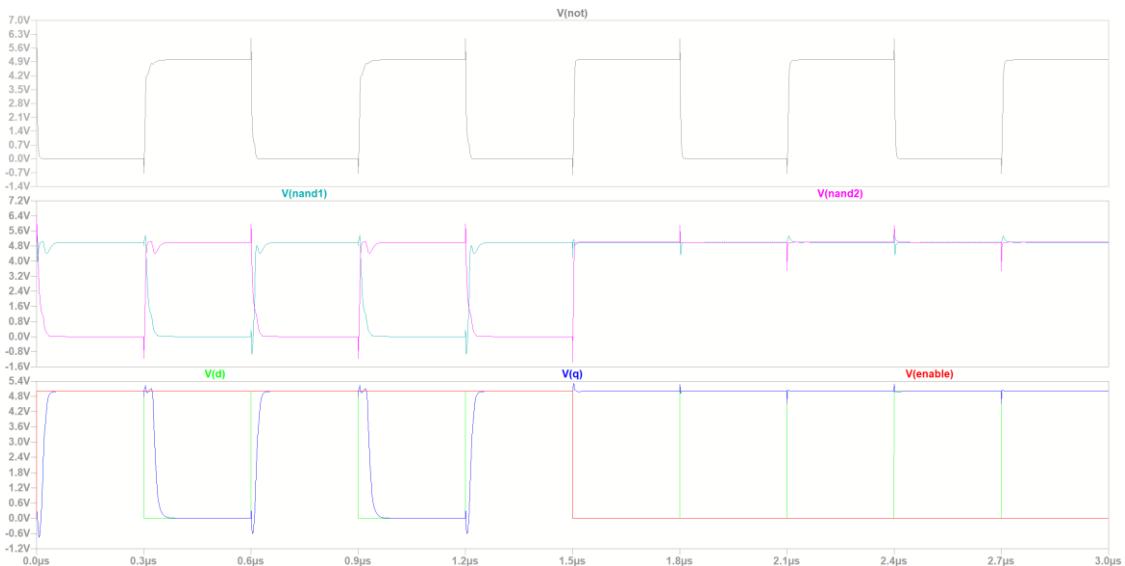
סעיף 2 – עם אילו טרנזיסטורים עדיף לבנות את המערכת שפועלת בתדר גבוה?

בשילובה בין שני הזוגות שנבדקו בניסוי התקבל כי הזוג BSP89 + BSS84 זמני המיתוג היו מהירים בהרבה. לעומת זאת הזוג BSB012N03LX3 + BSS84 תדר המיתוג המרבי היו קטנים יותר.

דיון ונימוק :

במערכת לוגית כמו Latch D הזרמים העוברים קטנים, ולכן יתרון של טרנזיסטור המסוגל לשאת זרם גדול אינו רלוונטי. מה שקובע את הביצועים הוא עד כמה מהר השערים יכולים לשנות מצב. ב-3XN03LXBSB012BSP89 יש קיבולים פנימיים גדולים ולכן טעינה ופריקת השערות איטיות, מה שمبرיל את התדר. לעומת זאת ב-3XN03LXBSB012BSP89 הקיבולים קטנים בהרבה ולכן יותר מאפשרות ותדר פעולה גבוה.

סעיף 3 – הציג בגרף את כל אוטות המוצא של כל שער ושער המערכת. מצא את תדר מיתוג המירבי. הסבר באמצעות גרפים איך תדר גובה יותר לא מאפשר את פעילות המערכת.



רואים בטבלה 11 שהזמן מחזור 50 המוצא לא מגיע ל-0 לוגי כאשר הוא יורד, ולכן אינו פועל באופן תקין בזמן מחזור זה. אך בזמן מחזור 70ns הוא מצליח לרדת ל-0 לוגי ולעלאות לאחד לוגי שכן הוא פועל באופן תקין. לכן תדר המירבי הוא 14.7MHz.

D-Latch	זמן מחזור מירבי
68n	תדר מירבי
14.7MHz	
טבלה 12	

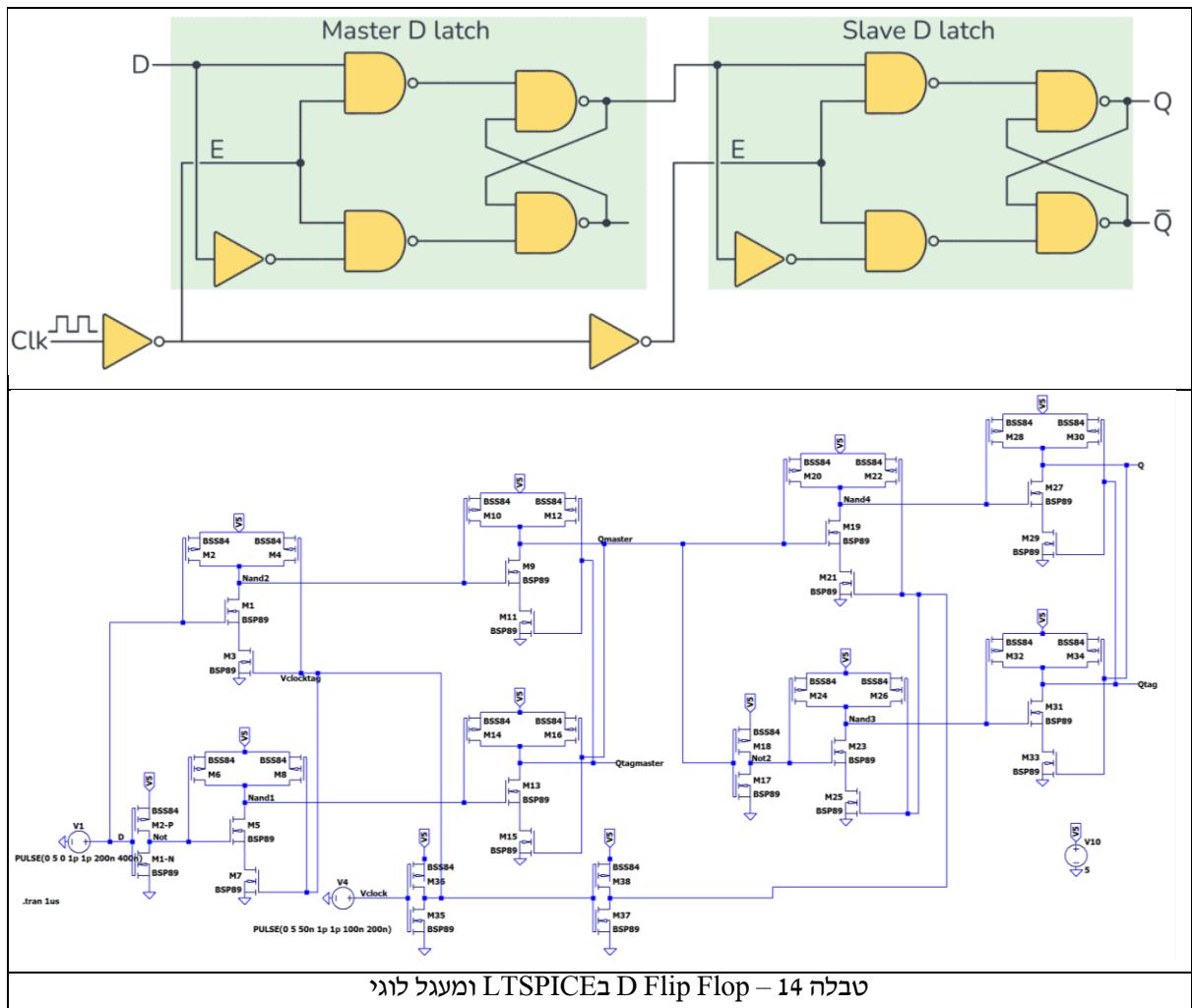
סעיף 4 – חישוב טרנזיסטורים מתאימים יותר לתדר מיתוג מרבי

BSS84	BSP89	Nmos BSS123	
73pF	80pF	73pF	Ciss
0.9nC	4.3nC	1.8nC	Qg
2.3ns	4ns	1.7ns	Tdelayon
6.3ns	3.5ns	9ns	Tr
10ns	15.9ns	17ns	Tdelayoff
4.8ns	18.4ns	2.4ns	Tf

טבלה 13 - השוואת טרנזיסטורים

לא מצאתי טרנזיסטור PMOS יותר מהר מ- BSS84 , אך מצאתי טרנזיסטור NMOS יותר מהר מה- BSS123 יש לו זמן קיבול שהוא פחות כפי שראוי בטבלה 13 וגם זמן ירידיה יותר מהר משמעותית, למרות שיש לו זמן עלייה יותר איטי זה לא משנה כל כך כי זמני תזוזה מירבי יותר מושפע מזמן הערוך יותר זמן עלייה ירידיה لكن עדיף שנזכיר את הזמן הירידיה שהוא ערך מבניהם.

סעיף 5 – בניית תדר מיתוג וזמןן המערכת

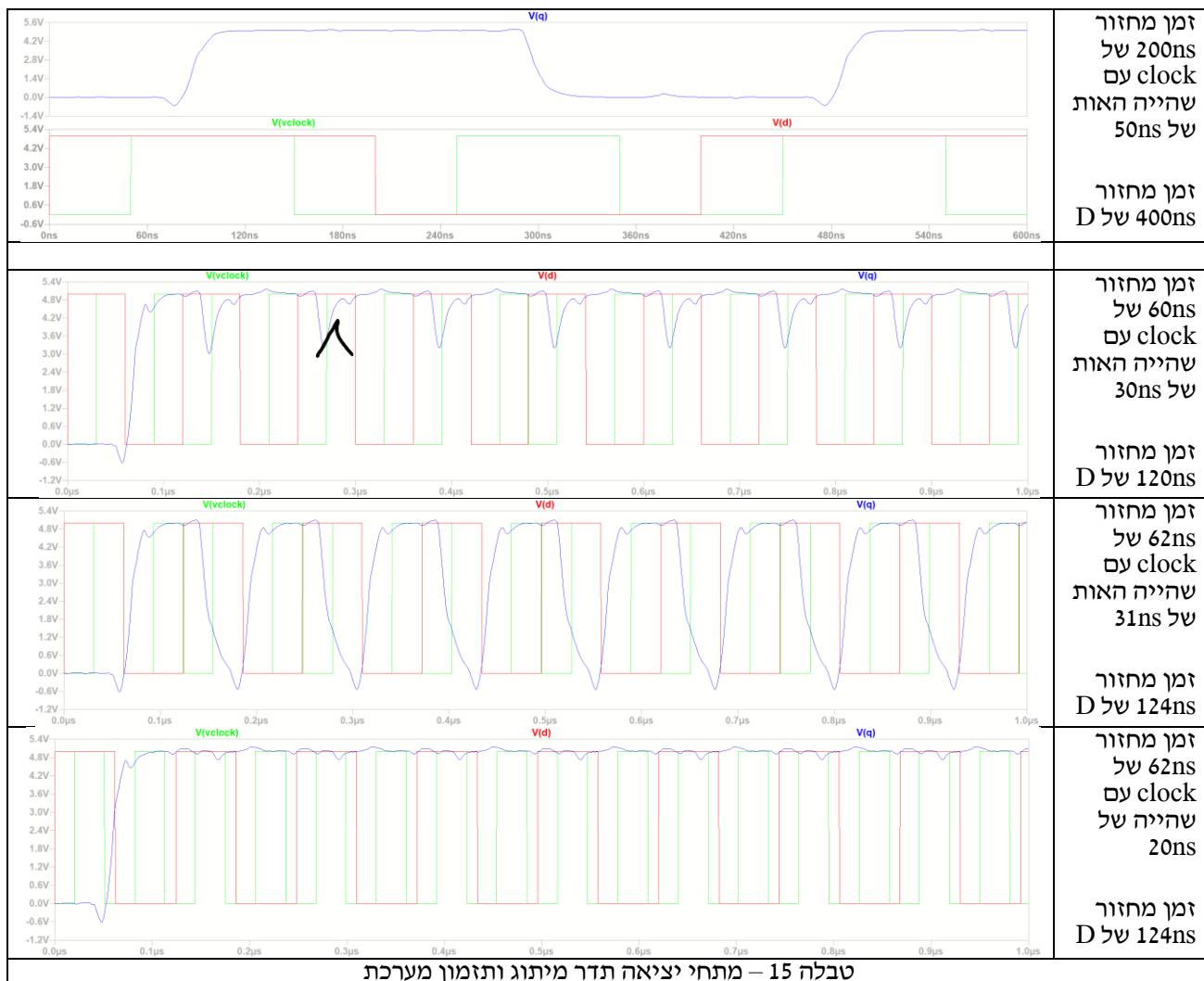


המבנה פועל בשיטת Master–Slave החלק הראשון (Master latch) פעיל כשחישוען במצב נמוך ועוקב אחרי הכניסה D אבל המידע עדין לא יוצא Q. ברגע שהשעון עובר מצב נמוך לגובה ה- Flip flop גנעל על הערך האחרון של D והחלק השני (Slave) נפתח ו מעביר את הערך ל- Q. בaczora he- Master

Dוגם את D בדיק בקצת העלייה של השעון ושומר את הערך ביציאה Q עד לקצת העלייה הבא.

תזמן המערכת ותדר מיתוג

כדי שהמערכת תעבוד ב;zורה התקינה נקבע את זמן מחזור ה **CLOCK** שתהייה פי 2 יותר גדול מזמן מחזור של אות הכניסה D ושתהיה לו השניה של חצי זמן מחזור כך שככל עלייה מתח שלו מס לוגי 1 לוגי יתקבל אחרי רבע זמן מחזור של אות כניסה D כך שהאות יספיק להגיעו **Qmaster**. אם לא נבצע השאיה ויחס של פי 2 של זמן מחזור נקבע מקרים שהמערכת לא תעבוד ב;zורה התקינה כמו באירוע השני מלמעלה בטבלה 15 שבזמן 400ns נמצא ערך 0 והעלילתי **CLOCK** הבא 10ns אחר כך לא מתאפשרות ב**Q** הערך 0 אלא הוא נשאר ב-1, וזה בגלל ש**D** לא הספיק לעבור ל**Qmaster** עדין. קיבלנו זמן מחזור הכיכי קטן 62ns.



D-Flip Flop	
זמן עליית האות ל 1 לוגי	42ns
זמן ירידת האות ל 0 לוגי	52ns
זמן מחזור מרבי (Clock)	62n
תדר מרבי (Clock)	16.1MHz
טבלה 16 – חישוב זמני עליה וירידה ותדר מיתוג	