

# הערכה חלופית מעבדה באלקטרוניקה וחשמל VLSI

שלמה אברמס ת"ז 332266725

## מעגל D-Latch

D-latch הוא רכיב יסודי באלקטרוניקה דיגיטלית המשמש כיחידת זיכרון של סיבית אחת, הרכיב מתנהג כמו שער עם מנעול שרק עם יש מפתח ניתן לשנות את התוכן בפנים. הרכיב מקבל קלט נתונים (D) וקלט הפעלה (E-Enable).

כאשר ה  $Enable=0$  השער נעול. הפלט (Q) לא משתנה ונשאר עם הערך האחרון שהיה לו.

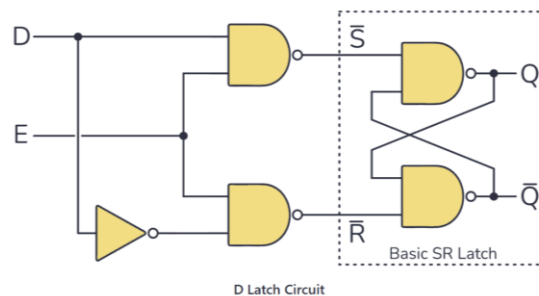
כאשר ה  $Enable=1$  השער פתוח. הפלט (Q) משקף את הקלט (D) כלומר אם  $D=0$  אז  $Q=0$ , ואם  $D=1$  אז  $Q=1$ .

עבור מעגל לוגי CMOS, הפועל במתח ספק  $V_5$ , המתח המהווה ערך לוגי 0, נע בין  $V_0$  לבין  $V_{1.5}$ . המתח המהווה ערך לוגי 1, נע בין  $V_{3.5}$  לבין  $V_5$ .

טבלת אמת של הרכיב נמצא בטבלה 1.

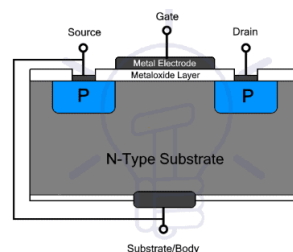
Enable	D	Q+
0	0	Q
0	1	Q
1	1	1
1	0	0
טבלה 1 – טבלת אמת של Latch-D		

המעגל הלוגי שמייצג את הרכיב בנוי משערים לוגיים NAND ו NOT כפי שניתן לראות באיור 1.



איור מספר 1 – מעגל חשמלי של שער D

נשתמש בטרנזיסטורים מסוג MOSFET כדי לבנות את המעגלים החשמלים מבנה NMOS מופיע באיור 2.



איור 2 – מבנה טרנזיסטור NMOS

# ניסוי א'

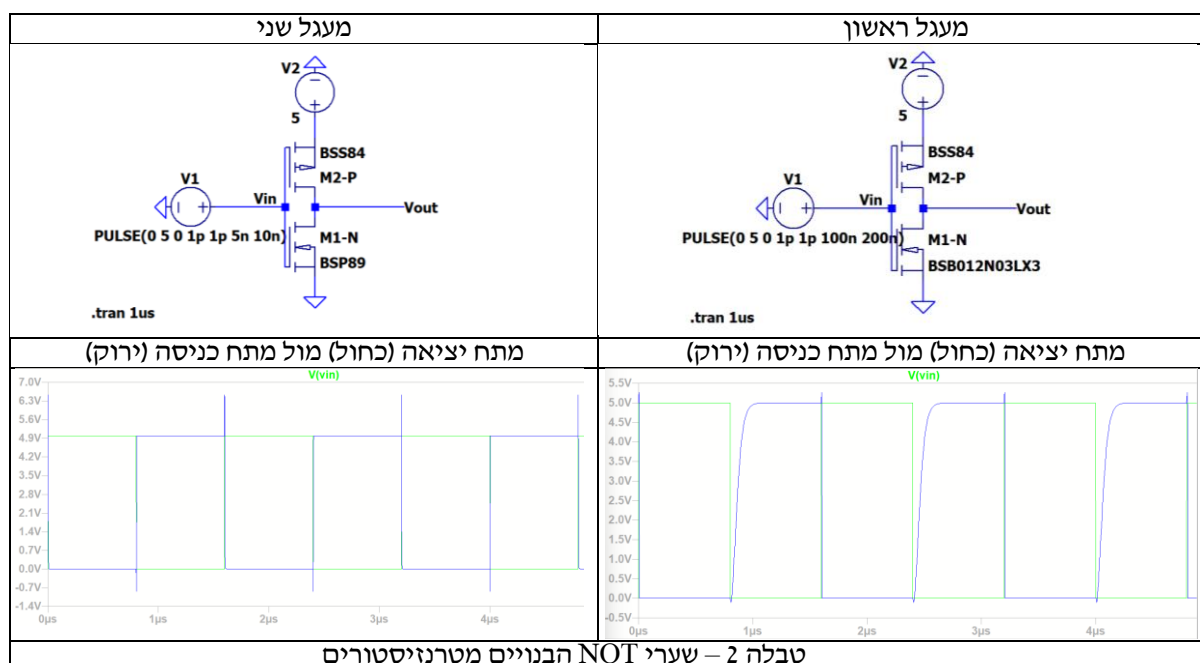
## סעיף 1 - בניית שערי NOT בטכנולוגיית CMOS

במסגרת הניסוי, נבצע השוואה בין שני מעגלי שער לוגי NOT מעגלים אלו מתוכננים בטכנולוגיית CMOS המשלבת טרנזיסטורים מסוג P ו-N. מטרת הניסוי היא לבחון את השפעת בחירת הטרנזיסטורים על ביצועי השער הלוגי.

בניסוי זה נשתמש בשני זוגות שונים של טרנזיסטורים:

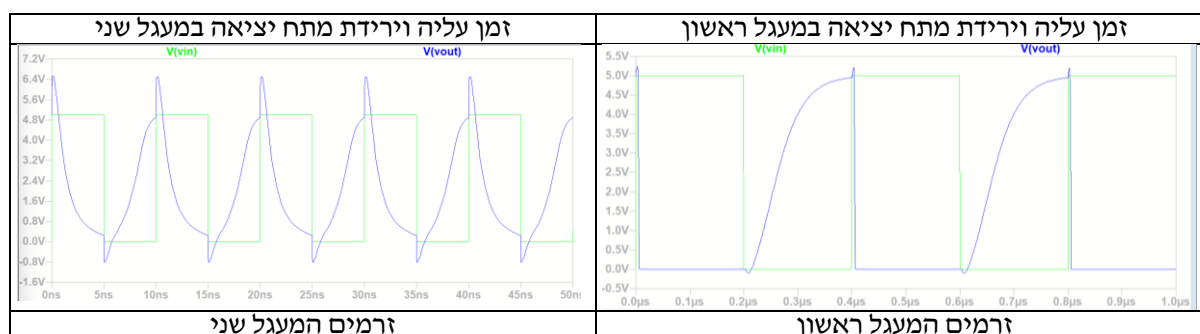
1. **מעגל ראשון:** יבנה עם טרנזיסטור PMOS מדגם **BSS84** וטרנזיסטור NMOS מדגם **BSB012N03LX3**.
2. **מעגל שני:** יבנה עם טרנזיסטור PMOS מדגם **BSS84** וטרנזיסטור NMOS מדגם **BSP89**.

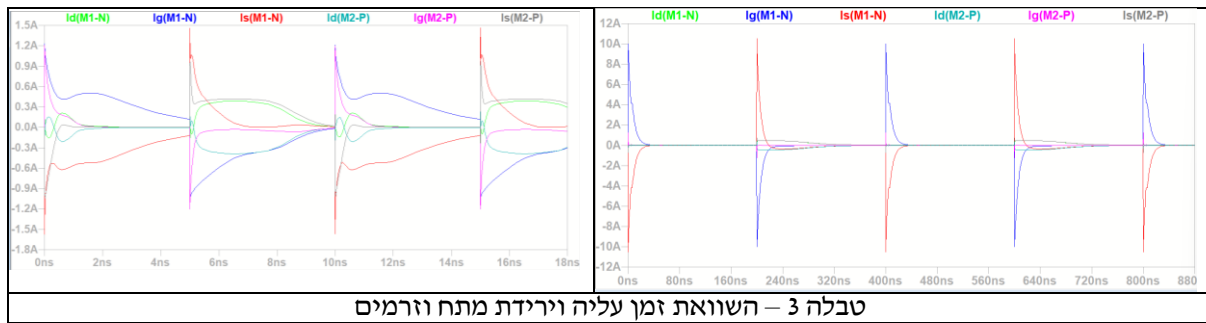
המעגלים והאיורים של מתחי כניסה ויציאה מופיעים בטבלה 2. רואים האיורים התנהגות של שער NOT, כלומר מתח היציאה הפוכה ממתח הכניסה.



## סעיף 2 - השוואת המעגלים

נבצע ההשוואה בין המעגלים על ידי מדידת זמני העלייה והירידה של מתח המוצא, ובדיקת הזרמים. לאחר מכן, ננתח את ההבדלים בביצועים ונזהה אילו ערכים מדפי הנתונים של הטרנזיסטורים אחראים להבדלים שנמדדו. ההשוואות מופיעים בטבלה 3 ו-4.





טבלה 3 – השוואת זמן עליה וירידת מתח וזרמים

## זמני עליה וירידה

במעגל השני	במעגל הראשון	
3.5ns	85ns	זמן עלית מתח (0-3.5)
2ns	5.5ns	זמן ירידה מתח (5-1.5)
1.5A	10A	זרם מקסימלי
טבלה 4 – טבלת זמן עליה וירידה מתח של זמן במוספט		

## ניתוח הזרמים במעגלים:

קודם כל רואים שיש זרם גדול בגייט לכאורה לא אמור להיות זרם שם, הסיבה לכך שיש זרמים בגייט הוא יש סוג של קבל בין הגייט לתעלה של הטרנזיסטור כי הגייט בנוי מאלקטרודה מתכתי עם מבודד בינו לבין התעלה (איור 2). הקבל נהיה קצר בתדר גבוה כלומר בזמן השינוי, ויש בו זרם. אפשר לראות את זה מהצד של הגייט, שהבדל פוטנציאלי במתח גורם להרבה מטענים לעבור לצד של הגייט בקבל, שזה בעצם הזרם שעובר בגייט, לכן גם רואים שהזרם לא ממשיך אלא ברגע שקיבול מתרוקן ממטענים הזרם פוסק.

שנית, במעגל הראשון הזרם גדול יותר מהמעגל השני הגורם לכך הוא התנגדות פתיחה. במעגל הראשון יש את הטרנזיסטור BSB012N03LX3 עם התנגדות פתיחה נמוכה (בסדר גודל של  $1.2 \text{ m}\Omega$ ) מיועד להעביר זרמים גבוהים. במעגל השני יש את הטרנזיסטור BSP89 עם התנגדות פתיחה גבוהה (בסדר גודל של  $6\Omega$ ) שמיועד להעביר לזרמים קטנים. זה מסביר למה ה' BSB012N03LX3 מסוגל להזרים זרמים גדולים (10-20A) בעוד BSP89 מוגבל לזרמים קטנים (10-20A).

## ניתוח זמן עלית וירידת מתחים:

במעגל הראשון זמני העלייה והירידה ארוכים יותר לעומת המעגל השני, והסיבה לכך היא קיבוליות השערים.

בהקשר של זמני עלייה וירידה:

- כאשר הכניסה עולה, ה' Gate צריך להיטען במהירות מעל מתח הסף ( $V_{th}$ ). רק אז הטרנזיסטור מוליך במלואו ויכול למשוך את המוצא לאדמה. אם טעינת ה' Gate איטית בגלל Qg או Ciss גדולים, ירידת המוצא מתעכבת ונמדד זמן ירידה ארוך.
- כאשר הכניסה יורדת, ה' Gate צריך להיפך במהירות אל מתחת ל'  $V_{th}$  כדי לנתק את ההולכה. רק אז המוצא יכול לעלות בחזרה ל' 5V באמצעות ה' PMOS. אם פריקת ה' Gate איטית, העלייה מתעכבת ונמדד זמן עליה ארוך.

הסבר למה Qg ו Ciss משפיעים על הזמן טעינת הקבל:

$$V_c(t) = V_s \cdot (1 - e^{-\frac{t}{RC}}) \text{ : נוסחא של טעינת קבל}$$

$$V_c(t) = V_0 \cdot e^{-\frac{t}{RC}} \text{ : נוסחא של פריקת קבל}$$

במעגל שלנו Ciss/Qg היא Cn.

וכן R שלנו הוא Rg של הטרנזיסטור, והRout של השער הקודם.

במעגל שלנו ככל ש-R או C גדולים יותר זמן הטעינה/פריקה ארוך יותר ולהיפך.

כלומר ככל ש-Ciss ו-Qg קטנים יותר כך טעינת ופריקת ה-Gate מתבצעות מהר יותר, וכתוצאה מכך זמני העלייה והירידה קצרים יותר ותדר הפעולה המרבי של המעגל גבוה יותר.

במעגל הראשון נעשה שימוש ב- **BSB012N03LX3** שלו קיבוליות שער גבוהה מאוד (12700pF). טעינה ופריקה של קיבול גדול לוקחות זמן רב, ולכן זמני המיתוג מתארכים. לעומת זאת, במעגל השני נעשה שימוש ב- **BSP89** בעל קיבוליות נמוכה בהרבה (80pF). כך שהטעינה והפריקה מהירות יותר, מה שמוביל לזמני עלייה וירידה קצרים.

BSS84	BSP89	BSB012N03LX3	
73pF	80pF	12700pF	Ciss
0.9nC	4.3nC	61nC	Qg
2.3ns	4ns	7.9ns	Tdelayon
6.3ns	3.5ns	8.6ns	Tr
10ns	15.9ns	47ns	Tdelayoff
4.8ns	18.4ns	8.4ns	Tf
טבלה של נתונים המשפיעים על מיתוג			

### סעיף 3 - שני שערי NOT בטור

נחבר שני שערי NOT בטור כך שמקבלים שהיציאה שווה לכניסה. בטבלה 3 ו-4 ניתן לראות את המעגלים עם חישוב של תדר מיתוג מירבי.

**הגדרת תדר מיתוג מרבי (Fmax):**

תדר המיתוג המרבי הוא התדר הגבוה ביותר שבו המעגל מסוגל לעבוד ועדיין להגיע לרמות לוגיות תקינות ביציאה.

כלומר: כאשר הכניסה משתנה (מ-0 ל-1 או מ-1 ל-0), לוקח לשער זמן מסוים עד שהמתח ביציאה מתייצב לערך הלוגי הנדרש. אם תדר השעון גבוה מדי, פרק הזמן של חצי מחזור קצר יותר מזמן התגובה של השער. במצב כזה, האות ביציאה לא מספיק להגיע לערכים הלוגיים (0 או 1) לפני שהכניסה כבר משתנה שוב → המערכת נכשלת לוגית.

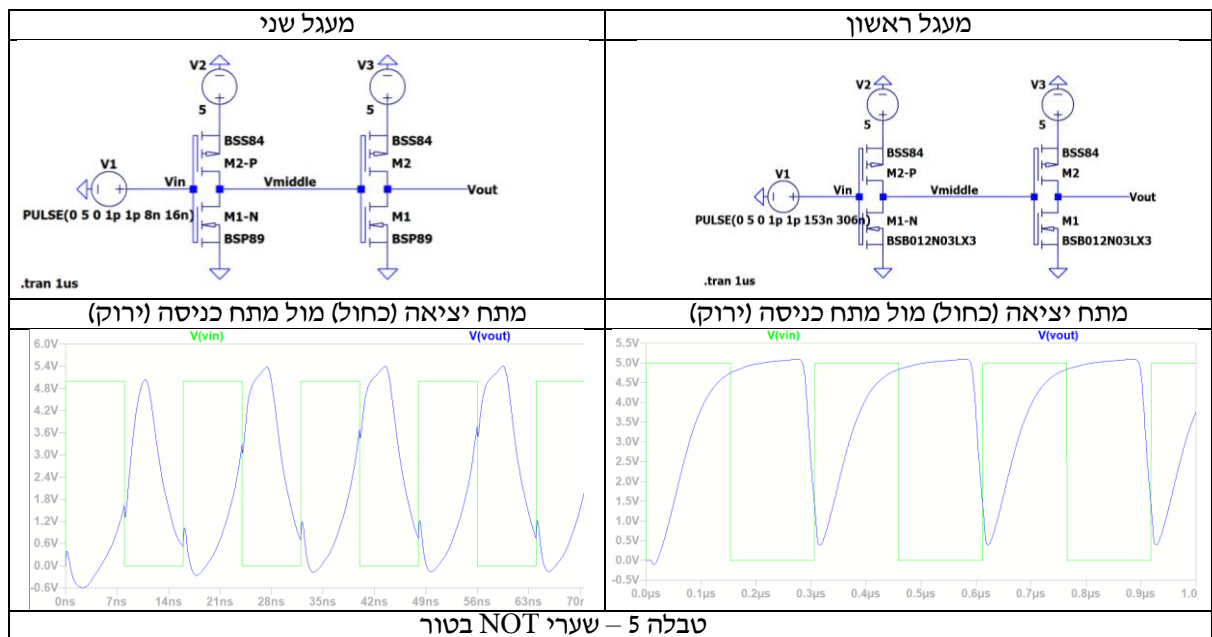
דוגמה עם שער NOT:

כשהכניסה עולה ל-5V, על היציאה לרדת לרמה לוגית נמוכה (נניח מתחת ל-1.5V).

כשהכניסה יורדת חזרה ל-0V, על היציאה לעלות לרמה לוגית גבוהה (נניח מעל 3.5V).

אם בשני המקרים האלה היציאה לא מגיעה לערכים האלה בתוך חצי מחזור של השעון, השער כבר לא מתפקד כראוי — ולכן התדר חרג מהתדר המיתוג המרבי שלו.

מצאנו שתדר מיתוג המירבי במעגל הראשון 3.2MHz יותר נמוך מהמעגל השני 62.5MHz, כפי שכבר הסברנו הגורם לכך היא שיש קיבולת שונה בין הטרנזיסטורים.



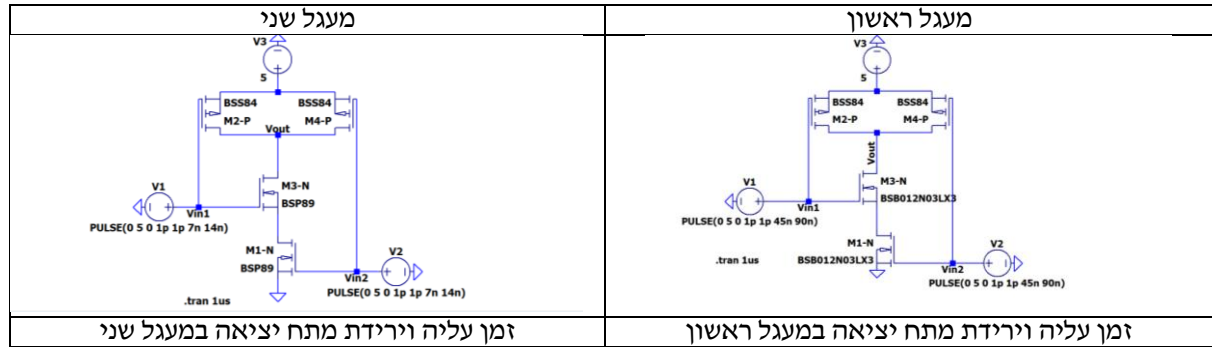
### מציאת תדר מיתוג מירבי

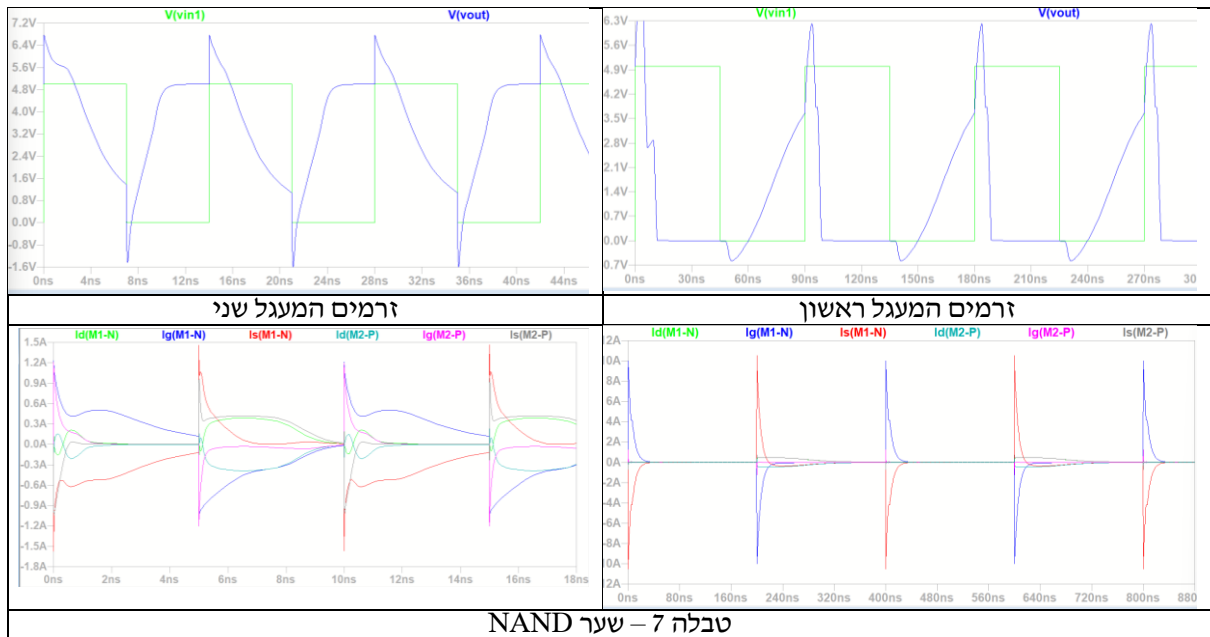
מעגל שני	מעגל ראשון	שער לוגי
16n	306n	זמן מחזור מירבי
62.5MHz	3.2MHz	תדר מירבי
טבלה 6 – תדר מירבי של שערי NAND		

### סעיף 4 - בניית שערי NAND בטכנולוגיית CMOS

נבנה שער NAND בטכנולוגיית CMOS נבנה אותם כמו בסעיפים הקודמים שיש שני מעגלים שונים אם טרנזיסטורים בהתאמה לסעיפים הקודמים. המעגלים מופיעים בטבלה 7, וכן זמני העליה וירידה נמצאים בטבלה 8. ההבדלים בין המעגלים בזרמים ובזמני עליה וירידת המתח הם נובעים מאותם נתונים שכבר הסברנו בסעיף הקודם.

### השוואות זמני עליה וירידת מתח וזרמים



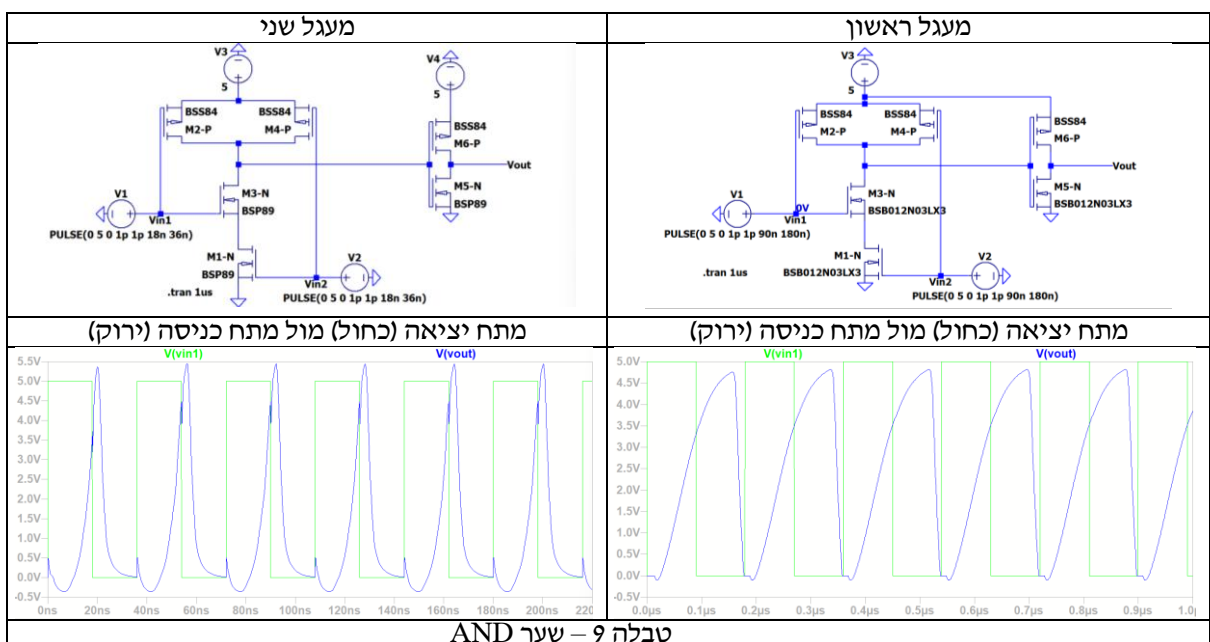


זמני עליה וירידה

מעגל ראשון	מעגל שני	
45ns	2.5ns	זמן עליית מתח (0-3.5)
8ns	6ns	זמן ירידה מתח (5-1.5)
21A	2.4A	זרם מקסימלי
טבלה 8 – טבלת זמן עליה וירידה מתח של זמן במוספט		

## סעיף 5 - בניית שערי AND בטכנולוגיית CMOS

נחבר בין שער NOT לשער NAND כדי לקבל שער AND, והתדרים מיתוג מירבי מופיעים בטבלה 10. מצאנו שתדר מיתוג המירבי במעגל הראשון מופיעים בטבלה 9, וזמן עליית מתח של זמן במוספט

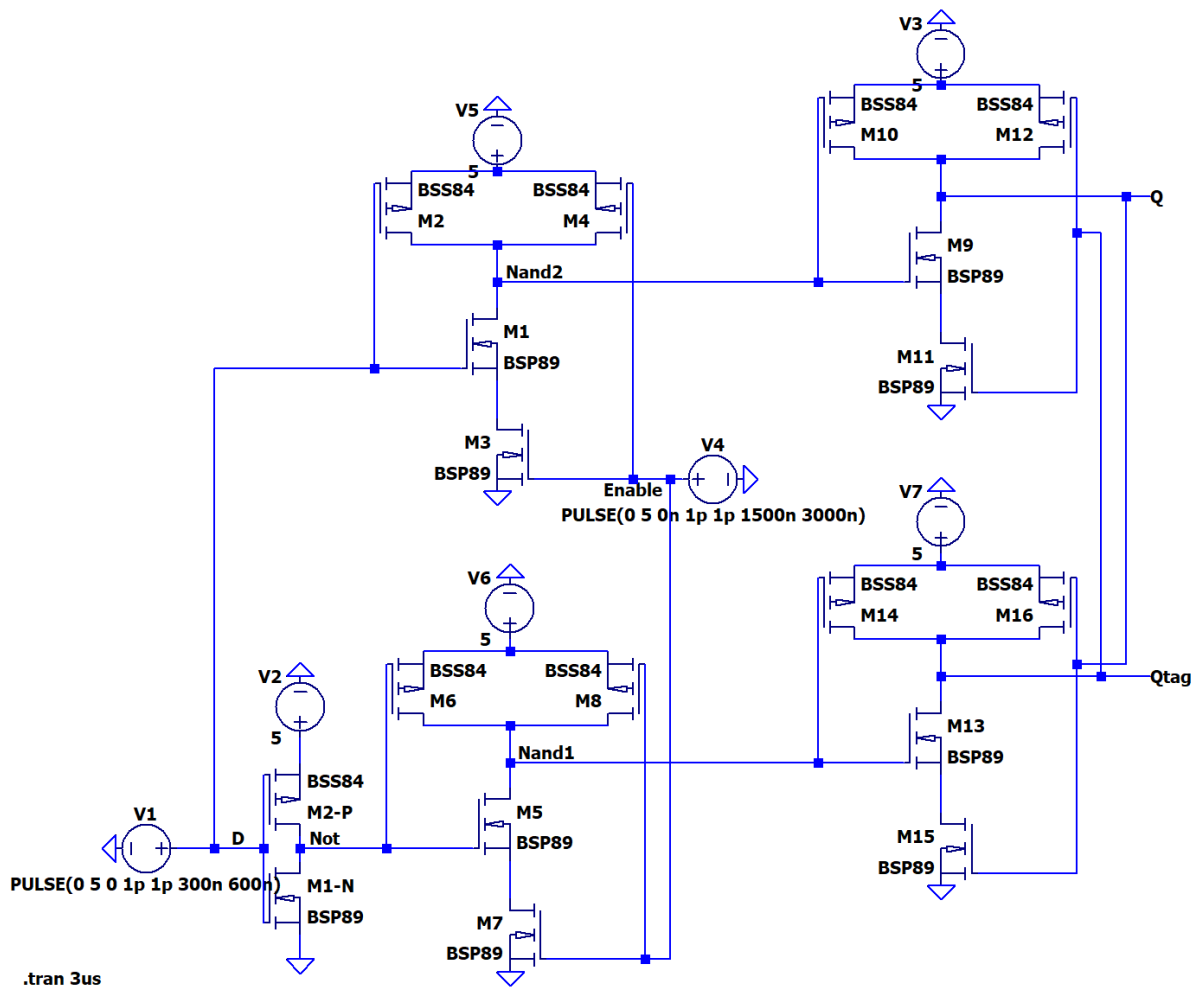


## מציאת תדר מיתוג מירבי

שער לוגי	מעגל ראשון	מעגל שני
זמן מחזור מירבי	190n	36n
תדר מירבי	5.2MHz	27.7MHz
טבלה 10 – תדר מירבי של שערי AND		

## ניסוי ב'

### סעיף 1 - בניית D-Latch בטכנולוגיית CMOS



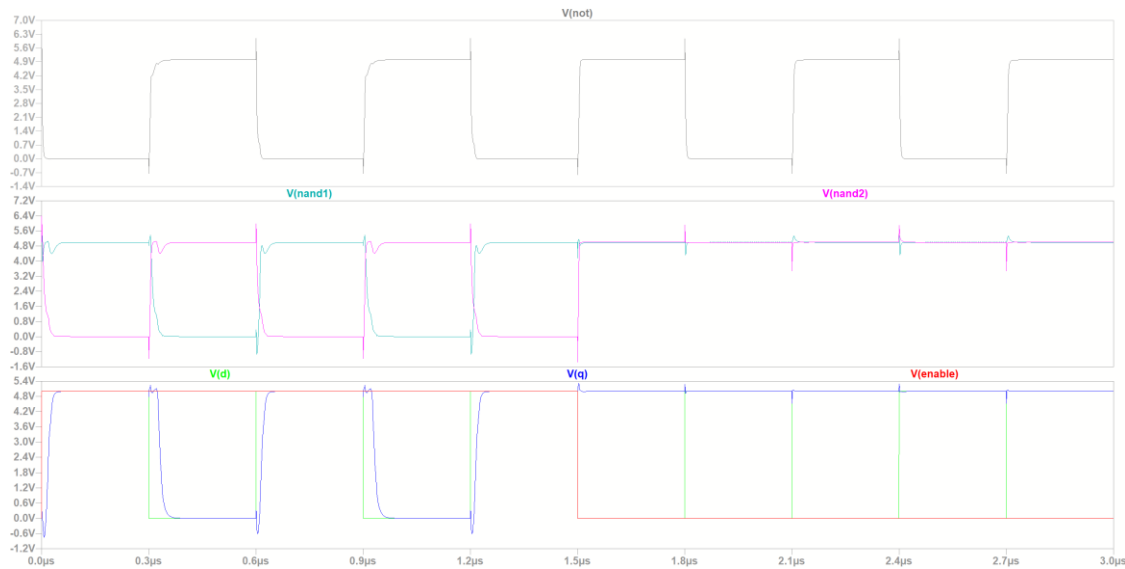
### סעיף 2 – עם אילו טרנזיסטורים עדיף לבנות את המערכת שפועלת בתדר גבוהה?

בהשוואה בין שני הזוגות שנבדקו בניסוי התקבל כי בזוג BSS84 + BSP89 זמני המיתוג היו מהירים בהרבה. לעומת זאת בזוג BSB012N03LX3 + BSS84 תדר המיתוג המרבי היו קטנים יותר.

דיון ונימוק:

במערכת לוגית כמו Latch D הזרמים העוברים קטנים, ולכן יתרון של טרנזיסטור המסוגל לשאת זרם גדול אינו רלוונטי. מה שקובע את הביצועים הוא עד כמה מהר השערים יכולים לשנות מצב. ל־BSB012N03LX3 יש קיבולים פנימיים גדולים ולכן טעינת ופריקת השערות איטיות, מה שמגביל את התדר. ל־BSP89 הקיבולים קטנים בהרבה ולכן הוא מאפשר מעבר מהיר יותר של אותות ותדר פעולה גבוה.

סעיף 3 – הצג בגרף את כל אותות המוצא של כל שער ושער במערכת. מצא את תדר מיתוג המירבי. הסבר באמצעות גרפים איך תדר גבוה יותר לא מאפשר את פעילות המערכת.



	זמן מחזור 70n
	זמן מחזור 50n
טבלה 11 - השוואה בין זמני מחזור שונים	

רואים בטבלה 11 שזמן מחזור 50ns המוצא לא מגיע ל־50 לוגי כאשר הוא יורד, לכן הוא לא פועל באופן תקין בזמן מחזור זה. אך בזמן מחזור 70ns הוא מצליח לרדת ל־50 לוגי ולעלות לאחד לוגי לכן הוא פועל באופן תקין. לכן תדר המירבי הוא 14.7MHz.

D-Latch	
68n	זמן מחזור מירבי
14.7MHz	תדר מירבי
טבלה 12	



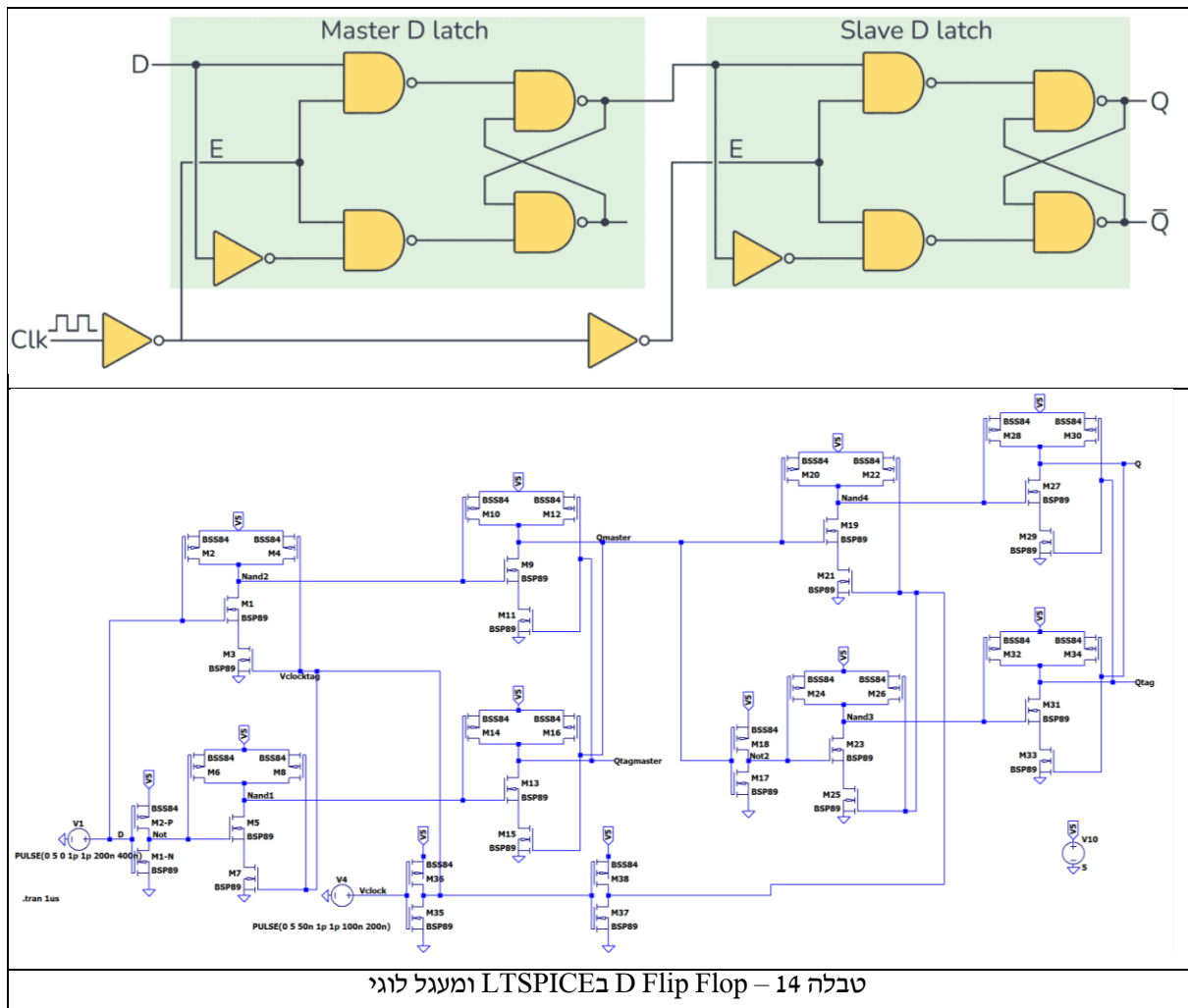
#### סעיף 4 – חיפוש טרנזיסטורים מתאימים יותר לתדר מיתוג מרבי

BSS84	BSP89	Nmos BSS123	
73pF	80pF	73pF	Ciss
0.9nC	4.3nC	1.8nC	Qg
2.3ns	4ns	1.7ns	Tdelayon
6.3ns	3.5ns	9ns	Tr
10ns	15.9ns	17ns	Tdelayoff
4.8ns	18.4ns	2.4ns	Tf

טבלה 13 - השוואת טרנזיסטורים

לא מצאתי טרנזיסטור PMOS יותר מהר BSS84, אך מצאתי טרנזיסטור NMOS יותר מהר מהר BSS84, שהוא BSS123 יש לו זמן קיבול שהוא פחות כפי שרואים בטבלה 13 וגם זמן ירידה יותר מהר משמעותית, למרות שיש לו זמן עליה יותר איטי זה לא משפיע כל כך כי זמני תדר מירבי יותר מושפע מזמן הערוך יותר מזמני עליה וירידה לכן עדיף שנקצר את הזמן הירידה שהוא היותר ערוך מבניהם.

#### סעיף 5 – בניית D-FlipFlop תדר מיתוג ותזמון המערכת



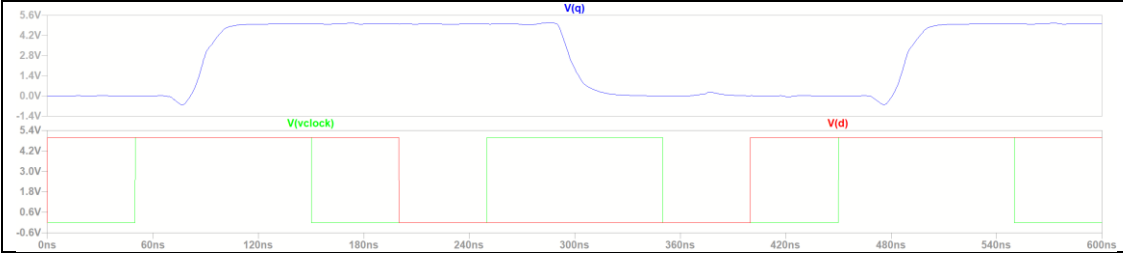
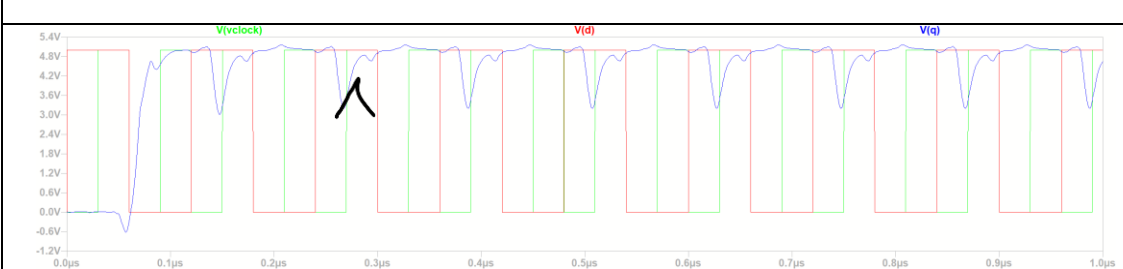
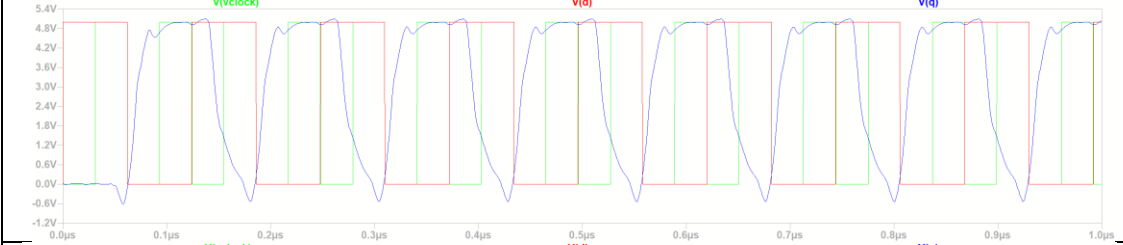
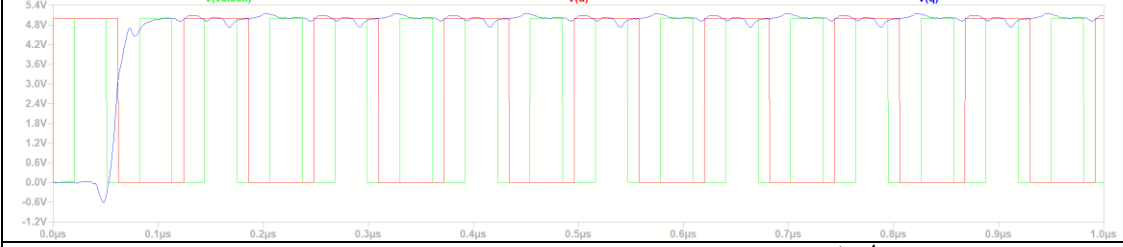
טבלה 14 – D Flip Flop ב LTSPICE ומעגל לוגי

ה D-Flip-flop שבניתי פועל בשיטת Master-Slave החלק הראשון (Master latch) פעיל כשהשעון במצב נמוך ועוקב אחרי הכניסה D אבל המידע עדיין לא יוצא ל Q. ברגע שהשעון עובר ממצב נמוך לגבוה ה Master ננעל על הערך האחרון של D והחלק השני (Slave) נפתח ומעביר את הערך ל Q. בצורה הזו ה-Flip-Flop

Flop דוגם את D בדיוק בקצה העלייה של השעון ושומר את הערך ביציאה Q עד לקצה העלייה הבאה.

### תזמון המערכת ותדר מיתוג

כדי שהמערכת תעבוד בצורה תקינה נקבע את זמן מחזור ה CLOCK שתהיה פי 2 יותר גדול מזמן מחזור של אות הכניסה D ושתהיה לו השהיה של חצי זמן מחזור כך שכל עליה מתח שלו מ0 לוגי 11 לוגי יתקבל אחרי רבע זמן מחזור של אות כניסה D כך שהאות יספיק להגיע Qmaster. אם לא נבצע השאיה ויחס של פי 2 של זמני מחזור נקבל מקרים שהמערכת לא תעבוד בצורה תקינה כמו באיור השני מלמעלה בטבלה 15 שבזמן 400ns בד נמצא ערך 0 והעליית CLOCK הבאה 10ns אחר כך לא מתקבלת בQ הערך 0 אלא הוא נשאר ב1, וזה בגלל שD לא הספיק לעבור לQmaster עדיין. קיבלנו זמן מחזור הכי קטן 62ns.

	<p>זמן מחזור של 200ns clock עם שהייה האות של 50ns</p> <p>זמן מחזור D של 400ns</p>
	<p>זמן מחזור של 60ns clock עם שהייה האות של 30ns</p> <p>זמן מחזור D של 120ns</p>
	<p>זמן מחזור של 62ns clock עם שהייה האות של 31ns</p> <p>זמן מחזור D של 124ns</p>
	<p>זמן מחזור של 62ns clock עם שהייה של 20ns</p> <p>זמן מחזור D של 124ns</p>
<p>טבלה 15 – מתחי יציאה תדר מיתוג ותזמון מערכת</p>	

D-Flip Flop	
42ns	זמן עליית האות ל 1 לוגי
52ns	זמן ירידת האות ל 0 לוגי
62n	זמן מחזור מירבי (Clock)
16.1MHz	תדר מירבי (Clock)
טבלה 16 – חישוב זמני עליה וירידה ותדר מיתוג	