

# **数字逻辑实验报告（1**）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验1** | | |
| **一、系列二进制加法器设计50%** | **二、小型实验室门禁系统设计50%** | **总成绩** |
|  |  |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

**姓 名： 陈国轩**

**学 号： U201610489**

**班 级： 计算机（校交）1601**

**指 导 教 师： 徐有青**

**计算机科学与技术学院**

**2018 年 5月24日**



**数字逻辑实验报告**

系列二进制加法器设计预习报告

一、系列二进制加法器设计

1、实验名称

系列二进制加法器设计。

2、实验目的

要求同学采用传统电路的设计方法，对5种二进制加法器进行设计，并利用工具软件，例如，“logisim”软件的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握传统逻辑电路的设计、仿真、调试的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

对已设计的5种二进制加法器，使用logisim软件对它们进行虚拟实验仿真，除逻辑门、触发器外，不能直接使用logisim软件提供的逻辑库元件，具体内容如下。

**（1）一位二进制半加器**

设计一个一位二进制半加器，电路有两个输入A、B，两个输出S和C。输入A、B分别为被加数、加数，输出S、C为本位和、向高位进位。

**（2）一位二进制全加器**

设计一个一位二进制全加器，电路有三个输入A、B和Ci，两个输出S和Co。输入A、B和Ci分别为被加数、加数和来自低位的进位，输出S和Co为本位和和向高位的进位。

**（3）串行进位的四位二进制并行加法器**

用四个一位二进制全加器串联设计一个串行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（4）先行进位的四位二进制并行加法器**

利用超前进位的思想设计一个先行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（5）将先行进位的四位二进制并行加法器封装成一个组件并验证它的正确性**

将设计好的先行进位的四位二进制并行加法器进行封装，生成一个“私有”库元件并验证它的正确性，以便后续实验使用，封装后的逻辑符号参见图1-1所示。

**S3 S2 S1 S0**

**C4 四位二进制并行加法器 C0**

**A3 A2 A1 A0  B3 B2 B1 B0**

图1-1“私有”的先行进位的四位二进制并行加法器

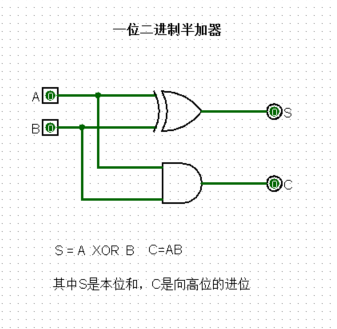
5、实验方案设计

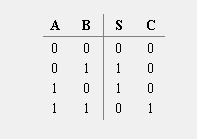
**（1）一位二进制半加器的设计方案**

经过分析可知，1位二级制的半加器的逻辑函数表达式如下：

因此可根据该逻辑表达式，选用适当的逻辑门，画出电路图

图1-2为一位二进制半加器的设计方案





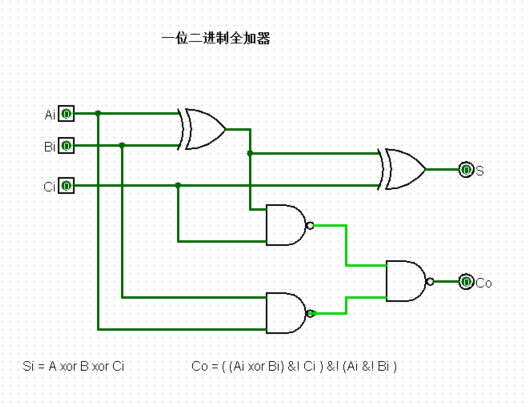
**图1-2 一位二进制半加器，与其输出真值表。**

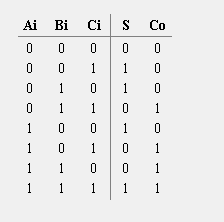
**（2）一位二进制全加器的设计方案**

采用分析法容易得知，一位二级制全加器就是一位二进制半加器考虑来自低位的进位后的元器件，从而可以得出一位二级制全加器的逻辑函数表达式：

因此可以根据逻辑函数表达式画出电路图。

图1-3为一位二进制全加器的设计方案



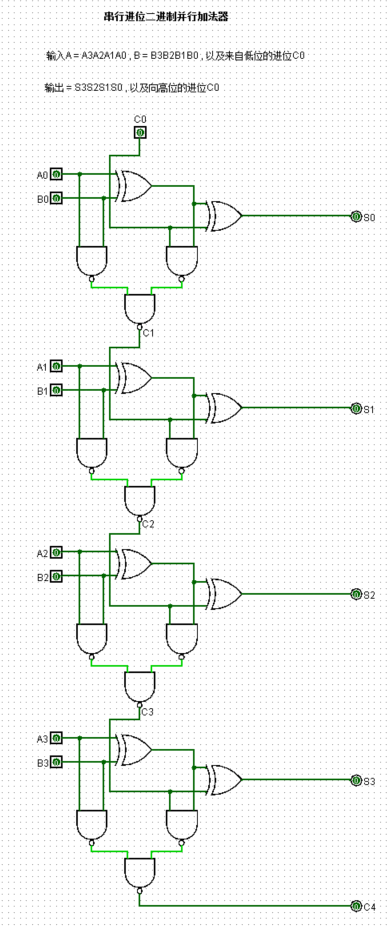


**图1-3 一位二进制全加器，与其输出真值表**

**（3）串行进位的四位二进制并行加法器的设计方案**

串行进位二进制并行加法器是由全加器级联构成的，高位的“和”依赖于来自低位的进位输入，由此，再根据（2）中已经设计好的全加器电路可以很容易的画出电路图。

图1-4为串行进位的四位二进制并行加法器的设计方案



**图1-4串行进位的四位二进制并行加法器**

**（4）先行进位的四位二进制并行加法器的设计方案**

超前进位的二进制并行加法器是根据本输入型号同时形成各位向高位的“进位”的二进制并行加法器。进位输入是由专门的“进位逻辑门”来提供，该门综合所有低位的加数、被加数及最低位进位输入。超前进位加法器使每位的进位直接由加数和被加数产生，而无需等待低位的进位信号。根据这些特点，我们来分析其的逻辑函数表达式：





**定义两个中间变量Gi和Pi** ：

***G*i= *A*i*B*i**  <-- 进位产生函数

***P*i= *A*i＋*B*i** <-- 进位传递函数

***K*i= *G*i*P*i = *A*i ⊕*B*i** <-- 中间变量

因此我们可以得出：

***S*i= *K*i ⊕*C*i-1**

***C*i= *G*i＋*P*i *C*i-1**

对于4位的情况：

***S*0= *K*0 ⊕*C*-1 = *A*0 ⊕ *B*0 ⊕** ***C*-1**

***S*1= *K*1 ⊕*C*0 = *A*1 ⊕ *B*1 ⊕** ***C*0**

***S*2= *K*2⊕*C*1 = *A*2 ⊕ *B*2 ⊕** ***C*1**

***S*3= *K*3⊕*C*2 = *A*3 ⊕ *B*3 ⊕** ***C*2**

***C*0= *G*0+*P*0 *C*-1**

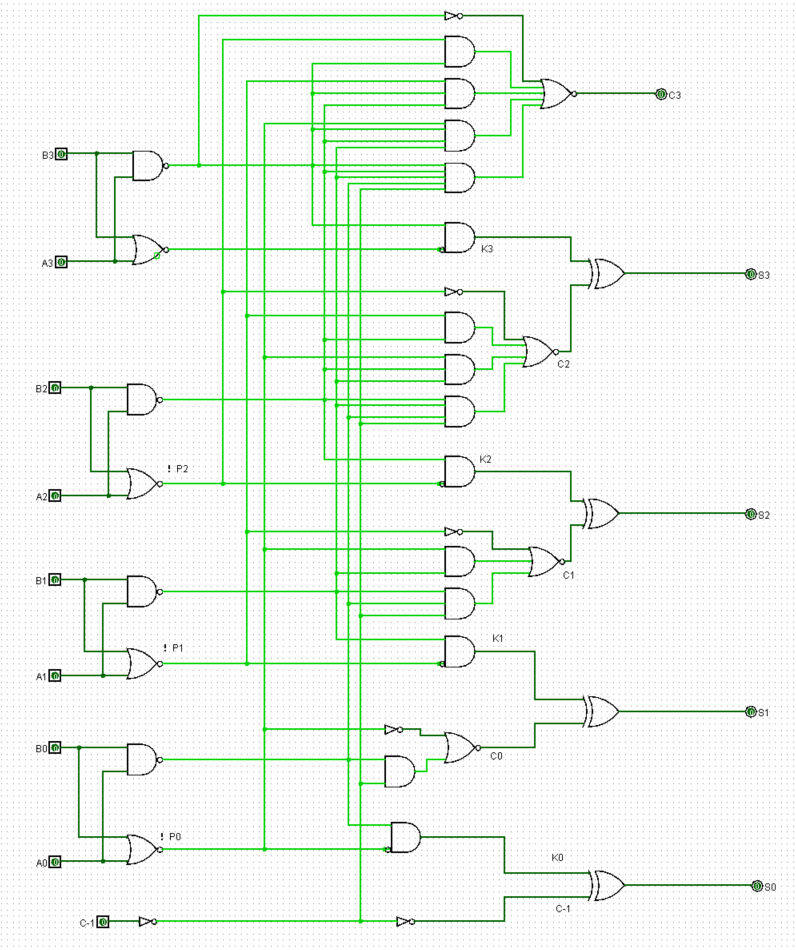
***C*1= *G*1+*P*1 *C*0= *G*1+*P*1 *G*0+ *P*1*P*0 *C*-1**

***C*2= *G*2+*P*2 *C*1= *G*2+*P*2 *G*1+ *P*2 *P*1 *G*0+ *P*2 *P*1 *P*0*C*-1**

***C*3= *G*3+*P*3 *C*2= *G*3+*P*3 *G*2+ *P*3 *P*2 *G*1+ *P*3*P*2 *P*1*G*0 + *P*3*P*2 *P*1 *P*0*C*-1**

由此可见因为进位信号只与变量Gi、Pi和 C-1有关，而C-1是向最低位的进位信号，其值为0，即各位的进位信号都只与两个加数A和B有关，所以它们是可以并行产生的。

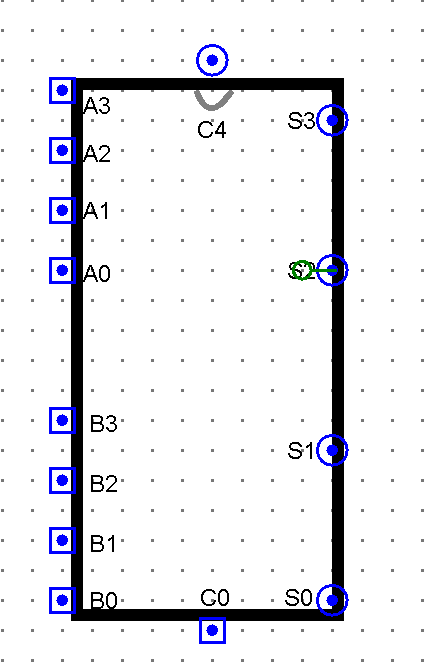
图1-5为先行进位的四位二进制并行加法器



**图1-5先行进位的四位二进制并行加法器**

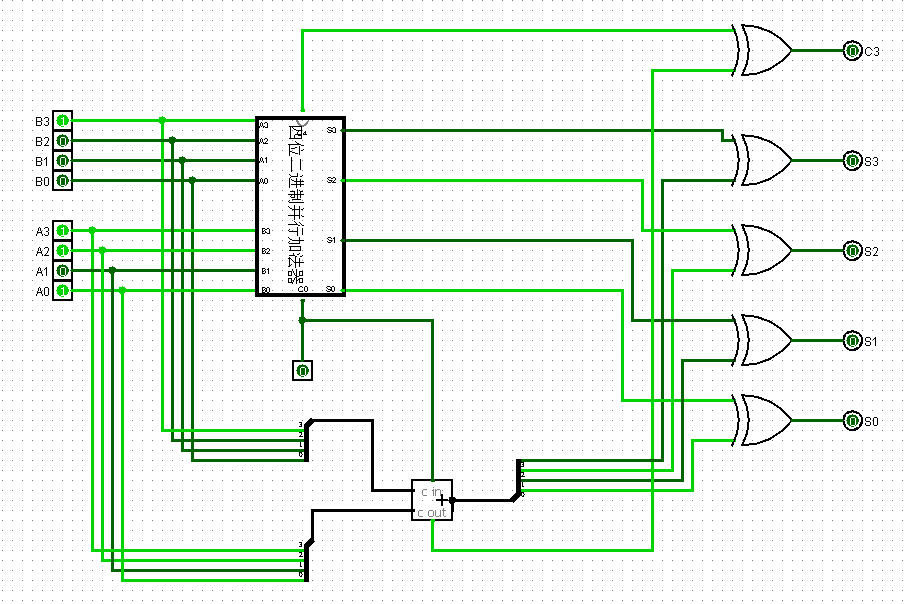
**（5）封装先行进位的四位二进制并行加法器电路**

对“第4步”完成的电路进行封装，然后对它设计的正确性进行验证。

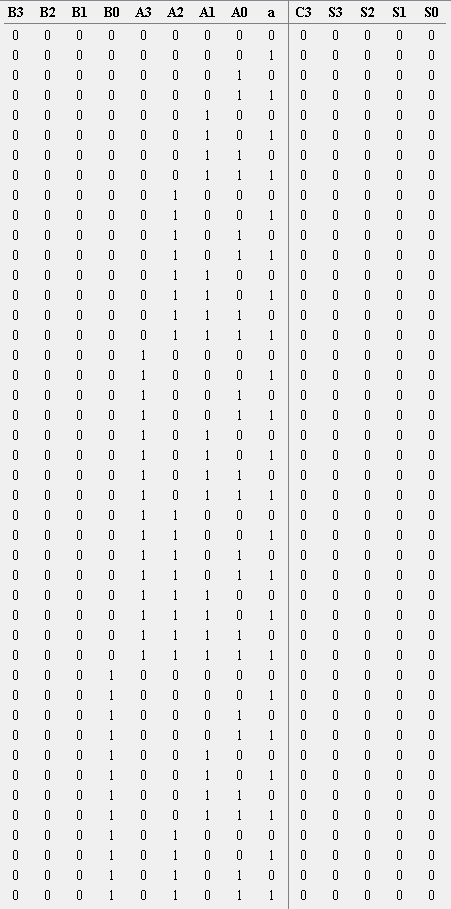


**图1-6先行进位的四位二进制并行加法器封装后的电路**

**对实验结果，进行验证，验证的思路为：将自己封装的先行进位的四位二进制并行加法器电路输出的每一位，与库中的相同输入的标准四位加法器的每一位结果异或，如果电路设计正确，那么异或的结果恒为0（自己设计的输出结果与标准原件的输出结果相同）。**



**图1-7检验电路**



**图1-8检验电路的输出结果(部分从略)，全部为0，说明电路设计正确**



**数字逻辑实验报告**

小型实验室门禁系统设计实验报告

二、小型实验室门禁系统设计

1、实验名称

小型实验室门禁系统设计。

2、实验目的

要求同学采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件，例如，“logisim”软件的虚拟仿真来检查这个小型实验室门禁系统的设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

设计场景：某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示该实验室内上班人数，该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷校园卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，门禁系统“不”动作，系统报警提示满员。

使用logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用logisim提供的逻辑元件库，具体要求如下。

**（1）设计一个四位二进制可逆计数器电路并进行封装和验证它的正确性**

用D触发器设计一个四位二进制可逆计数器，并进行封装。该计数器有一个清零端CLR、一个累加计数脉冲端CPU（输入刷卡进入请求）、一个累减计数脉冲端CPD（输入刷卡离开请求），四个计数输出端QDQCQBQA记录当前实验室人数。

将设计好的4位二进制可逆计数器进行封装，生成一个“私有”库元件，以 便后续实验使用，4位二进制可逆计数器逻辑符号参见图2-1所示。

**SD SC SB SA**

**CPU**

**CLR 四位二进制可逆计数器**

**CPD**

图2-1 “私有”的一个4位二进制可逆计数器

**（2）用实验1中已封装的“先行进位的四位二进制并行加法器”设计一个将实验室内人数转换成8421BCD码的电路**

用实验一中已封装的“先行进位的四位二进制并行加法器”和适当的逻辑门将二进制数表示的实验室人数转换成两位十进制数的8421BCD码。

**（3）设计7段译码器，并采用“7段数码显示管”显示人数的电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来。

该7段译码器有四个输入A3A2A1A0和七个输出abcdefg, A3A2A1A0为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）设计当实验室满员时，门禁“不”动作，系统报警提示满员的电路**

当实验室满员时，在累加计数脉冲端CPU输入刷卡进入请求，计数输出端数据保持不变，门禁“不”动作，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲端CPD输入刷卡离开请求。为防止信号干扰，在计数输出为0时，若CPD端有脉冲，也应使计数输出端数据保持不变，门禁“不”动作，但不用报警。

**（5）设计小型实验室门禁系统电路并进行封装和验证它的正确性**

设计满足要求的小型实验室门禁系统电路并进行封装，生成一个小型实验室门禁系统芯片，封装后的小型实验室门禁系统逻辑符号参见图2-2所示。

**十位**：7段数码显示管

**个位：**7段数码显示管

**a b c d e f g a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

图2-2 封装后的小型实验室门禁系统

5、实验方案设计

**（1）设计一个四位二进制可逆计数器电路**

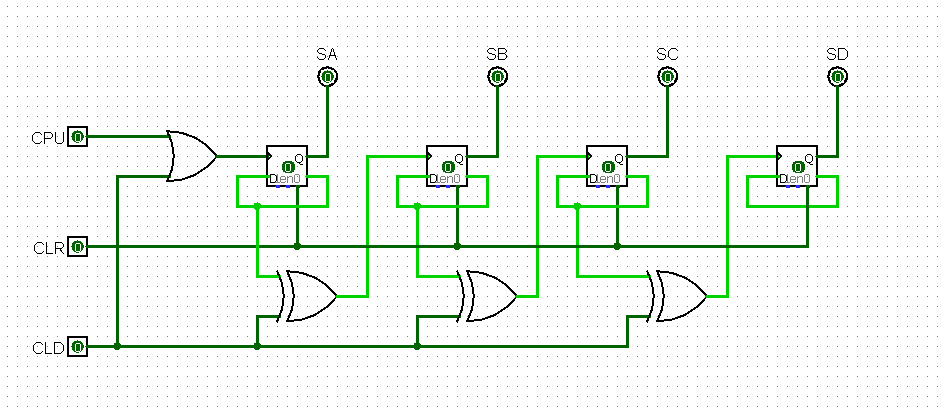
加法电路真值表.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **现 态** | | | | **次 态** | | | | **激 励 函 数** | | | | | | | |
| SA | SB | SC | SD | SAn+1 | SBn+1 | SCn+1 | SDn+1 | D4 | CP4 | D3 | CP3 | D2 | CP2 | D1 | CP1 |
| **0** | **0** | **0** | **0** | **0** | **0** | **0** | **1** | **d** | **0** | **d** | **0** | **d** | **0** | **1** | **1** |
| **0** | **0** | **0** | **1** | **0** | **0** | **1** | **0** | **d** | **0** | **d** | **0** | **1** | **1** | **0** | **1** |
| **0** | **0** | **1** | **0** | **0** | **0** | **1** | **1** | **d** | **0** | **d** | **0** | **d** | **0** | **1** | **1** |
| **0** | **0** | **1** | **1** | **0** | **1** | **0** | **0** | **d** | **0** | **1** | **1** | **0** | **1** | **0** | **1** |
| **0** | **1** | **0** | **0** | **0** | **1** | **0** | **1** | **d** | **0** | **d** | **0** | **d** | **0** | **1** | **1** |
| **0** | **1** | **0** | **1** | **0** | **1** | **1** | **0** | **d** | **0** | **d** | **0** | **1** | **1** | **0** | **1** |
| **0** | **1** | **1** | **0** | **0** | **1** | **1** | **1** | **d** | **0** | **d** | **0** | **d** | **0** | **1** | **1** |
| **0** | **1** | **1** | **1** | **1** | **0** | **0** | **0** | **1** | **1** | **0** | **1** | **0** | **1** | **0** | **1** |
| **1** | **0** | **0** | **0** | **1** | **0** | **0** | **1** | **d** | **0** | **d** | **0** | **d** | **0** | **1** | **1** |
| **1** | **0** | **0** | **1** | **1** | **0** | **1** | **0** | **d** | **0** | **d** | **0** | **1** | **1** | **0** | **1** |
| **1** | **0** | **1** | **0** | **1** | **0** | **1** | **1** | **d** | **0** | **d** | **0** | **d** | **0** | **1** | **1** |
| **1** | **0** | **1** | **1** | **1** | **1** | **0** | **0** | **d** | **0** | **1** | **1** | **0** | **1** | **0** | **1** |
| **1** | **1** | **0** | **0** | **1** | **1** | **0** | **1** | **d** | **0** | **d** | **0** | **d** | **0** | **1** | **1** |
| **1** | **1** | **0** | **1** | **1** | **1** | **1** | **0** | **d** | **0** | **d** | **0** | **1** | **1** | **0** | **1** |
| **1** | **1** | **1** | **0** | **1** | **1** | **1** | **1** | **d** | **0** | **d** | **0** | **d** | **0** | **1** | **1** |
| **1** | **1** | **1** | **1** | **0** | **0** | **0** | **0** | **0** | **1** | **0** | **1** | **0** | **1** | **0** | **1** |

减法真值表.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **现 态** | | | | **次 态** | | | | **激 励 函 数** | | | | | | | |
| SA | SB | SC | SD | SAn+1 | SBn+1 | SCn+1 | SDn+1 | D4 | CP4 | D3 | CP3 | D2 | CP2 | D1 | CP1 |
| **0** | **0** | **0** | **0** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** |
| **0** | **0** | **0** | **1** | **1** | **1** | **1** | **0** | **d** | **0** | **d** | **0** | **d** | **0** | **0** | **1** |
| **0** | **0** | **1** | **0** | **1** | **1** | **0** | **1** | **d** | **0** | **d** | **0** | **0** | **1** | **1** | **1** |
| **0** | **0** | **1** | **1** | **1** | **1** | **0** | **0** | **d** | **0** | **d** | **0** | **d** | **0** | **0** | **1** |
| **0** | **1** | **0** | **0** | **1** | **0** | **1** | **1** | **d** | **0** | **0** | **1** | **1** | **1** | **1** | **1** |
| **0** | **1** | **0** | **1** | **1** | **0** | **1** | **0** | **d** | **0** | **d** | **0** | **d** | **0** | **0** | **1** |
| **0** | **1** | **1** | **0** | **1** | **0** | **0** | **1** | **d** | **0** | **d** | **0** | **d** | **1** | **1** | **1** |
| **0** | **1** | **1** | **1** | **1** | **0** | **0** | **0** | **d** | **0** | **d** | **0** | **d** | **0** | **0** | **1** |
| **1** | **0** | **0** | **0** | **0** | **1** | **1** | **1** | **0** | **1** | **1** | **1** | **1** | **1** | **1** | **1** |
| **1** | **0** | **0** | **1** | **0** | **1** | **1** | **0** | **d** | **0** | **d** | **0** | **d** | **0** | **0** | **1** |
| **1** | **0** | **1** | **0** | **0** | **1** | **0** | **1** | **d** | **0** | **d** | **0** | **0** | **1** | **1** | **1** |
| **1** | **0** | **1** | **1** | **0** | **1** | **0** | **0** | **d** | **0** | **d** | **0** | **d** | **0** | **0** | **1** |
| **1** | **1** | **0** | **0** | **0** | **0** | **1** | **1** | **d** | **0** | **0** | **1** | **1** | **1** | **1** | **1** |
| **1** | **1** | **0** | **1** | **0** | **0** | **1** | **0** | **d** | **0** | **d** | **0** | **d** | **0** | **0** | **1** |
| **1** | **1** | **1** | **0** | **0** | **0** | **0** | **1** | **d** | **0** | **d** | **0** | **0** | **1** | **1** | **1** |
| **1** | **1** | **1** | **1** | **0** | **0** | **0** | **0** | **d** | **0** | **d** | **0** | **d** | **0** | **0** | **1** |

图2-3为一个四位二进制可逆计数器电路



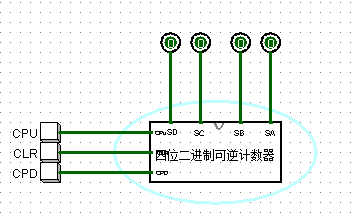
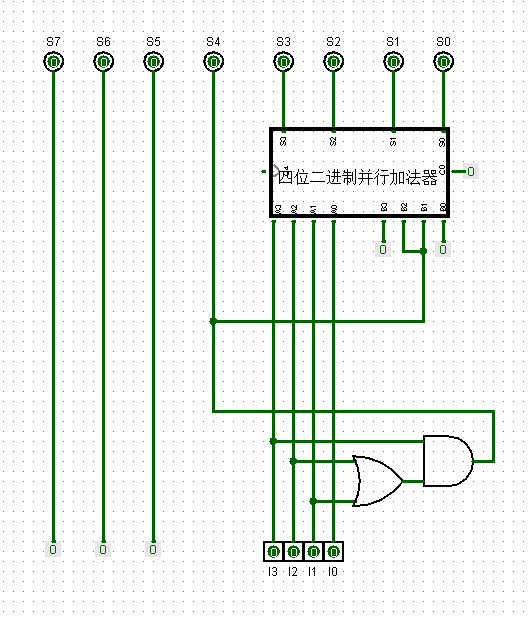


图2-3 一个四位二进制可逆计数器与其封装后的效果

**（2）用实验一中已封装的“先行进位的四位二进制并行加法器”设计将实验室内人数转换成8421BCD码的电路**

当实验室中的人数大于10时加上0110然后再向高位进位就可以把相应的二进制码转换成8241BCD码

下图为将实验室内人数转换成8421BCD码的电路



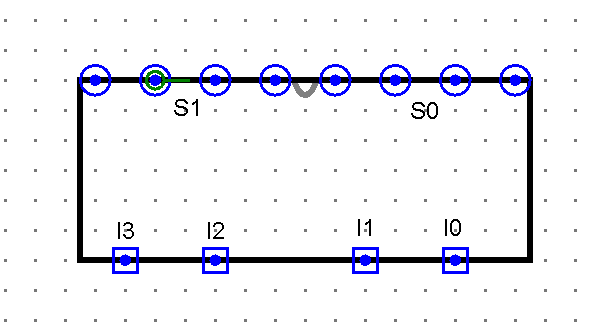


图2-4 一位16进制数转2位8421码的电路与其封装效果

**（3）设计7段译码器，并采用“7段数码显示管”显示人数的电路**

**（A）设计一个7段译码器**

参考书上的七段译码器列出如下真值表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | | | | 输出 | | | | | | | |
| LE | BI | LT | A3 | A2 | A1 | A0 | Fa | Fb | Fc | Fd | Fe | Ff | Fg | 显示 |
| \* | \* | 0 | \* | \* | \* | \* | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 8 |
| \* | 0 | 1 | \* | \* | \* | \* | 0 | 0 | 0 | 0 | 0 | 0 | 0 | —— |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 2 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 3 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 4 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 5 |
| 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 6 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 7 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 8 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 9 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | —— |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | —— |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | —— |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | —— |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | —— |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | —— |
| 1 | 1 | 1 | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* | \* |

由真值表易得函数表达式：（’代表逻辑非）

Fa=(d’c’b’a+d’cb’a’)’

Fb=(d’cb’a+d’cba’)’

Fc=(d’c’ba’)’

Fd=(d’c’b’a+d’cb’a’+a’cba)’

Fe=(d’c’b’a’+d’c’ba’+d’cba’+dc’b’a’)’

Ff=(d’c’b’a+d’c’ba’+d’c’ba+d’cba)’

Fg=(d’c’b’a’+d’c’b’a+d’cba)’

下面是设计的电路

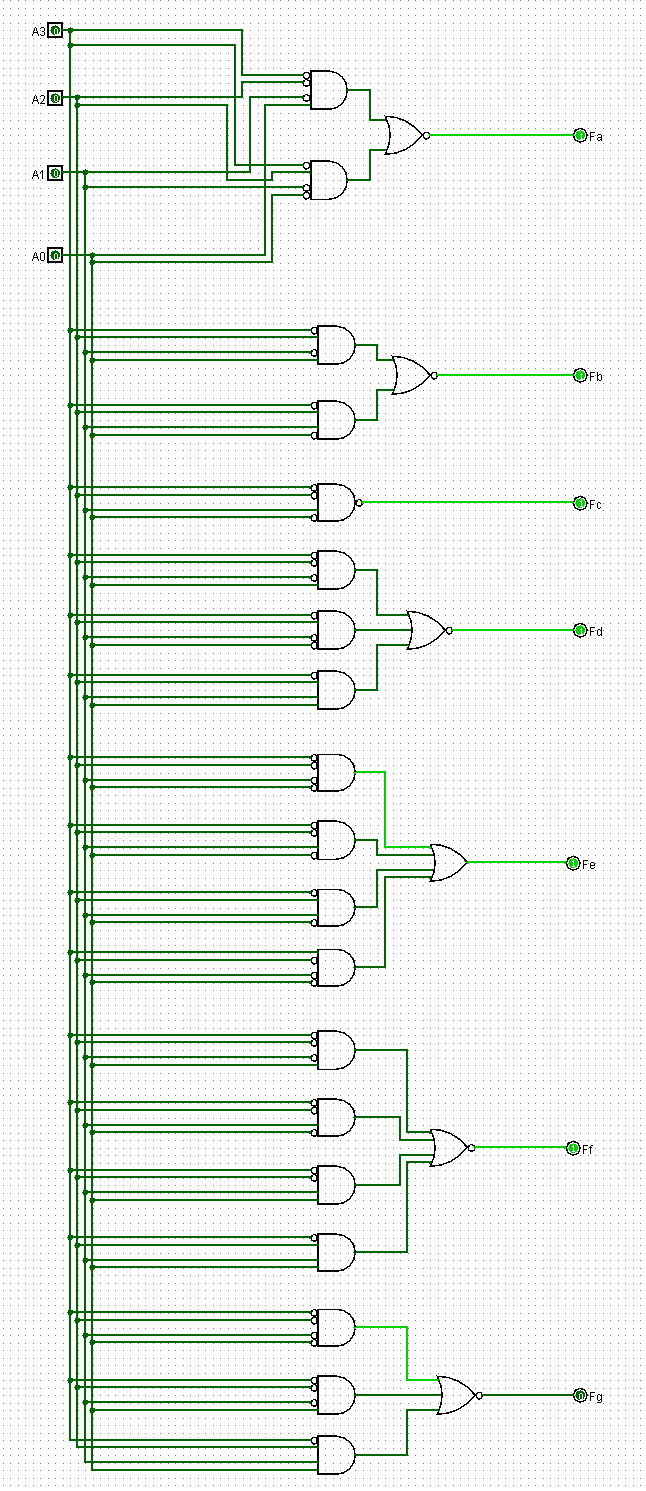


图2-5 7段译码器

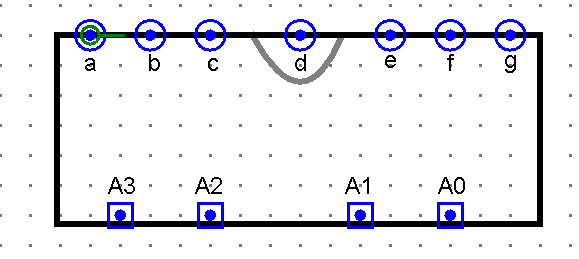


图2-6 7段译码器的封装

**（B）设计用“7段数码显示管”显示人数的逻辑电路**

按照数码显示管的端口特性连接即可。

下图为用“7段数码显示管”显示人数的逻辑电路

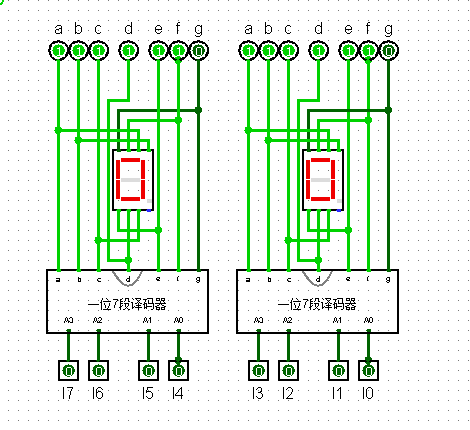


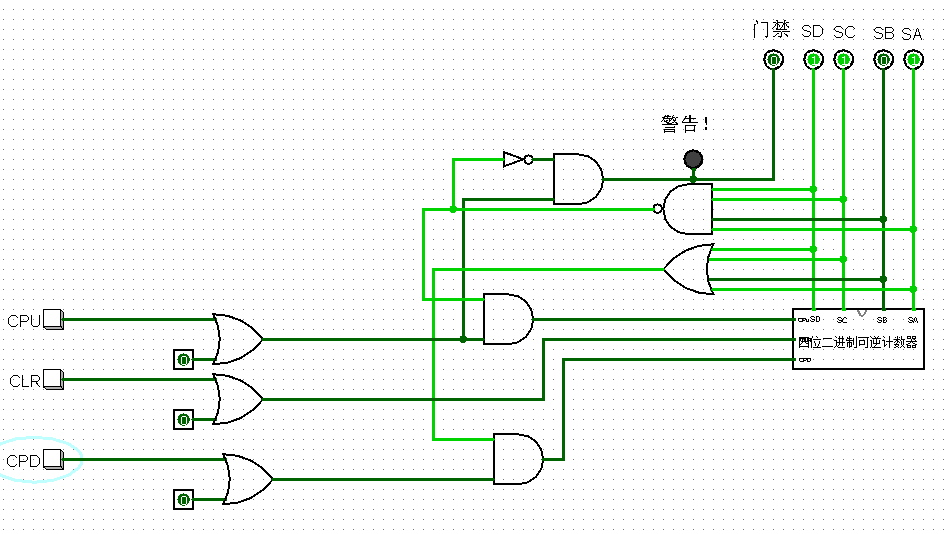
图2-7 用7段数码显示管显示实验室人数的电路

**（4）设计当实验室满员时，门禁“不”动作，系统报警提示满员的电路**

电路设计要求要采用本次实验1中由4位二进制可逆计数器所封装的“私有”库元件。

设计思路为SD，SC,SB,SA同时为1时候，将门禁打开，也就是这时CPU被0锁死。

下图为当实验室满员时，门禁“不”动作，系统报警提示满员的电路



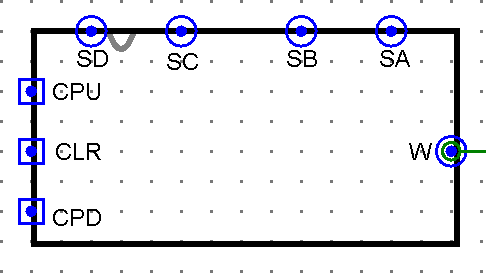


图2-8 报警电路与其封装效果

**（5）设计小型实验室门禁系统电路**

下图为小型实验室门禁系统电路的内部电路

将封装好的电路级联。将计数器的输出转化为8421码，然后用译码器译码。

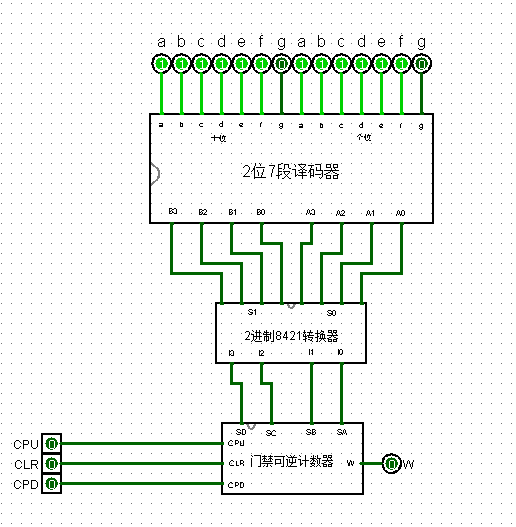


图2-9 门禁系统电路

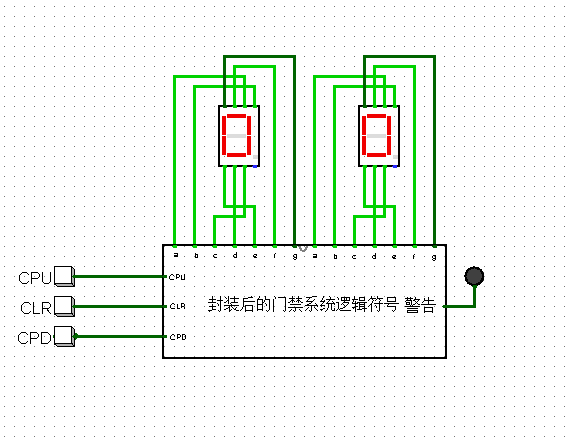


图2-10 门禁系统电路封装后的效果

6、实验结果记录

**（1）给出“私有”库元件（采用一个四位二进制可逆计数器进行封装）的测试电路**

下图为四位二进制可逆计数器

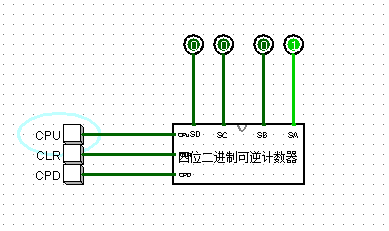


图2-11**执行加一**

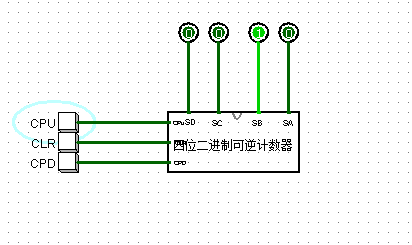


图2-12再**执行加一**

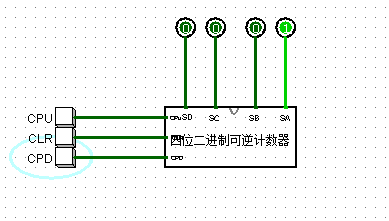


图2-13再**执行减一**

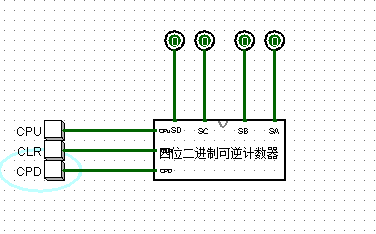


图2-14**执行减一**

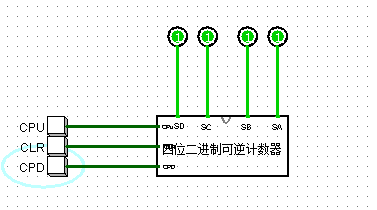


图2-15**执行减一**

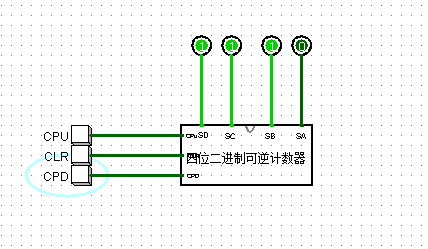


图2-16**执行减一**

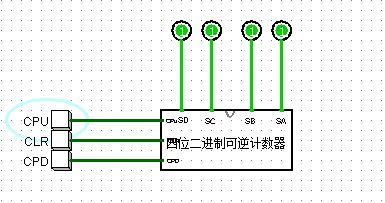


图2-17**执行加一**

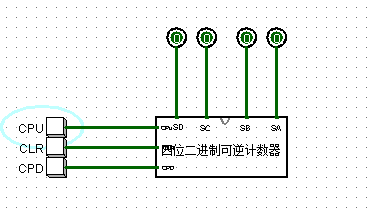


图2-18**执行加一**

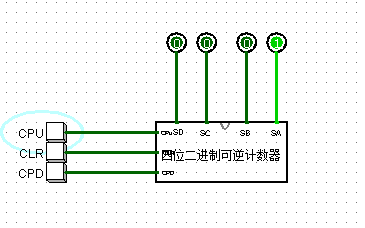


图2-19**执行加一**

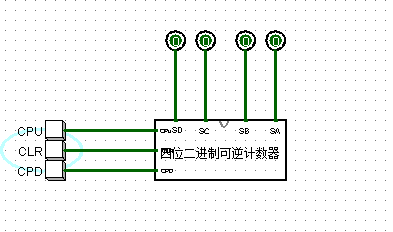


图2-20**执行清零**

**（2）给出采用实验1中已封装的“先行进位的四位二进制并行加法器”设计的将实验室内人数转换成8421BCD码的电路**

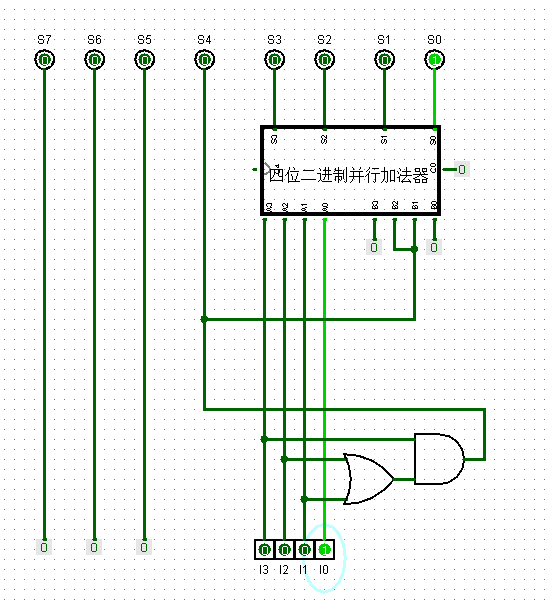


图2-21二进制数转换成8421BCD码的电路，输入0001输出1

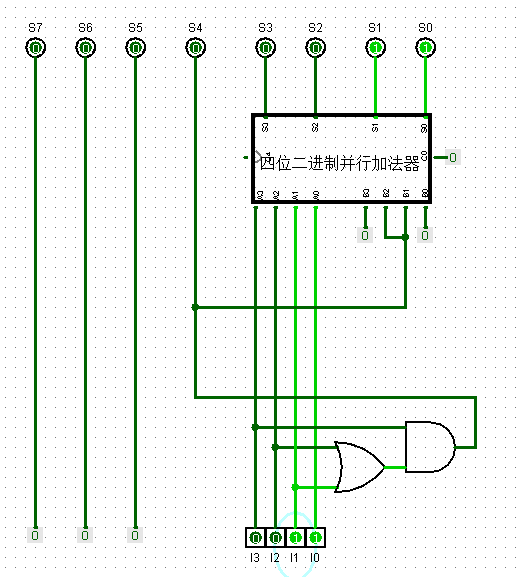


图2-22二进制数转换成8421BCD码的电路，输入0011输出3（11）

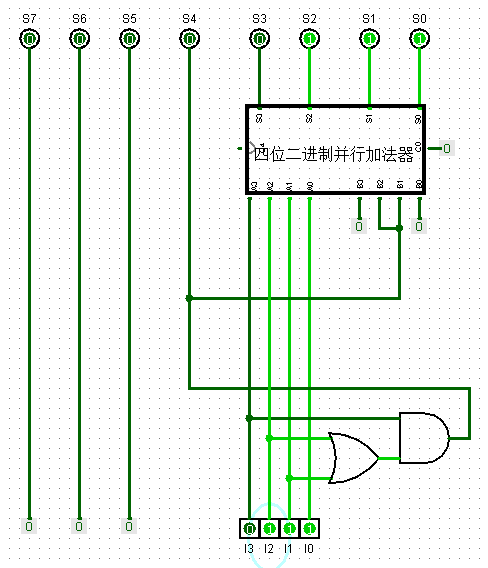


图2-23二进制数转换成8421BCD码的电路，输入0111输出7（111）

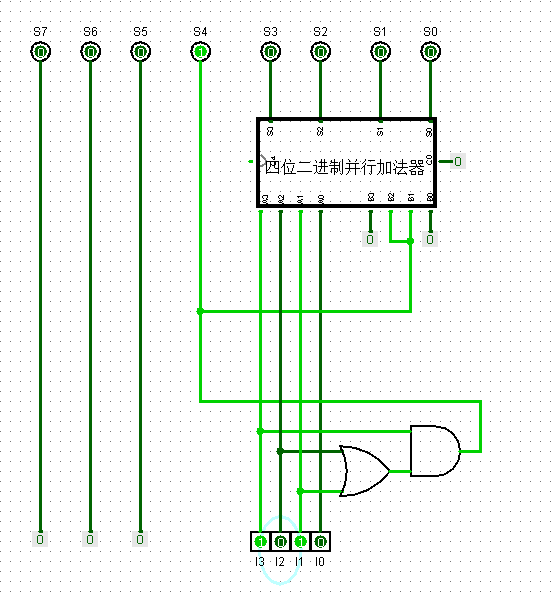


图2-24二进制数转换成8421BCD码的电路，输入1010输出10

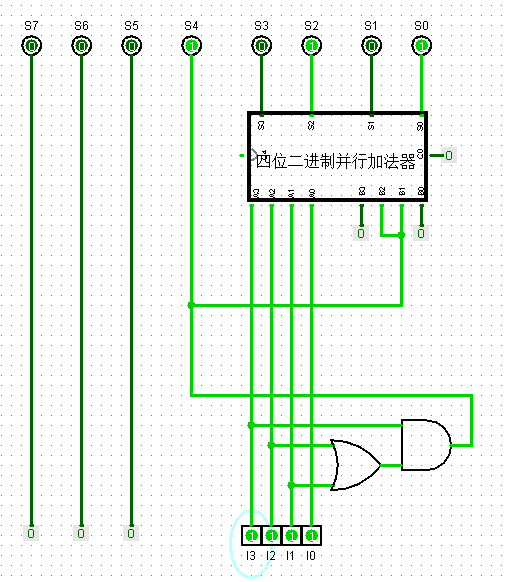


图2-25二进制数转换成8421BCD码的电路，输入1111输出15

**（3）给出采用“7段数码显示管”显示人数的电路**

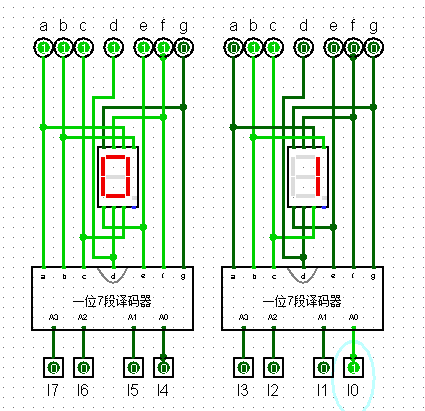


图2-26人数显示的电路，输入为1

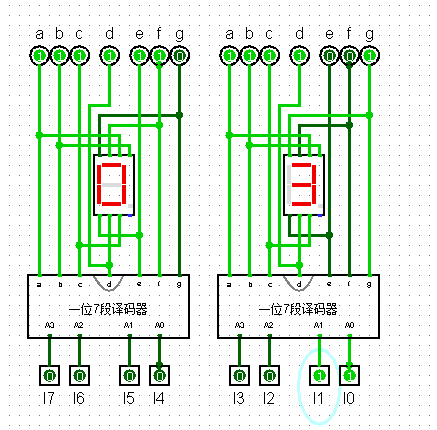


图2-27人数显示的电路，输入为11（3）

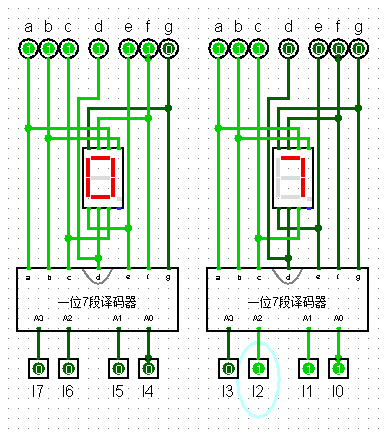


图2-28人数显示的电路，输入为111（7）

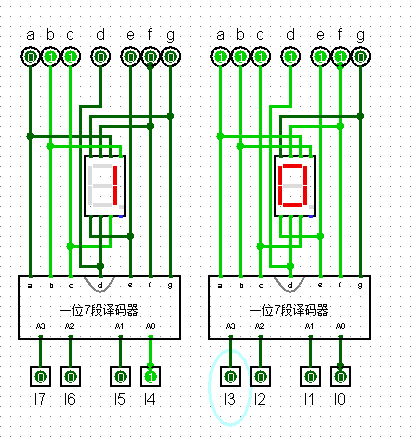


图2-29人数显示的电路，输入为0001 0000（BCD的10）

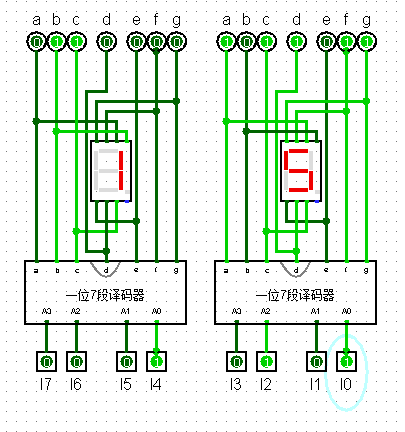


图2-30人数显示的电路，输入为0001 0101（BCD的15）

**（4）给出当实验室满员时，门禁不动作，系统报警提示满员的电路**

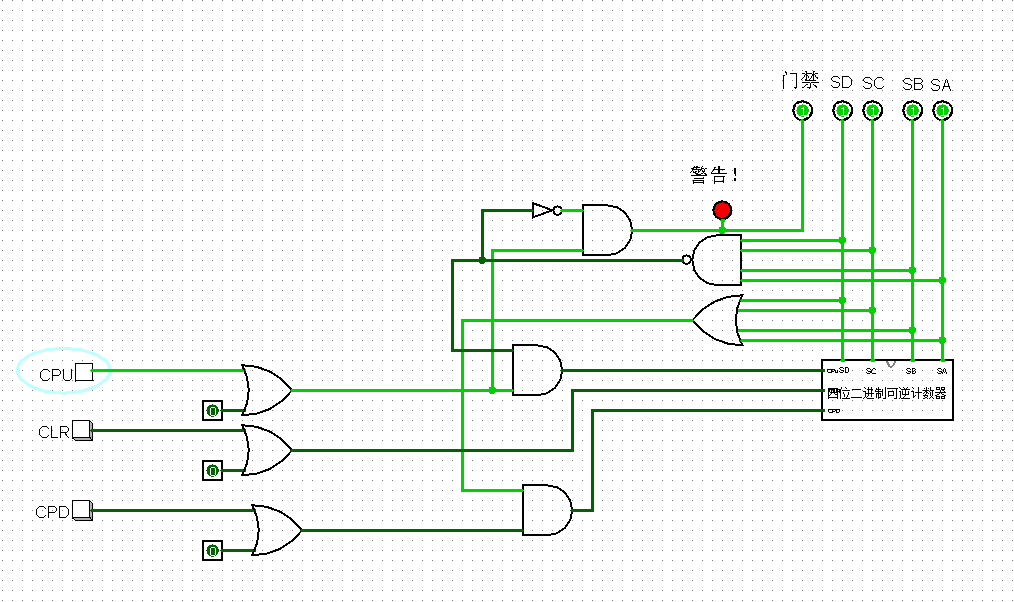


图2-31系统报警电路，当满员时再次“刷卡”出现报警。

**（5）给出“私有”库元件（采用小型实验室门禁系统电路进行封装）的测试电路**

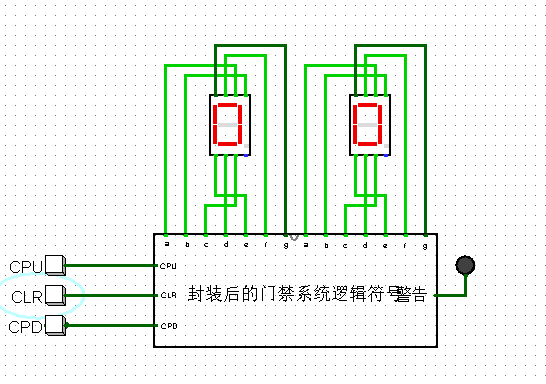


图2-32实验室门禁系统电路，执行清零

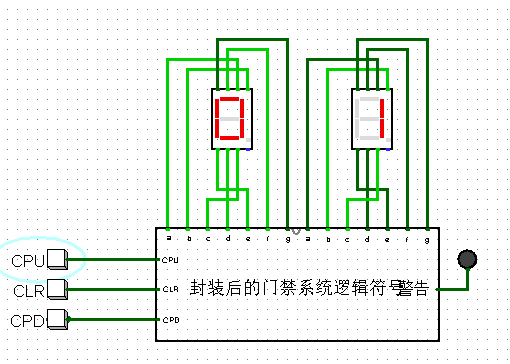


图2-33实验室门禁系统电路，执行清零

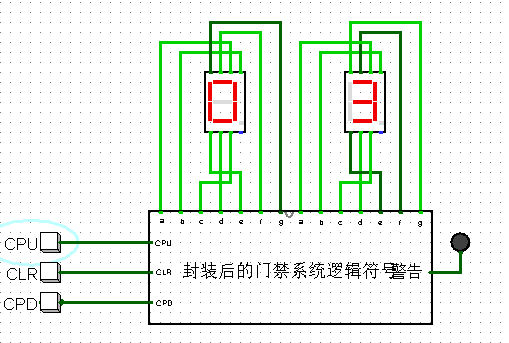


图2-34实验室门禁系统电路，执行3次“打卡”

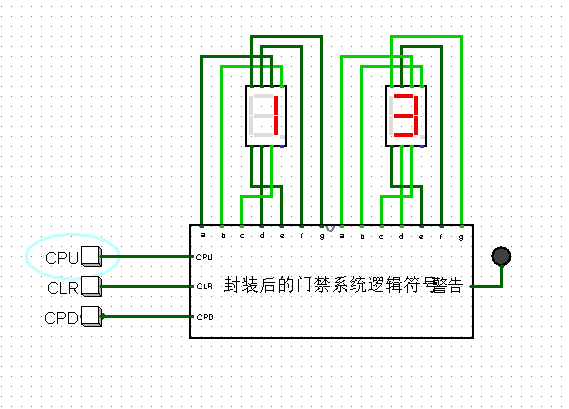


图2-35实验室门禁系统电路，执行13次“打卡”

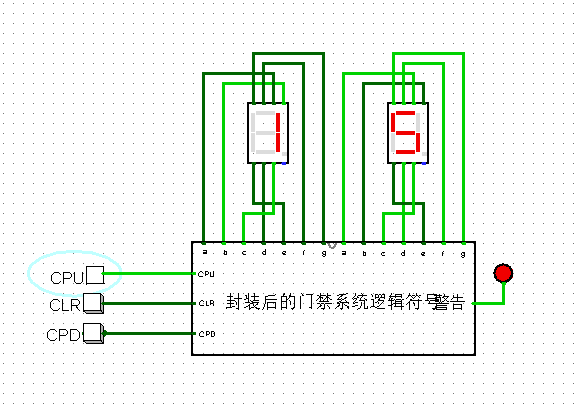


图2-36实验室门禁系统电路，执行15次“打卡”后再“打卡”，发出警报

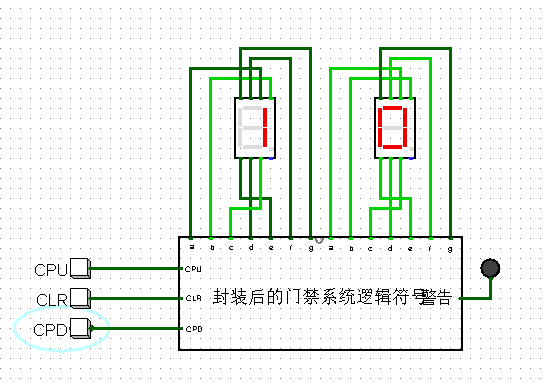


图2-37实验室门禁系统电路，再执行5次“签退”

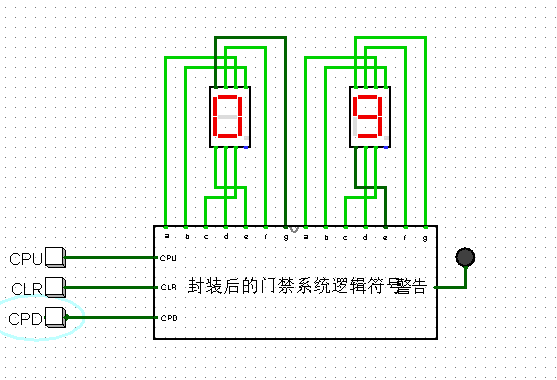


图2-38实验室门禁系统电路，再执行1次“签退”

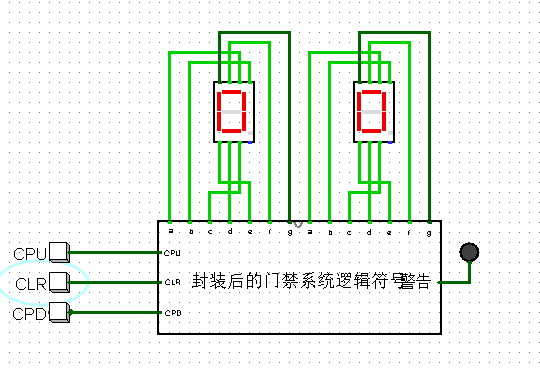


图2-39验室门禁系统电路，清零

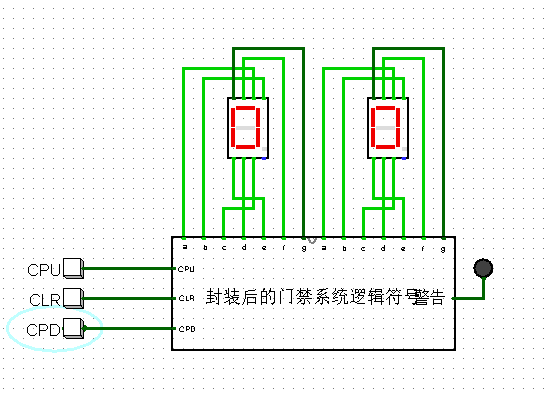


图2-40实验室门禁系统电路，清零后再减一，结果不变

7、实验后的思考

**（1）这两次实验的难点你认为在哪些方面？**

由于是第一次做正式的数电实验，因此我在很多地方还不是很熟练。比如如何布线，部件朝向等的安排还不是很熟练，前面布的线到后面发现位置不合适还要改。

第二个实验中的计数器设计我觉得有一点难度，尤其如何同时实现加计数和减计数，想过很多的方案，想过同时设计两个计数电路或者用已经封装好的加法器来实现，加计数就加一，减一就加-1的补码。。。等等。最后终于得到了还算简洁的方案，也就是现在的方案。

有了计数器，之后的设计还算比较顺利，主要是封装和部件引用，主要考察的是工程集成的能力。

**（2）你是如何解决的？**

对于计数器的设计，首先判断一定是异步时序电路。我在没有想到如何做的时候，先把书看了一遍，看看有没有相似功能的例子。找到了一些，但是它们都不能同时实现加计数和减计数。有的能实现减计数，方法是事先置减标志位为1，然后电路进入减法计数模式。

通过思考与尝试，我决定编写一个模块，能在减计数脉冲来的瞬间，置减标志位为1。经过努力终于实现了。

**（3）意见和建议**

每次实验中希望能有一些帮助文档，或者优秀学长的实验报告样例参考。