摘要

随着后摩尔时代的到来，芯片制造工艺的提升以及市场对芯片功能需求的不断提升，现阶段芯片设计规模越来越大。在超大规模集成电路设计阶段验证已经逐渐成为困扰各大芯片设计人员的关键问题，虽然可以使用软件仿真、硬件加速仿真等验证方法来加速验证流程，但是随着集成电路设计规模逐渐增大，原先的验证方法在时间成本上已经无法满足当前快速设计迭代的需求。随着FPGA（可编程逻辑阵列）的快速发展，借由FPGA的可擦除、可组网、可快速模仿集成电路设计行为等特性，使用FPGA进行芯片设计原型验证已逐渐成为验证阶段主流。但随着设计的规模剧增，单片FPGA已无法满足超大型集成电路设计的验证需求，从而衍生出高密度FPGA原型验证系统。而如何将超大型集成电路设计合理的划分至高密度FPGA原型验证系统中的每个FPGA中，将成为集成电路验证划分阶段的关键问题，而超大型集成电路设计所需要的FPGA片上资源数量将作为合理划分电路的重要依据。

本文选题主要针对高密度FPGA原型验证系统中划分阶段对集成电路如何进行快速资源估算并基于相关验证阶段需求与原理结合机器学习展开具体的研究与分析。论文的主要工作与成果如下：

（1）对原型验证流程中综合阶段进行基本研究，并举例简述在逻辑综合的基本原则及技术映射阶段的常见算法，以此为依据使用开源软件Verific作为基础开发传统意义上的快速资源估算模型，并使用来自多个行业的超大规模集成电路进行验证，在未进行优化阶段时间提升超过100%，平均估算准确度达60%以上，验证并实现了使用传统方法进行快速资源估算模型。

（2）以上述传统快速资源估算模型的基础上加入合理的优化算法，增加为满足于高密度FPGA原型验证系统划分阶段需求的BottomToUp算法，使资源估算时间优化较完整综合流程获取资源利用率达220%以上，实现并增加Lut合并、面积约束等优化及约束项，从而提升快速资源估算模型精度在不使用特殊器件情况下最高可达82.5%，从而进一步提升了快速资源估算模型的性能及可实用性。

（3）研究人工智能与传统EDA工具相结合的可能性，并使用Verific为基础，通过进一步分析逻辑综合与技术映射的原理，分析集成电路RTL级描述语言特征，构建RTL级描述特征提取器，实现提取RTL级描述特征xxx种。对特征相关性、贡献度进行进一步分析后进行相关特征工程，结合随机森林、SVM支持向量机、人工神经网络构造对应的RTL级设计所需FPGA片上资源估算学习模型，并完成网络参数调校及训练，实现平均LUT、FF、DSP等资源估算准确率为70%~80%的神经网络模型。最后通过对其数据进行分析，进一步验证了机器学习在原型验证划分阶段集成电路快速资源估算领域的可行性。

**关键词：FPGA原型验证， 资源估算， 特征工程， 机器学习**