

Реализация и программирование процессорной системы RISC-V на ПЛИС фирмы GoWin. Часть 1

Антон ВОЛКОВ
Артем АШИРОВ
Филипп ШУКЛИН

Сегодня программируемые логические интегральные схемы (ПЛИС) широко применяются во многих областях науки и техники, таких как цифровая обработка сигналов, высокоскоростная передача данных, системы контроля и регулирования, телекоммуникации, сенсорики, прототипирование процессорных систем и интегральных логических схем специального назначения (Application-Specific Integrated Circuit, ASIC) и т. д. Таким образом, ПЛИС позволяют решать целый спектр инженерных задач, которые могут появляться у разработчиков технических проектов.

Введение

Как известно, разработка систем на ПЛИС в основном сводится к написанию кода на языках описания аппаратуры (Hardware Description Language, HDL), то есть созданию специальной цифровой архитектуры с помощью ее описания через специализированный код. Далее, с помощью инструмента под названием «синтезатор» (synthesis) HDL-код преобразуется в список (netlist — нетлист) соединенных между собой логических элементов, которые располагаются на ПЛИС. Затем еще один инструмент — разводчик (fitter) распределяет полученные элементы по ПЛИС с учетом физических и временных ограничений (constraints) и формирует файл прошивки в виде ассемблерного кода. С помощью программатора полученная прошивка загружается либо непосредственно в ПЛИС, либо во флэш-память, после чего ПЛИС начинает работать в соответствии с описанной в коде цифровой архитектурой. Все этапы создания систем на ПЛИС осуществляются с помощью автоматизированных электронных средств разработки (EDA), что требует от инженера знания языка описания HDL, как и знаний о самом средстве разработки.

По мере развития ПЛИС возросло количество их логических элементов, увеличился диапазон их рабочих тактовых частот и температур, а также произошло развитие блоков ввода/вывода, и появилась поддержка современных интерфейсов, в том числе трансиверов в ПЛИС. В свою очередь, сложность проектов, реализуемых на ПЛИС, тоже возросла. Поэтому производители ПЛИС включили в свои EDA так называемые IP-блоки (intelligent property cores) — готовые, по большей части закрытые блоки, которые располагаются в ПЛИС и представляют собой некое готовое цифровое устройство либо контроллер управления отдельным аппаратным блоком ПЛИС. Например, цифровой фильтр с конечной импульсной характеристикой (КИХ-фильтр), блок фазовой автоподстройки частоты (ФАПЧ) и т. д. IP-блоки призваны облегчить разработку сложных систем на ПЛИС и расширить возможности разработчика систем.

Более того, в современных EDA появилась возможность не только организации отдельных IP-блоков, но и объединения их в целые системы и подсистемы, что привело к созданию процессорных систем на ПЛИС. По сути, процессорная система состоит из микропроцессора, например на технологии ARM Cortex или RISC-V, оперативной памяти, реализуемой внутренними ресурсами ПЛИС, и интерфейсных блоков (RS-232, I²C и т. д.), необходимых для общения с внешним миром. Такая система может быть выполнена на общих логиче-

ских элементах либо с помощью уже готового аппаратного модуля внутри ПЛИС. Внедрение подобных систем в свой проект позволяет расширить возможности системы, добавить ей гибкости, то есть объединить преимущества ПЛИС и процессорных систем. В отличие от простого написания HDL-кода разработка данных систем ведется в два этапа: создание прошивки для ПЛИС (аппаратный этап), или создание «железной» архитектуры системы, и создание программы для самого микропроцессора (программный этап).

Сегодня в производстве ПЛИС лидируют компании Xilinx и Intel (ранее — Altera), а также другие не менее известные производители ПЛИС, в частности Lattice или Microsemi (Actel). В последнее время на рынок стали активно выходить китайские производители ПЛИС. Среди них заметно выделяется новая компания — GoWin Semiconductor [1], основанная выходцами из Lattice и предлагающая свое собственное видение ПЛИС.

Основные преимущества GoWin перед конкурентами — цена, доступность в России и наличие в ПЛИС встроенных бесплатных IP-блоков, идущих в составе среды разработки, таких как флэш-память, аппаратные процессорные системы на базе процессора ARM Cortex-M3, DDR-контроллеры, блоки шифрования прошивки ПЛИС, а также программно реализуемые процессорные ядра процессоров RISC-V.

Как упоминалось ранее, использование процессорных систем в ПЛИС довольно востребовано ввиду сложности проектов, причем каждый разработчик предлагает свой микропроцессор как основу такой системы, например у Intel это Nios, у Xilinx — MicroBlaze. Однако чаще всего архитектура таких микропроцессоров закрыта и не является достаточно распространенной на рынке, что усложняет отладку проекта и часто требует наличия платной лицензии на сам микропроцессор. Более того, подобные микропроцессоры могут занимать значительное количество ресурсов ПЛИС и сильно ограничивать разработчика при создании проекта. Использование распространенных и доступных процессорных ядер, например на базе процессоров RISC-V, становится актуальным решением для систем на ПЛИС ввиду следующих преимуществ:

- RISC-V — открытый и свободный набор инструкций и процессорная архитектура [2, 3];
- возможность уменьшения объема микропроцессора по ресурсам ПЛИС;
- стремительное развитие технологии RISC-V и доступность большого количества разработанных процессоров и систем на ее базе.

Таблица 1. ПЛИС компании GoWin

Семейство	Серия	Плотность (LUTs)	Дополнительные функции
LittleBee	GW1N	1K, 4K, 9K	ПЛИС с FLASH
	GW1NZ	1K	Ультранизкое потребление
	GW1NS	2K, 4K	Встроенное аппаратное ядро ARM Cortex-M3-контроллера
	GW1NR	4K, 9K	Встроенная память
	GW1NSR	2K, 4K	Встроенные память и контроллер
	GW1NSE	2K, 4K	Встроенный контроллер с дополнительной защитой
	GW1NSER	2K, 4K	Встроенный контроллер с дополнительной защитой и памятью
Arora	GW1NRF	4K	Встроенный Bluetooth B4-приемопередающий блок и микроконтроллер
	GW2A	20K, 55K	ПЛИС на базе ячеек со статической памятью
	GW2AR	20K	ПЛИС со встроенной памятью

Цель данной статьи — познакомить читателей с ПЛИС фирмы GoWin и их средой разработки GoWin EDA, а также реализовать и написать программное обеспечение для процессорной системы на базе микропроцессора RISC-V.

Архитектура ПЛИС GoWin

Сегодня компания GoWin предлагает два семейства продуктов: первое поколение GW1N (LittleBee) [4], с которым компания GoWin впервые вышла на рынок ПЛИС, и второе поколение GW2A (Arora) [5], появившееся пару лет назад. Краткие данные по семействам представлены в таблице 1.

Как видно из таблицы 1, первое поколение, LittleBee, имеет относительно небольшое количество логических элементов (1000–10000 элементов), однако у ПЛИС данного семейства предусмотрено множество аппаратных модулей, встраиваемых в корпус ПЛИС. Среди них можно выделить аппаратные процессорные системы на базе микропроцессора ARM Cortex-M3, Bluetooth радиочастотный блок с аппаратной реализацией криптозащиты прошивки ПЛИС.

Второе поколение ПЛИС Arora может похвастаться увеличенным в 2–5 раз количеством логических элементов и наличием LVDS-портов.

Увеличение количества логических элементов позволило производителю реализовать на своих ПЛИС не только аппаратные процессорные системы, но и процессорные системы, использующие только логические элементы ПЛИС. Список процессорных систем, которые можно реализовать на ПЛИС GoWin, представлен в таблице 2.

В таблице 2 видно, что на втором поколении ПЛИС, Arora, компании GoWin можно реализовать две процессорные системы на базе микропроцессора RISC-V, которые представлены двумя IP-блоками — PicoRV32 и Andes N25. Модуль PicoRV32 больше подходит для случая, когда требуется реализация небольшой процессорной системы, в то время как Andes N25 представляет собой полноценную процессорную систему. В рамках статьи рассмотрим, как выполнить процессорную систему на базе IP-блока PicoRV32, поскольку этот модуль обладает полной базовой архитектурой и набором команд процессора RISC-V. Более того, реализация на ПЛИС GoWin системы Andes N25 аналогична созданию системы на основе блока PicoRV32. Подробная информация по обоим IP-блокам представлена в таблице 3.

Реализация процессорной системы будет осуществляться на отладочной плате DK-START-GW2AR18, предоставленной компанией «Гамма» — официальным дистрибьютором компании GoWin в России. Отладочная плата DK-START-GW2AR18 изображена на рис. 1.

Таблица 2. Процессорные системы ПЛИС компании GoWin

Ядро	Набор инструкций	Требуемое количество ресурсов (LUTs)	DMIPS/МГц	CoreMark, МГц	Семейство/CLK-частота, МГц
PicoRV32	RISC-V	Программное 2K	0,516	—	GW2A*/50 GW1N*/50
Andes N25	RISC-V AndeStar V5	Программное 10K	GW2A18: 1,94 GW2A55: 2,29	—	GW2A*/50
Cortex-M1	ARM Thumb, Thumb-2	Программное 4,6K	0,8	1,85	GW2A*/75 GW1N9/40
Cortex-M3	ARM Thumb, Thumb-2	Аппаратное N/A	1,25 до 1,89	3,34	GW1NS*-2C/60 GW1NS*-4C/100
ARC EM4	Synopsys ARCV2	Аппаратное N/A	1,77	3,41	GW1NRF/24

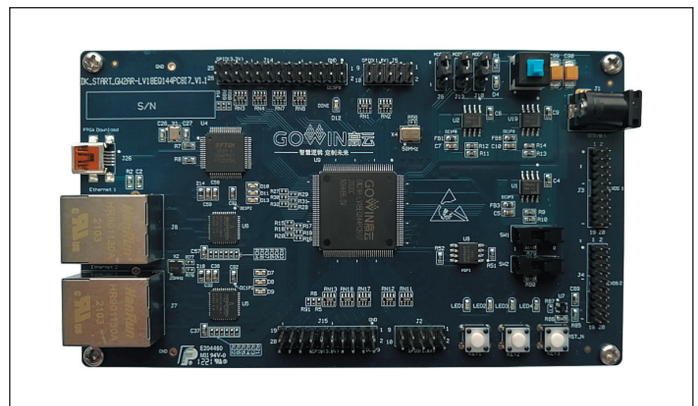


Рис. 1. Отладочная плата DK-START-GW2AR18

Как уже отмечалось, выполнение проекта на ПЛИС ведется в два этапа: разработка аппаратной части на ПЛИС и программной части на микропроцессоре. Разработка архитектуры будущей прошивки в ПЛИС компании GoWin осуществляется с помощью их собственной среды разработки — GoWin EDA, а программ под процессорные системы — на основе процессора PicoRV32 с помощью GoWin MCU (Eclipse, модифицированный компанией GoWin). В то же время для создания программ под процессорные системы Andes N25 требуется программный пакет AndeSight RDS (Eclipse, модифицированный компанией AndesStar). Естественно, все программное обеспечение можно найти и скачать бесплатно на сайте производителя [1], предварительно зарегистрировавшись. А вот для запуска программных пакетов понадобится лицензия, причем своя на каждый программный пакет. Получить лицензию можно либо через обратную связь на сайте производителя, либо через компанию «Гамма» [6].

Отладочная плата DK-START-GW2AR18 (рис. 1) содержит ПЛИС GW2AR18 на 20 000 логических элементов, тактовый генератор на 50 МГц, встроенный модуль программатора в виде FTDI2232 для прошивки и отладки ПЛИС и процессора (JTAG, MSPI, MultiBOOT), кнопку сброса генератора, две пользовательские кнопки, два переключателя, четыре диода, встроенную PSRAM на 64 Мбит, LVDS- и GPIO-модули ввода/вывода и два Ethernet PHY микросхемы Broadcom [7]. Основные характеристики ПЛИС GW2AR18 представлены в таблице 4, а ее архитектура изображена на рис. 2 [8].

Таблица 3. IP-блоки процессорных систем

Название IP-ядра	Процессор	Разработчик	Поддерживаемые стандарты	Поддерживаемые интерфейсы	Поддержка прерываний и отладки	Разработка программ и приложений	Периферия	Поддерживаемые устройства Gowin
GoWin PicoRV32	PicoRV32	Clifford Wolf (открытый код)	RV32I, RV32IC, RV32IM, RV32IMC	AHB, WB	Да	GMD (GoWin MCU)	UART, GPIO, SPI, I ² C, SPI-Flash, своя периферия (AHB, WB)	GW1N-9, GW1NR-9, GW2A-18, GW2AN-18, GW2AR-18, GW2ANR-18, GW2A-55, GW2AN-55
GoWin AndesCore AE250IP	N25F	AndesStar	RV32I, RV32IE, RV32A, RV32F, RV32D, RV32P (DSP)	AHB, APB	Да	AndeSight RDS	RTC, DMA, WatchDog, PIT, UART×4, GPIO, SPI×4, I ² C×4, SPI-Flash, своя периферия (AHB, WB)	GW2A-18, GW2AN-18, GW2AR-18, GW2ANR-18, GW2A-55, GW2AN-55

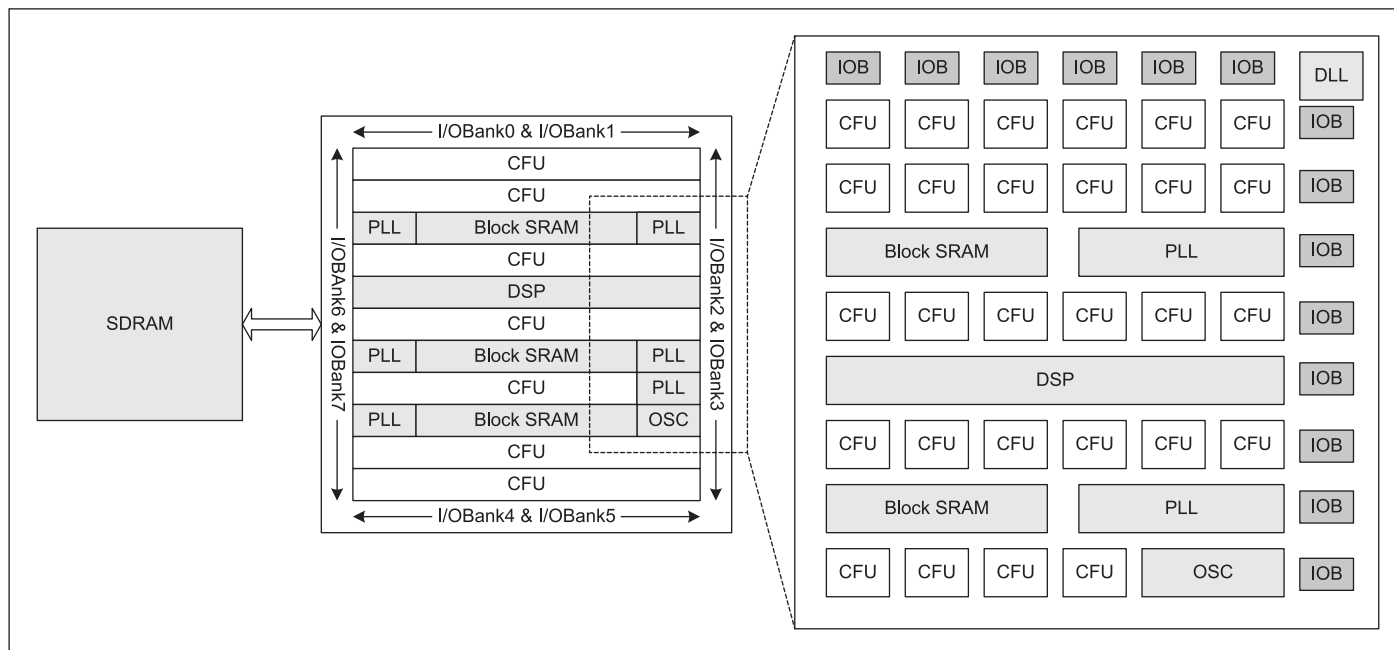


Рис. 2. Архитектура ПЛИС GW2AR18

Выделим следующие функциональные аппаратные блоки в составе ПЛИС GW2AR18:

- Настраиваемая функциональная единица (Configurable Function Unit, CFU), которая служит базовым элементом ПЛИС и состоит из настраиваемой трассировочной единицы (Configurable Routing Unit, CRU) и настраиваемого логического модуля (Configurable Logic Unit, CLU), содержащего четыре настраиваемые логические ячейки (Configurable Logic Slices, CLS). Каждая CLS имеет две логические ячейки (Look-Up-Table, LUT) и два регистра. Причем два регистра в одной из CLS могут быть сконфигурированы с такими же регистрами из других CLU-модулей в теневые блоки памяти Shadow SRAM (S-SRAM). Таким образом, CLU может работать в трех режимах: в режиме обычной логической функции, в виде вычислительного логического модуля (Arithmetic Logic Unit, ALU) либо в режиме памяти (S-SRAM или Read Only Memory, ROM).
- Полноценные ресурсы ввода/вывода (IOB), располагающиеся по краям ПЛИС в ножках ПЛИС и включающие входные, выходные и тристабильные буферы, как для одиночных сигналов, так и для дифференциальных пар; регистры ввода/вывода данных (IO registers), работающие как в режиме с одним перепадом тактового сигнала (Single Data Rate, SDR), так и в режиме с двумя перепадами тактового сигнала (Double Data Rate, DDR); блоки сериализаторов (serializers) и десериализаторов (de-serializers) данных, блоки управления задержками в ножках ПЛИС.
- Блоки памяти (B-SRAM) объемом 18 кбит каждый, работающие на частотах до 380 МГц, могут быть сконфигурированы

в один из пяти рабочих режимов: однопортовая память, двухпортовая память, полудвухпортовая память, только чтение (Read Only Memory, ROM), конвейер (First Input First Output, FIFO).

- Один блок фазовой автоподстройки частоты (Phase Lock Loop, PLL) для создания нескольких тактовых сигналов, синхронных с входным тактовым сигналом.
- Перестраиваемый тактовый генератор (on-chip oscillator), поддерживающий частоты 2,5–125 МГц.
- Аппаратные блоки обработки сигналов (Digital Signal Processing, DSP), на основе которых реализуются умножители, ALU, КИХ-фильтры, преобразование Фурье и т. д.
- Трассировочные ресурсы в виде глобальных буферов (GCLK) и линий тактовых сигналов, предназначенных для одновременного подключения большого количества регистров одним тактовым сигналом с минимальной разницей задержек между всеми регистрами; высокоскоростных тактовых буферов и сигналов (HCLK), предназначенных для высокоскоростного приема и передачи данных, например по интерфейсу с синхронизацией от источника данных (source synchronous interface), а также сигнал глобального сброса (GSR) либо пользовательские глобальные сигналы (Long Wire, LW).

Из большого количества ресурсов серии Aroga производителем удалось реализовать на своих ПЛИС процессорные системы, собираемые на общих ресурсах ПЛИС, — например, IP-блок PicoRV32, чья внутренняя архитектура представлена на рис. 3.

Как видно на рис. 3, сама процессорная система PicoRV32 может быть разделена на че-

Таблица 4. Характеристики ПЛИС GW2AR18

LUT4	20 736
Flip-Flop (FF), триггеров	15 552
Shadow SRAM S-SRAM	41 472 бит
Block SRAM B-SRAM	828 кбит
B-SRAM, количество B-SRAM	46
SDR/DDR SDRAM	64/128 Мбит
PSRAM	64 Мбит
Перемножители 18×18	48
Maximum (PLLs)	4
Общее количество I/O-банков	8
Максимум I/O	384
Напряжение ядра	1 В

тыре блока: процессорное ядро, подсистема памяти, AHB (Advanced High-performance Bus) интерфейс и Wishbone-подсистема.

Процессорное ядро состоит из микропроцессора PicoRV, разработанного Клиффордом Вульфом (Clifford Wolf) и находящегося в открытом доступе [9]. Особенности данного микропроцессора являются:

- 32-битная RISC-V-архитектура RISC-V32I (базовый набор команд).
- Настраиваемое расширение инструкций умножения/деления RISC-V32M и расширение RISC-V32C для сжатия инструкций.
- Настраиваемый интерфейс SPI FLASH, предлагающий загрузку и запуск программ из внешней флэш-памяти.
- Встроенный и настраиваемый модуль прерываний, поддерживающий до 32 источников прерываний. Приоритет прерывания может контролироваться программой.
- Встроенный и настраиваемый 32-битный таймер.
- Встроенный модуль отладки (доступно через Open OCD).
- Little-endian-формат.

Подсистема памяти включает следующие модули: память инструкций (Instruction

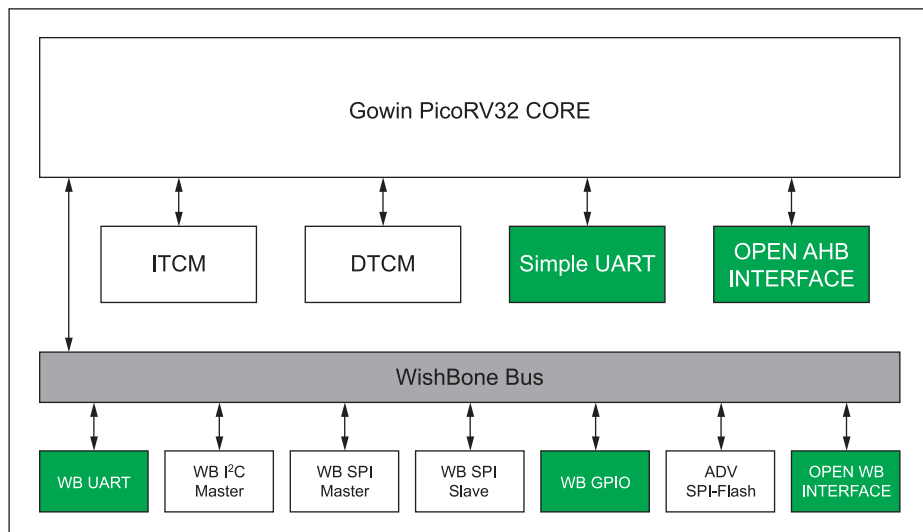


Рис. 3. Архитектура IP-блока PicoRV32

Таблица 5. Количество занимаемых ресурсов PicoRV32 в GW2AR18

Конфигурация/ресурсы	Количество LUTs	Количество регистров	BSRAM	DSP-блоки
PicoRV32 CORE в минимальной конфигурации, без периферии	2764	1833	8	0
PicoRV32 CORE в максимальной конфигурации, без периферии	6210	3477	32	2
PicoRV32 CORE в исходном виде и без периферии	5321	3173	32	2
PicoRV32 CORE в исходном виде и с периферией (UART/GPIO/I²C)	6804	4228	32	2
PicoRV32 CORE в исходном виде и вся периферия в исходном виде	8330	5070	32	2
PicoRV32 CORE в максимальной конфигурации и со всей периферией	8594	5278	32	2

Memory, ITCM) с настраиваемым размером 8/16/32/64/128/256 кбайт и память данных (Data Memory, DTCM) с настраиваемым размером 8/16/32/64/128/256 кбайт. Более того, PicoRV32 поддерживает аппаратную защиту стека.

Открытый АНВ-интерфейс расширения процессора позволяет подключить свои периферийные устройства через АНВ-шину и имеет адресное пространство в 2^{29} адресов (0x80000000–0xfffff000).

Подсистема Wishbone содержит UART, I²C Master, SPI Master, SPI Slave, GPIO, ADV SPI-Flash, а также позволяет подключать свои периферийные устройства через Wishbone-шину.

При настройке PicoRV32-системы можно выбрать нужные блоки или выключить ненужные подсистемы. В представленной процессорной системе обязательными блоками являются процессорное ядро и подси-

стема памяти. В зависимости от подключенных модулей объем занимаемых ресурсов ПЛИС процессорной системой будет меняться, их примерные значения для GW2AR18 приведены в таблице 5.

Заключение

В этой части статьи мы познакомили читателей с ПЛИС фирмы GoWin, их внутренней архитектурой, а также со структурой IP-блока PicoRV32, представляющего собой процессорную систему на базе процессора RISC-V. В следующих частях мы познакомимся со средой разработки GoWin EDA и пройдем все этапы создания проекта процессорной системы на базе микропроцессора RISC-V, а также познакомимся со средой разработки программного обеспечения для процессорной системы GoWin MCU и подведем итоги. ■

Литература

1. Официальный сайт компании GoWin. www.gowinsemi.com/en/
2. Официальный сайт организации RISC-V. www.riscv.org/
3. Спецификации технологии RISC-V. www.riscv.org/technical/specifications/
4. DS100. GW1N series of FPGA Products. Data Sheet. www.gowinsemi.com/en/support/database/1748/
5. DS102. GW2A series of FPGA Products. Data Sheet. www.gowinsemi.com/en/support/database/1826/
6. Официальный сайт компании «ГАММА». www.icgamma.ru/
7. DBUG359. DK START GW2AR-LV18EQ144PC8I7. Development Board User Guide. www.gowinsemi.com/en/support/database/428/
8. DS226. GW2AR series of FPGA Products. Data Sheet. www.gowinsemi.com/en/support/database/1846/
9. Открытый репозиторий проекта PicoRV32. [www.github.com/YosysHQ/picorv32](https://github.com/YosysHQ/picorv32)