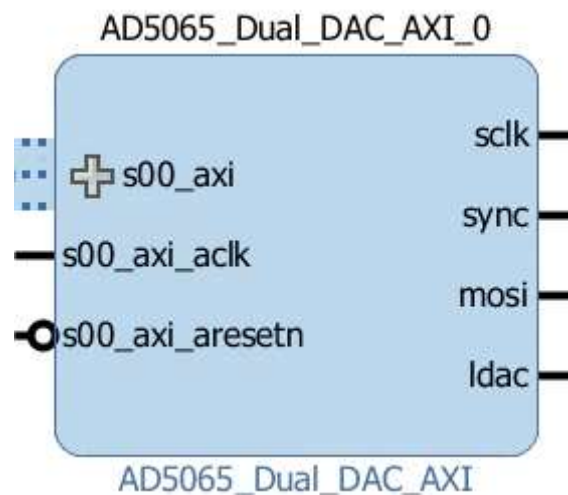


# AMS101 Evaluation Card IP (AD5065 Dual DAC)



[dhmarinov](#) 9 Apr 2018

## AD5065 Dual DAC AXI



## Introduction

В этой статье описывается реализация AD5065\_Dual\_DAC\_AXI ИС и мотивация, стоящая за ней. Автор этого текста предполагает, что читатель знаком с Xilinx Vivado, Zedboard[1], проектированием и интеграцией AXI lite slave IP и оценочной платой AMS101[2].

## Motivation

Этот IP-адрес был создан для того, чтобы взаимодействовать и управлять устройством ЦАП AD5065, которое можно найти в оценочном модуле AMS101. Возможна замена всего IP на программную реализацию функционала SPI в случае использования Zynq PS или Micoblaze, однако, создав выделенный IP, проектировщик имеет возможность управлять оценочной картой без использования процессора. Более того, изначально оценочная плата принадлежала оценочной плате AC701, которая питается от чипа Artix. Поскольку управляемое устройство представляет собой ЦАП

(однонаправленная форма связи – только выводит данные, но не выполняет выборку/прием), IP-блок AD5056 может только записывать данные в ЦАП, но не считывать обратно, поэтому разработчик предполагает, что приложение будет знать конфигурацию ЦАП в любой момент времени (при необходимости).

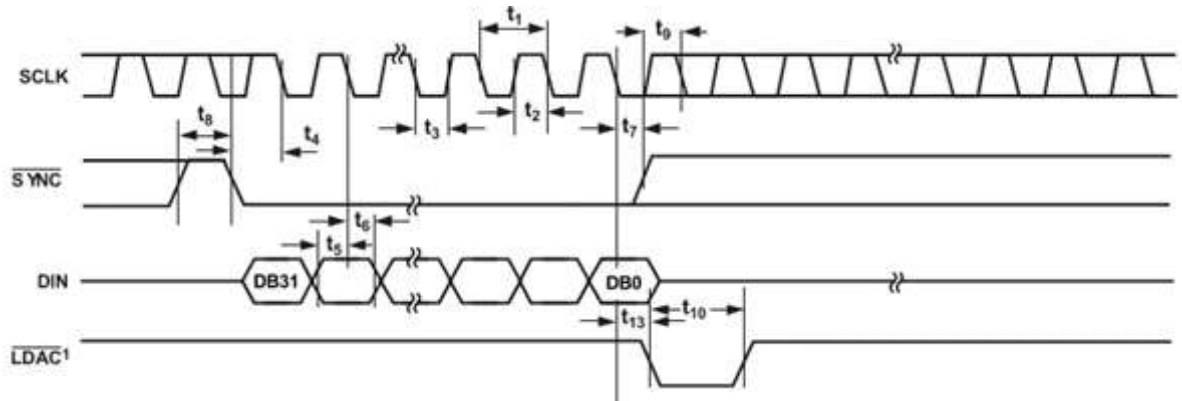
## Operation

Карта AMS101 оснащена XADC-совместимым разъемом, который имеет 4 контакта GPIO, в данном случае используются для протокола SPI, где:

XADC pin connector

XADC pin	Functionality
Pin17, GPIO1	SCLK
Pin18, GPIOo	LDAC
Pin19, GPIO3	SYNC
Pin20, GPIO2	DIN(MOSI)

SCLK — это часы SPI, LDAC — это сигнал, который позволяет вновь запрограммированной конфигурации стать активной, когда LDAC = 'о', SYNC действует как ведомое включение SPI, а Din является входом для данных. В этом IP-адресе LDAC постоянно установлен на «О», поэтому конфигурация DAC включается, как только операция программирования завершена. Функциональность SPI довольно проста - SPI принимает передачу, состоящую из 32-битных пакетов, каждый из которых начинается с понижения сигнала SYNC. В то же время данные отправляются, начиная с MSB. SCLK используется для синхронизации сигналов SYNC и DIN.



AD5065 SPI timing diagram

32-разрядное слово, отправляемое в SPI, имеет следующую структуру:

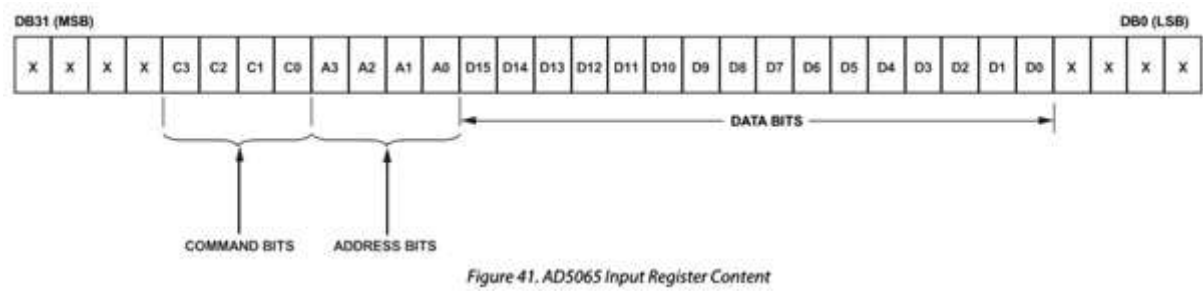


Figure 3 SPI data structure

- Bits 31 to 28 are not unused.
- Bits 27 to 24 are used to store the command tha the user wants to execute.
- Bits 23 to 20 are used to select the DAC that the use wants to configure.
- Bits 19 to 4 are used to store the DAC value that the user want to write to the DAC.
- Bits 3 to 0 are not used.

Table 7. Address Commands

Address (n)				Selected DAC Channel
A3	A2	A1	A0	
0	0	0	0	DAC A
0	0	1	1	DAC B
0	0	0	1	Reserved
0	0	1	0	Reserved
1	1	1	1	Both DACs

Table 8. Command Definitions

Command				Description
C3	C2	C1	C0	
0	0	0	0	Write to Input Register n <sup>1</sup>
0	0	0	1	Update DAC Register n <sup>1</sup>
0	0	1	0	Write to Input Register n, update all (software LDAC)
0	0	1	1	Write to and update DAC Channel n <sup>1</sup>
0	1	0	0	Power down/power up DAC
0	1	0	1	Load clear code register
0	1	1	0	Load LDAC register
0	1	1	1	Reset (power-on reset)
1	0	0	0	Set up DCEN register (daisy-chain enable)
1	0	0	1	Reserved
1	1	1	1	Reserved

AD5065 command and address bits definition

Работа IP тесно связана с функциональностью SPI — он принимает только один вход, который является словом, которое должно быть отправлено в

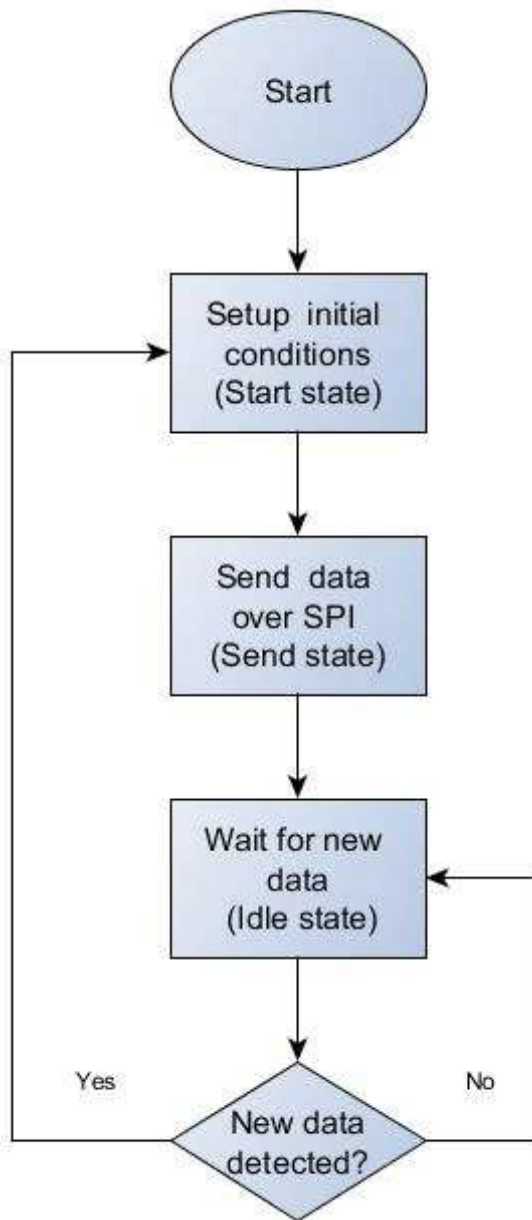
ЦАП. Как только новые данные получены, они автоматически отправляются в ЦАП. Поскольку этот IP-адрес выполняет только основные операции AD5056, пользователь не может:

- Cannot read the configuration back.
- Cannot schedule an update operation with to LDAC.

Тем не менее, тот, кто использует этот IP-адрес, может изменить IP-адрес по мере необходимости, чтобы удовлетворить свои требования. Существует также версия RTL, которая может работать без AXI. Его интерфейс состоит только из одного входного регистра:

## Implementation

IP реализует очень простой конечный автомат, который используется для сериализации полученного слова и отправки его в формате SPI. После того, как данные были отправлены, SPI переходит в состояние ожидания, которое постоянно отслеживает ввод слова, и как только получена новая команда, конечный автомат отправляет новые данные через SPI. Функциональность проиллюстрирована на схеме ниже:



### AD5065 flow diagram

Для получения более подробной информации ознакомьтесь с исходным кодом IP. IP имеет две версии - одну с собственным входом (std\_logic\_vector) и одну с интерфейсом AXI. IP идентичны с точки зрения функциональности. Версия с интерфейсом AXI имеет только один адрес – базовый, на который отправляются данные.

```

//66060288 = 0011111100000000000000000000 write and update both DACs
// Multiply the value by 16 in order to compensate for the 4 LSB zeros
Xil_Out32(XPAR_AD5065_DUAL_DAC_AXI_0_S00_AXI_BASEADDR, 66060288 + 16*val);
}
cleanup_platform();
  
```

### Sending data to the AD5065 IP

В этом коде видно, что есть смещение 66060288. Это значение равно 1111110000000000000000000000, что является двоичным эквивалентом команды, которая записывает и обновляет оба DAC. Данные умножаются на 16, потому что 4 LSB SPI не используются, следовательно, значение должно быть смещено влево, что в данном случае реализовано как умножение. И последнее: поскольку 4 MSB и 4 LB SPI - это биты Не волнуйтесь, даже если пользователь что-то запишет в эти биты, SPI отправит 0.

Исходные файлы и 2 тестовых проекта, собранных для Zedboard, можно найти в моем

<https://github.com/DHMarinov/FPGA/tree/master/Xilinx/Zedboard/AD5065>  
Github

Где Dual\_DAC — это тестовый проект, использующий версию RTL, Dual\_DAC\_AXI — версию AXI, а ip\_repo — папка, содержащая IP-адреса.

Этот проект был использован в тесте силового модуля TI SWIFT, проведенном [snidhi](#). Результаты можно увидеть здесь:

[TI SWIFT™ Power Module EVM Review: Part 4 Dynamically adjust the output voltage using external DAC](#)

---

[1] <http://zedboard.org/product/zedboard>

[2] [https://www.xilinx.com/support/documentation/boards\\_and\\_kits/ams101/ug886-ams101-eval-card.pdf](https://www.xilinx.com/support/documentation/boards_and_kits/ams101/ug886-ams101-eval-card.pdf)

0 comments 0 members are here