

# A031 PKG Power RLC extraction for Redhawk

China CPS Team

Xin Wang

# AppBrief Requirements (Title matches the engineering challenge we are trying to solve (not simulation challenge))

## 封装参数提取挑战

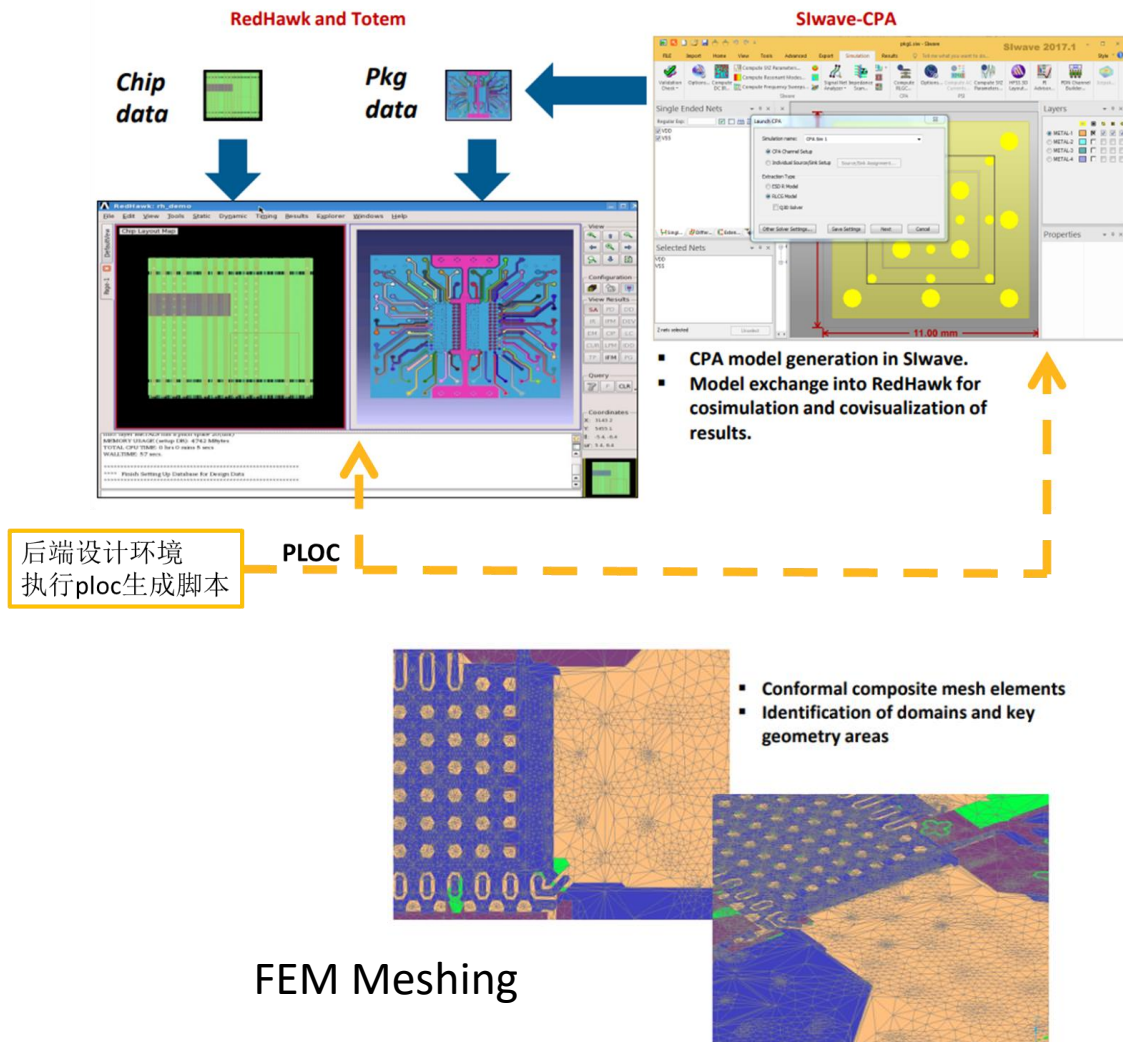
- 封装密度和集成度越来越高，传统的参数提取工具无法满足上百上千乃至上万pin参数提取的需求；
- 传统的参数提取工具输出的PKG模型无法与芯片端工具RedHawk等联合使用；

## ANSYS解决方案

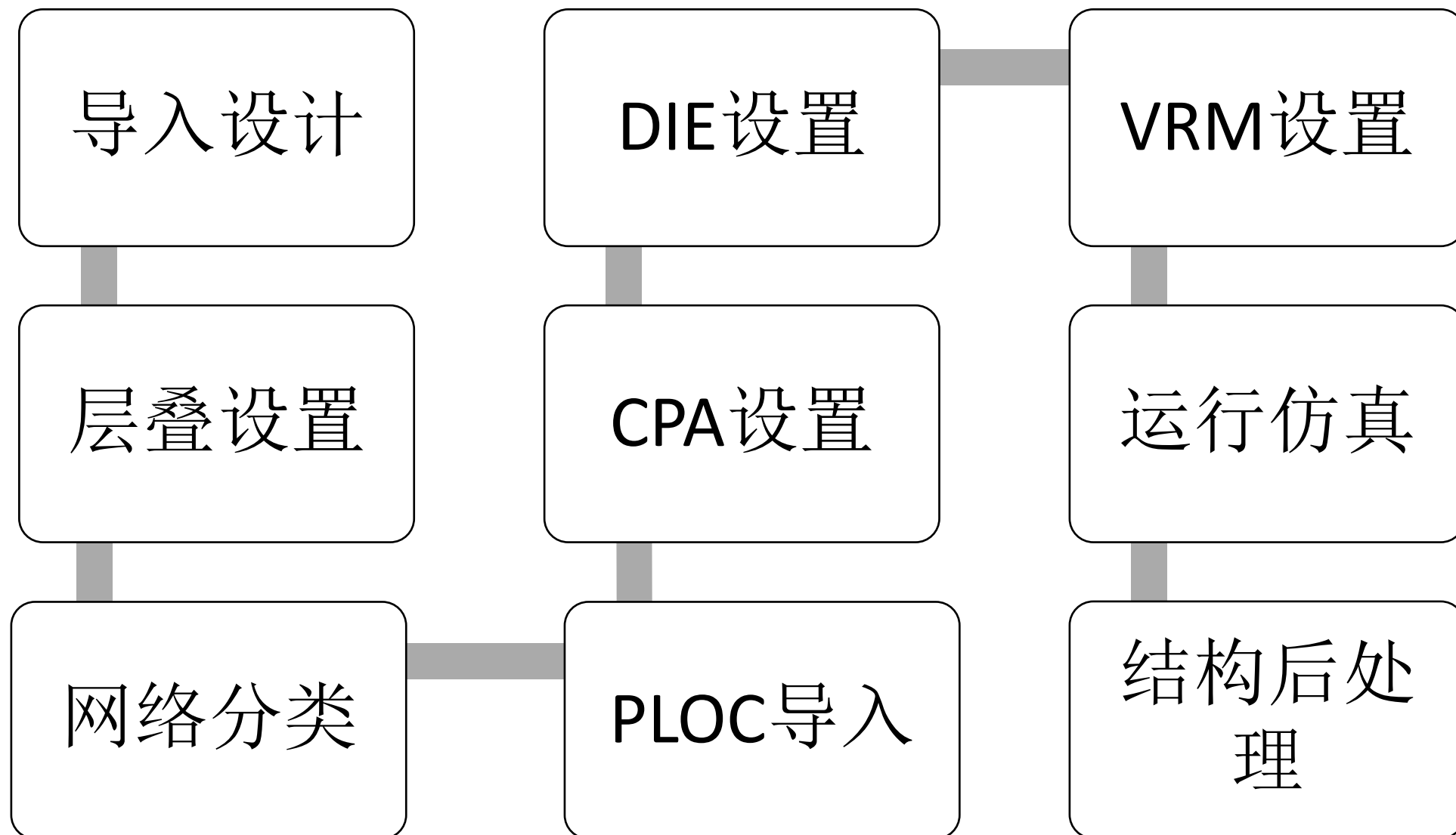
- ANSYS Siwave CPA采用FEM Solver，对信号线以及source和sink的数量没有限制，可以对提取成百上千pin的封装参数，和大规模的PDN结构；
- 包含MoM Q3D Solver，满足高精度参数提取的需求；
- 可以和Chip端RedHawk等工具实现联合仿真，模拟芯片和封装工作时的真是工况；

## Benefits

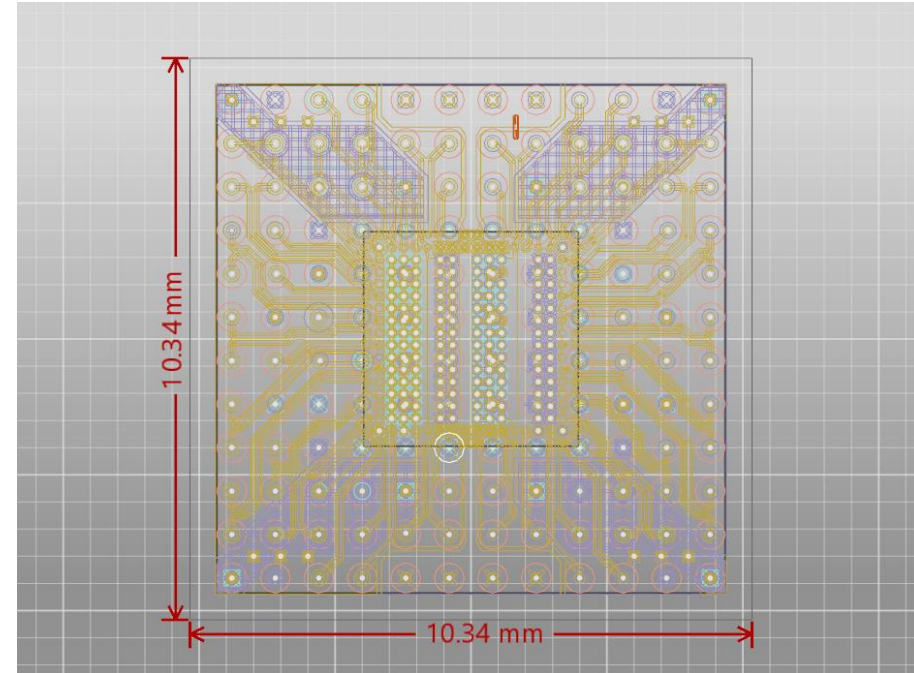
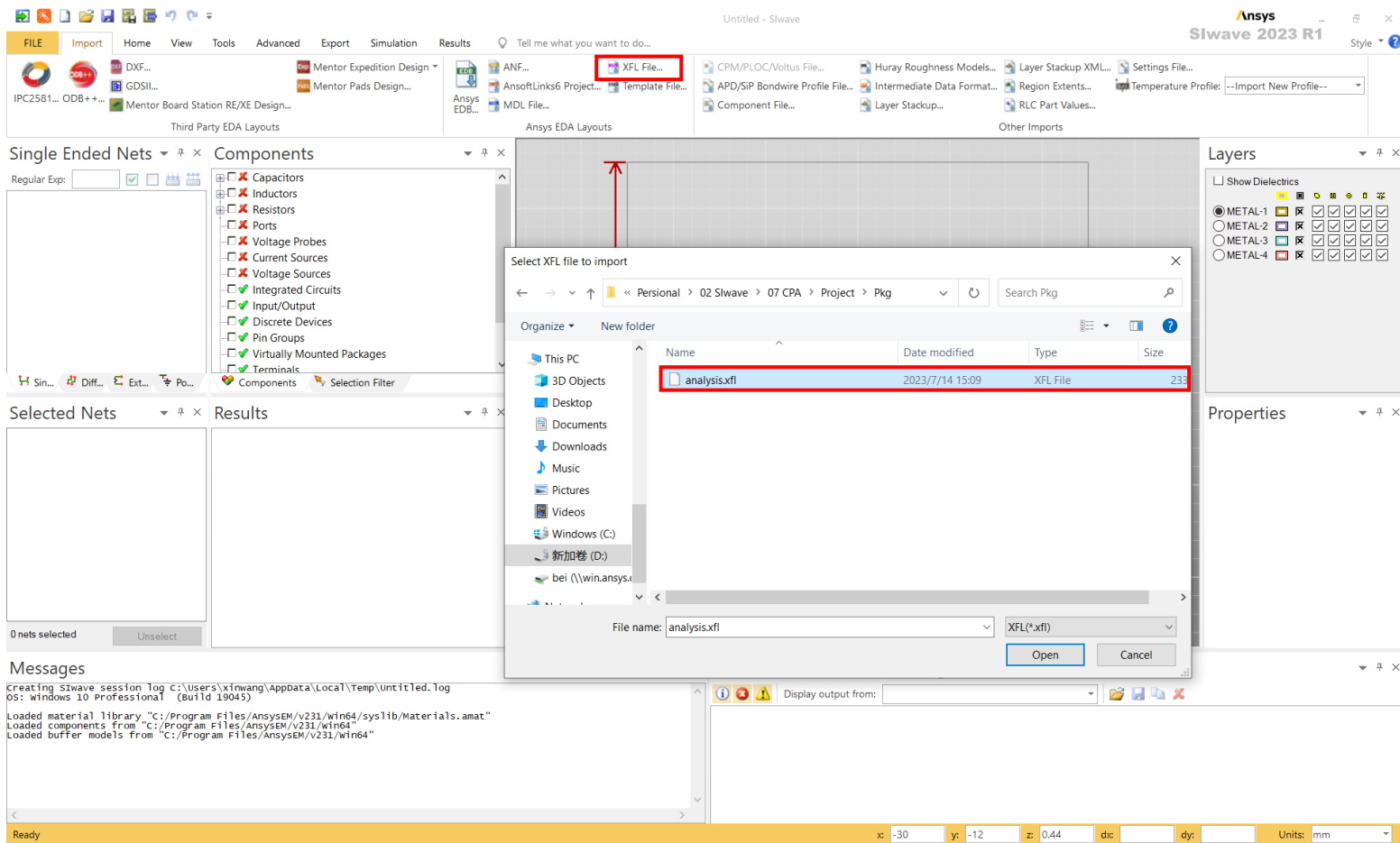
- 非常高容量的FEM求解器-全封装和PCB结构-上万个source/sink；
- 快速提取（几分钟到几小时-即使对与拥有上万个bump的超大封装结构）
- 适用多种结构：RDL、TSV、层压板PKG、PCB以及多Die等结构；



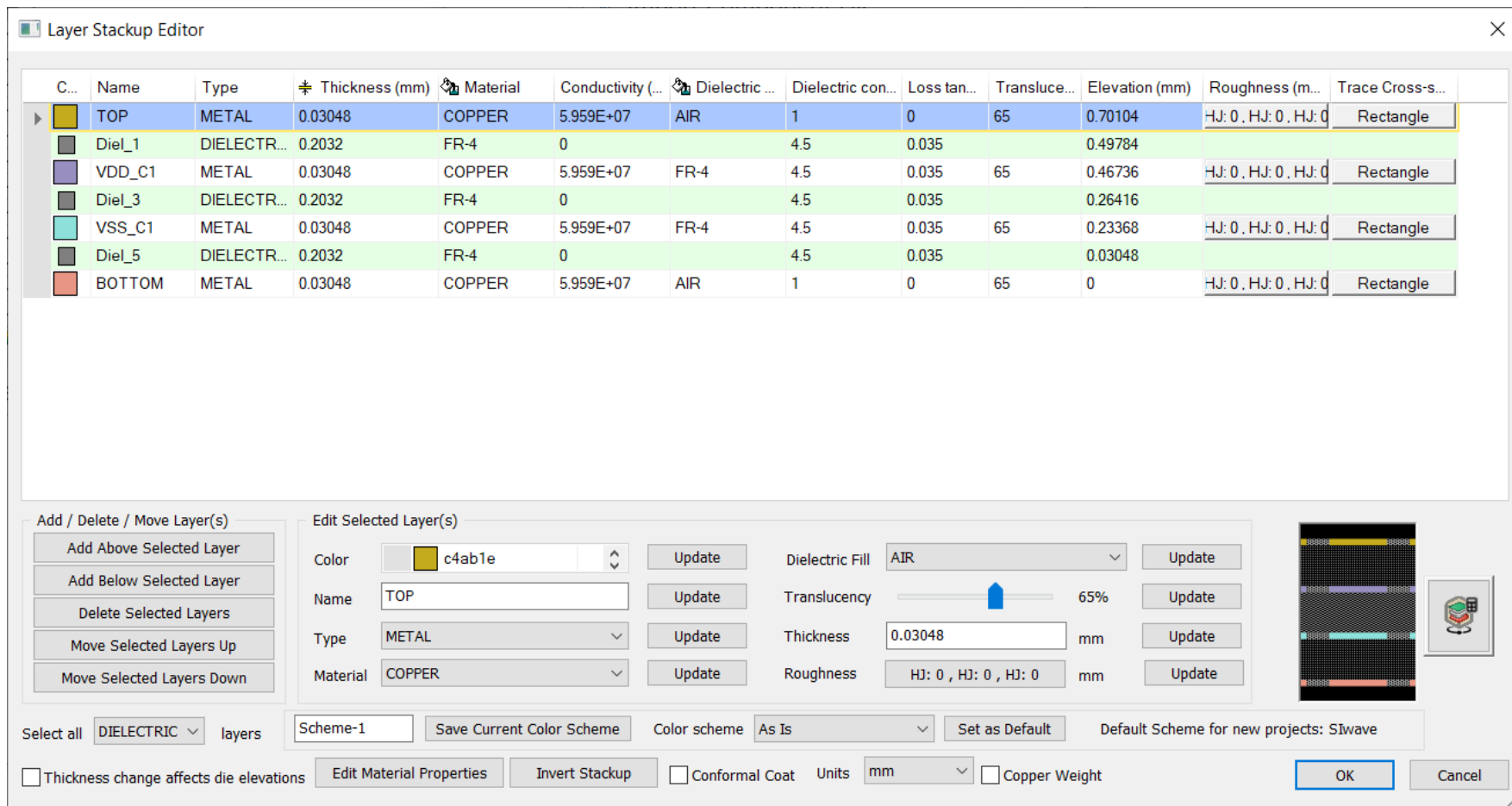
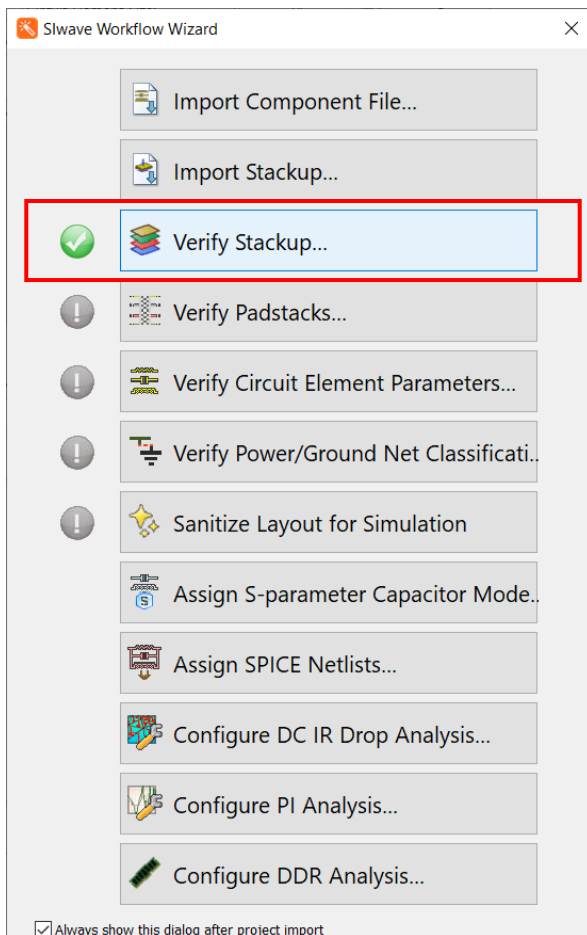
# CPA输出Redhawk RLC模型 Workflow



# 导入设计

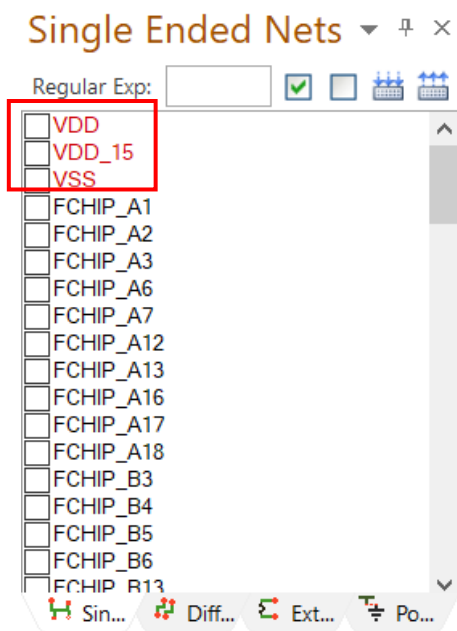
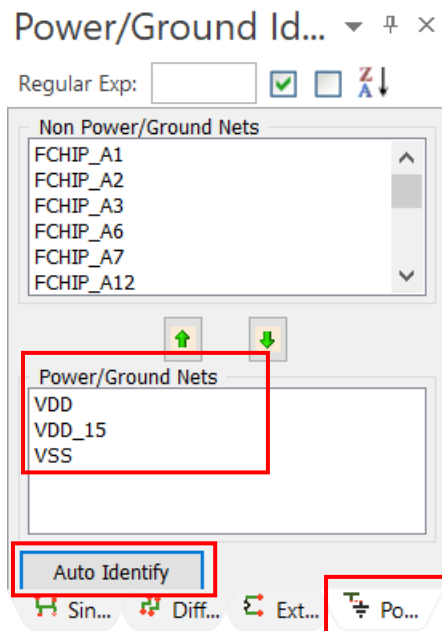


# 层叠设置

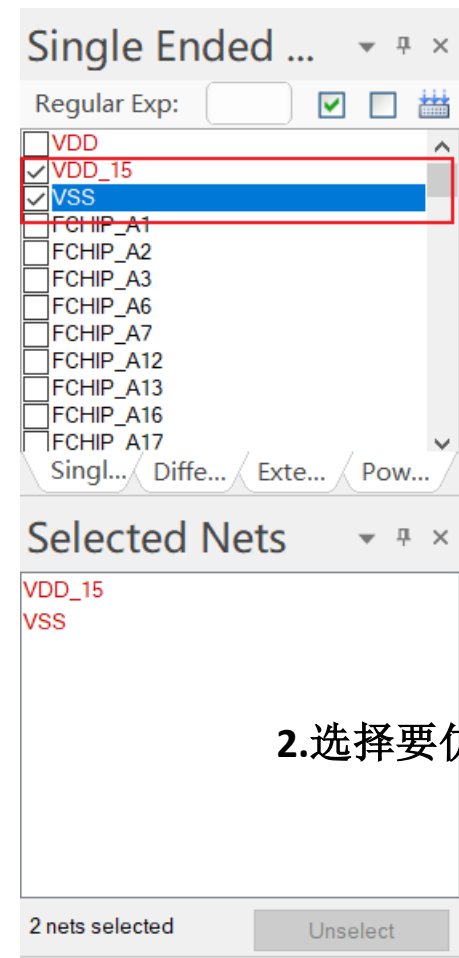




# 网络分类



1.对电源和地网络进行分类



2.选择要仿真的网络

# 什么是PLOC文件

```
1 FCHIP-V9 2387.5 587.5 METAL6 VDD_15
2 FCHIP-U9 2387.5 812.5 METAL6 VDD_15
3 FCHIP-U8 2162.5 812.5 METAL6 VDD_15
4 FCHIP-U7 1937.5 812.5 METAL6 VDD_15
5 FCHIP-V10 2612.5 587.5 METAL6 VDD_15
6 FCHIP-U12 3062.5 812.5 METAL6 VDD_15
7 FCHIP-U11 2837.5 812.5 METAL6 VDD_15
8 FCHIP-U10 2612.5 812.5 METAL6 VDD_15
9 FCHIP-B9 2387.5 4187.5 METAL6 VDD_15
10 FCHIP-B8 2162.5 4187.5 METAL6 VDD_15
11 FCHIP-B7 1937.5 4187.5 METAL6 VDD_15
12 FCHIP-A9 2387.5 4412.5 METAL6 VDD_15
13 FCHIP-B12 3062.5 4187.5 METAL6 VDD_15
14 FCHIP-B11 2837.5 4187.5 METAL6 VDD_15
15 FCHIP-B10 2612.5 4187.5 METAL6 VDD_15
16 FCHIP-A10 2612.5 4412.5 METAL6 VDD_15
17 FCHIP-D4 1262.5 3737.5 METAL6 VSS
18 FCHIP-L4 1262.5 2162.5 METAL6 VSS
19 FCHIP-D11 2837.5 3737.5 METAL6 VSS
20 FCHIP-R11 2837.5 1262.5 METAL6 VSS
21 FCHIP-H4 1262.5 2837.5 METAL6 VSS
22 FCHIP-G11 2837.5 3062.5 METAL6 VSS
23 FCHIP-G4 1262.5 3062.5 METAL6 VSS
```

引脚名

坐标信息

所在层

网络名

PLOC中有每个Pin对应的坐标信息，相当于Per Pin。提供要分析的网络信息、后端Die pad名作为CPA模型网表节点。该信息（其他SPICE文件通常不包含）使SIwave能够自动对齐和连接IC管芯引脚和封装引脚。



# PLOC导入

CPA Radhawk RLGC.siw - Slwave

FILE Import Home View Tools Advanced Export Simulation Results Tell me what you want to do...

IPC2581... ODB++... DXF... GDSII... Mentor Expedition Design... Mentor Pads Design... ANF... AnsoftLinks6 Project... XFL File... Template File... CPM/PLOC/Voltus File... APD/SIP Bondwire Profile File... Component File... Huray Roughness Models... Layer Stackup XML... Settings File... Intermediate Data Format... Region Extents... Temperature Profile: --Import New Profile-- RLC Part Values...

Third Party EDA Layouts Ansys EDA Layouts Other Imports

**1. 选择Die**

Part Name: FCHIP Reference Designator: FCHIP

CPM/PLOC/Voltus File: D:\Personal\02 Slwave\07 CPA\Project\Pkg\chip.ploc

**2. 选择PLOC文件**

User-defined Connection

Rotation Angle: 0 degrees

Scaling: 1 (1.0 means 100%)

Tolerance: 0.0 mm

Flip Die (Y-axis)

Pins mapped: 106  
Pins unmapped: 0

Auto Connect Pin Groups By Grid... Export Connection Information... Net Mapping...

**3. 自动连接**

Package Pins

2 A2  
3 A3  
4 A6  
5 A7  
6 A9  
7 A10  
8 A12

**4. 生成Pin Group(如果想要提取Per bump则不需要生成Pin Group, 直接点击ok即可)**

Die Pin In...

查看连接关系是否正确

**5. 选择Positive Nets和Ref Net**

Setup for Pin Groups

Positive Nets

Select Reference Net

VDD\_15  
VSS

Grid Dimensions

# of Rows: 2  
# of Columns: 2

**6. 设置生成Pin Group格点大小**

OK Cancel

**7. 点击ok Continue**

Create Ports/Current Sources?

☐ Create ports at all CPM-package interface nodes  
☐ Create sources representing current signatures in CPM

Continue

In...	Pin Name	SPICE Node	Group Name	Group Net	Ref. Group Name	Package Pin
1	FCHIP-V9	VDD_15	FCHIP-V9	VDD_15	FCHIP-A10	V9
2	FCHIP-U9	VDD_15	FCHIP-U9	VDD_15	FCHIP-A10	U9
3	FCHIP-U8	VDD_15	FCHIP-U8	VDD_15	FCHIP-A10	U8
4	FCHIP-U7	VDD_15	FCHIP-U7	VDD_15	FCHIP-A10	U7
5	FCHIP-V10	VDD_15	FCHIP-V10	VDD_15	FCHIP-A10	V10
6	FCHIP-U12	VDD_15	FCHIP-U12	VDD_15	FCHIP-A10	U12
7	FCHIP-U11	VDD_15	FCHIP-U11	VDD_15	FCHIP-A10	U11
8	FCHIP-U10	VDD_15	FCHIP-U10	VDD_15	FCHIP-A10	U10

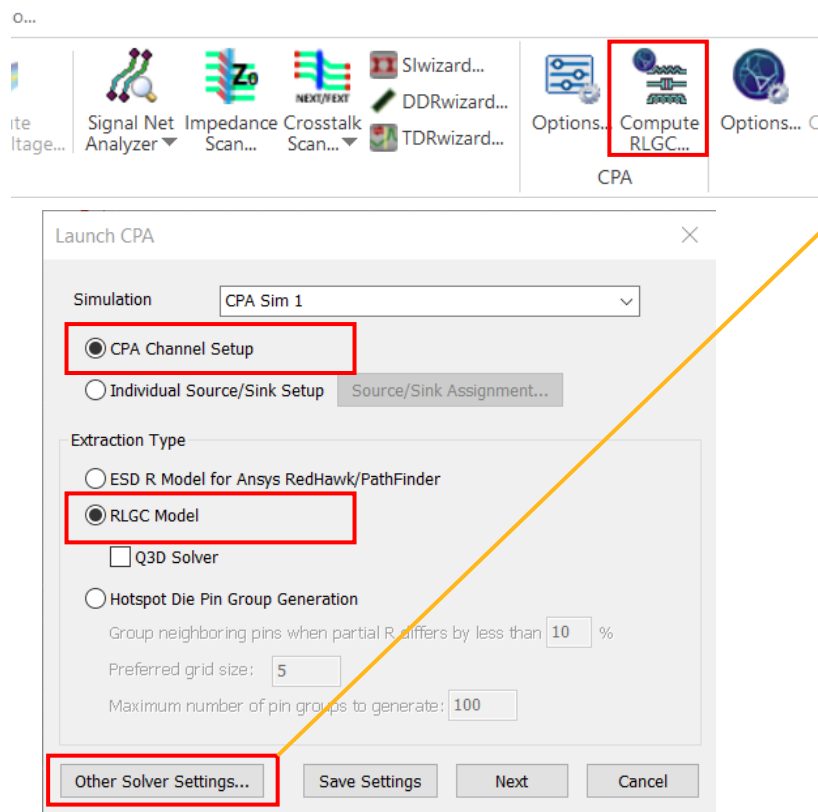
Operations

Merge selected groups Merge groups on same net

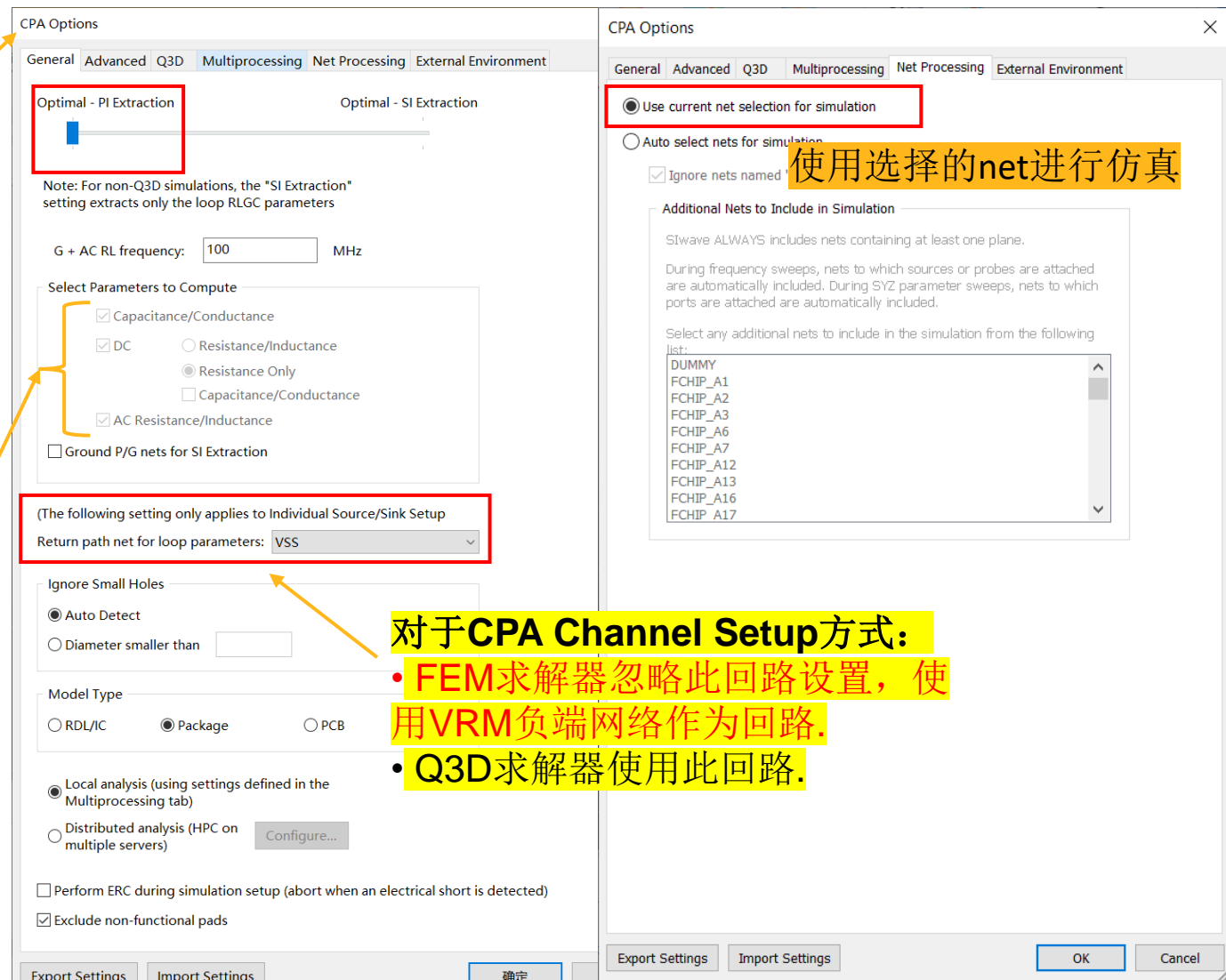
Change reference group for [ ] to FCHIP-A9

Update OK Cancel

# 启动Siwave CPA



CPA Channel Setup方式后台自动使能 Select Parameters to compute框里的DC R, CG和AC RL选项，无法进行修改。因为必须满足Redhawk兼容



使用选择的net进行仿真

对于CPA Channel Setup方式:

- FEM求解器忽略此回路设置，使用VRM负端网络作为回路。
- Q3D求解器使用此回路。

Slwave Options

SI/PI SI/PI Advanced DC DC Advanced CPA Multiprocessing Net Processing External Environment

Multiprocessing

Number of cores to 6

Max. 80 % of total

☒ Use HPC licensing

☐ Use ANSYS HPC licenses

☒ Use legacy Electronics HPC licenses

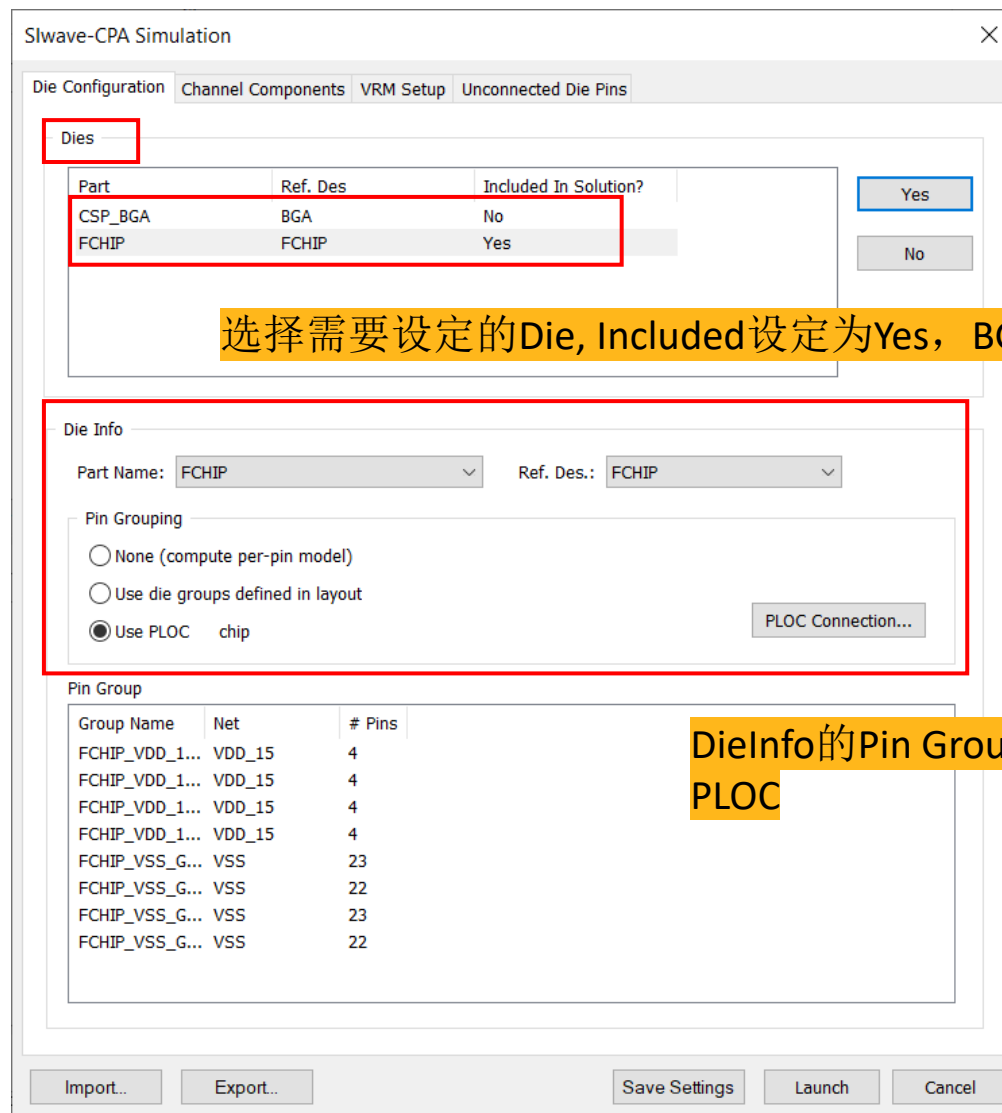
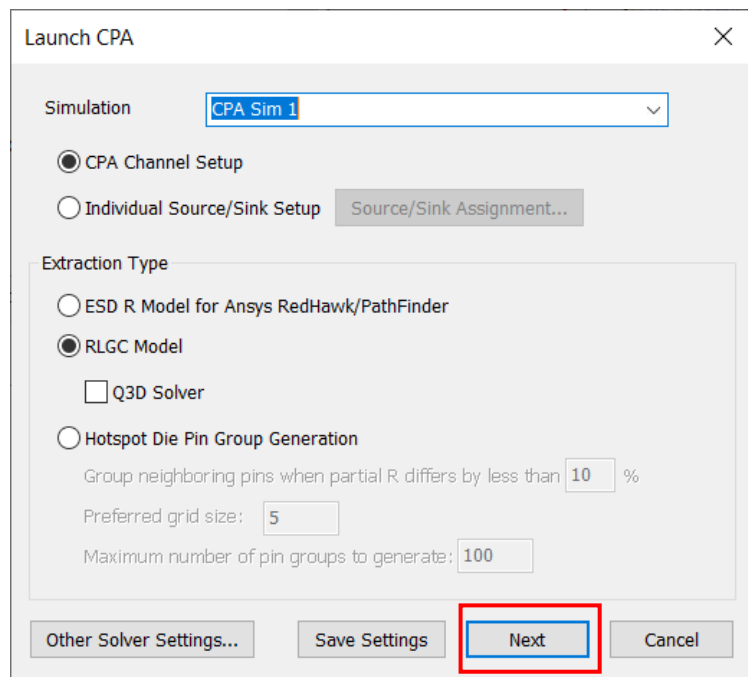
HPC License Type

☐ Pool

☒ Pack

Simulation server localhost Port: 31000

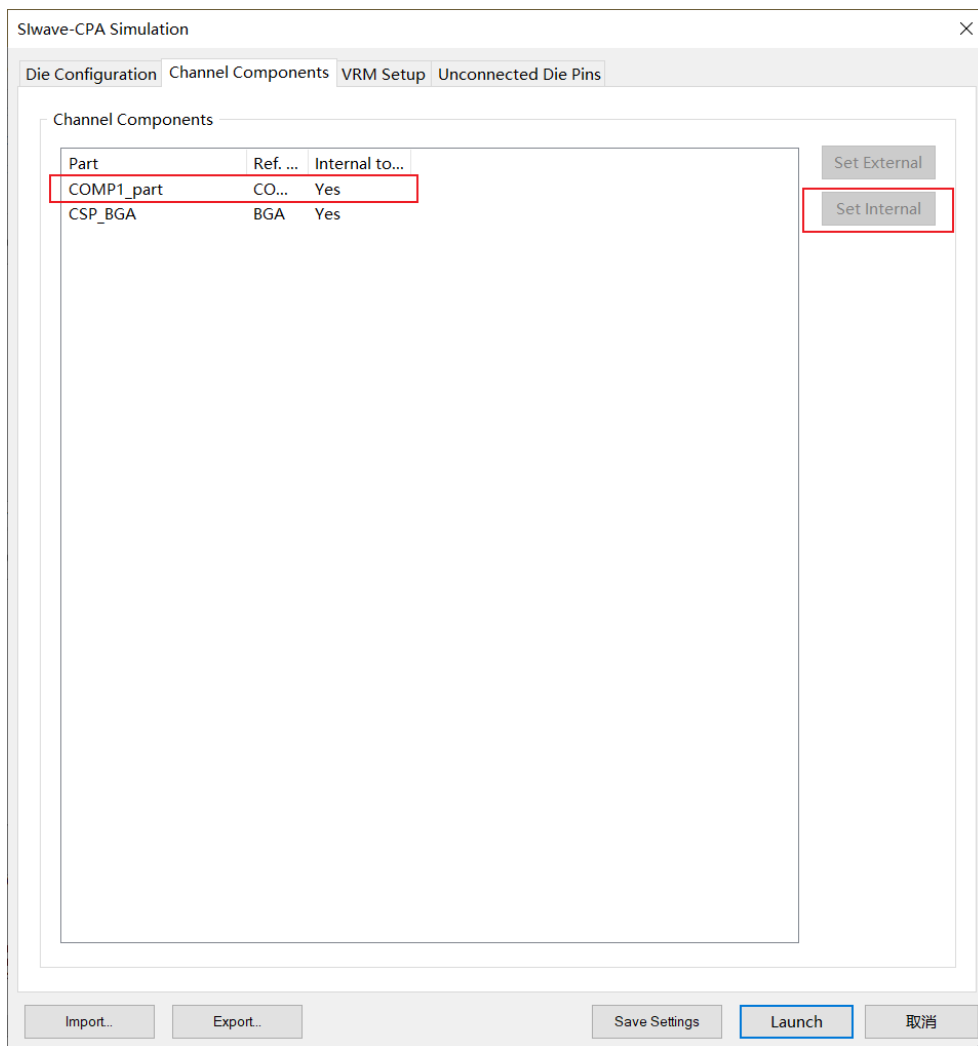
# DIE设定



选择需要设定的Die, Included设定为Yes, BGA的Included设定为NO

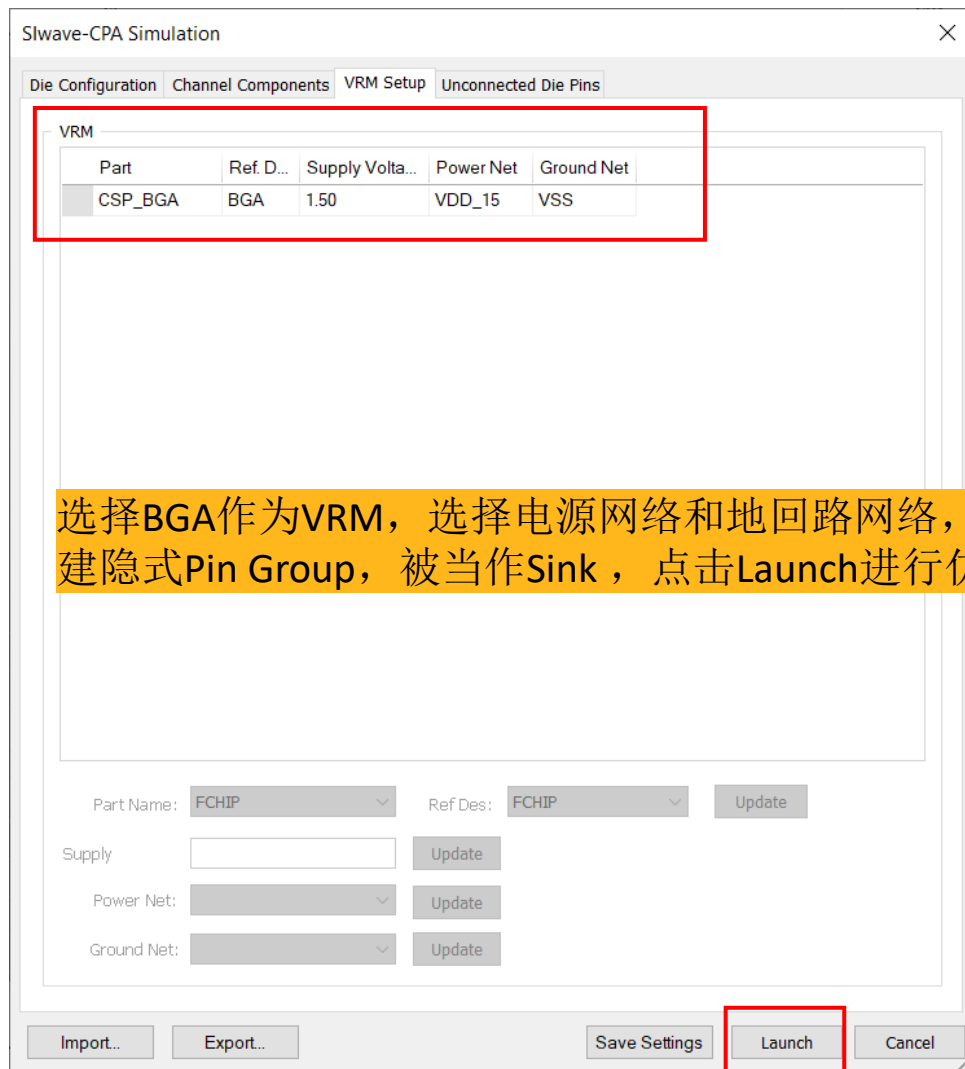
DieInfo的Pin Grouping选择Use PLOC

# Channel Component设置

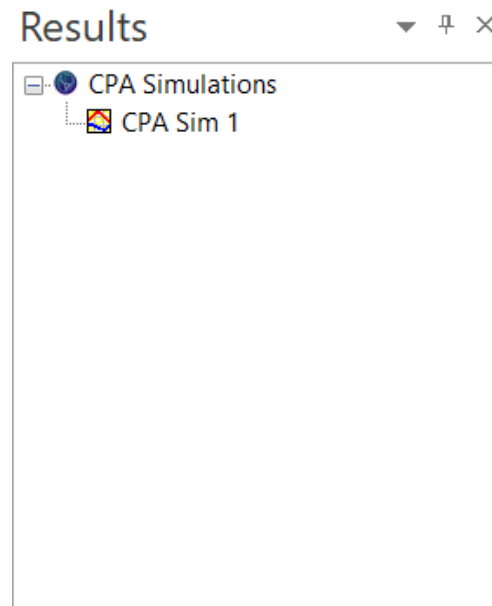


- 其他器件会被归到Channel Components。如果Channel中的器件管脚不需要在生成的CPA模型顶层网表子电路节点定义中显示，设置“internal to netlist”为“Yes”
  - 需赋模型的器件默认将管脚暴露漏在顶层网表节点中，便于后续更改模型进行What-if分析

# 设定VRM电压

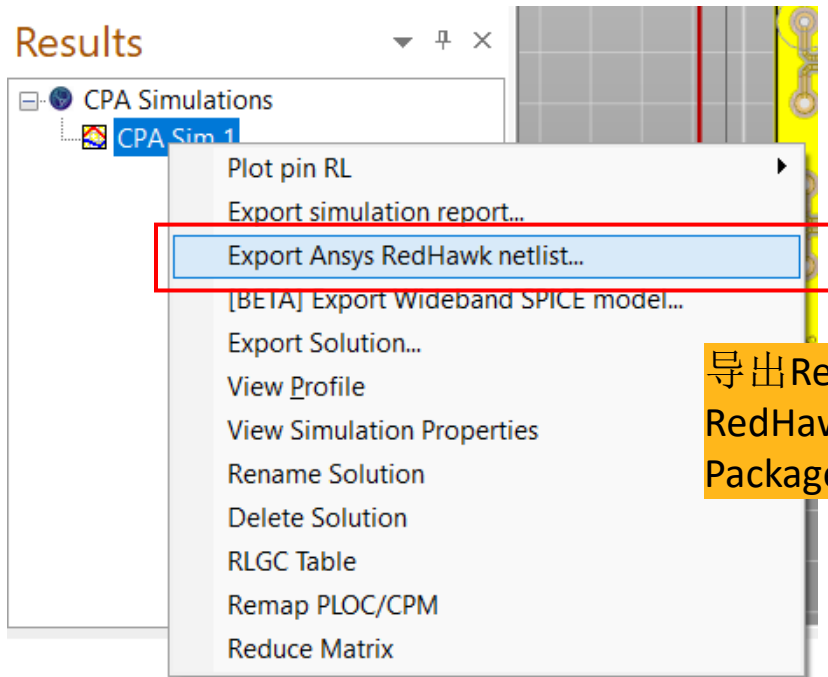


选择BGA作为VRM，选择电源网络和地回路网络，自动创建隐式Pin Group，被当作Sink，点击Launch进行仿真

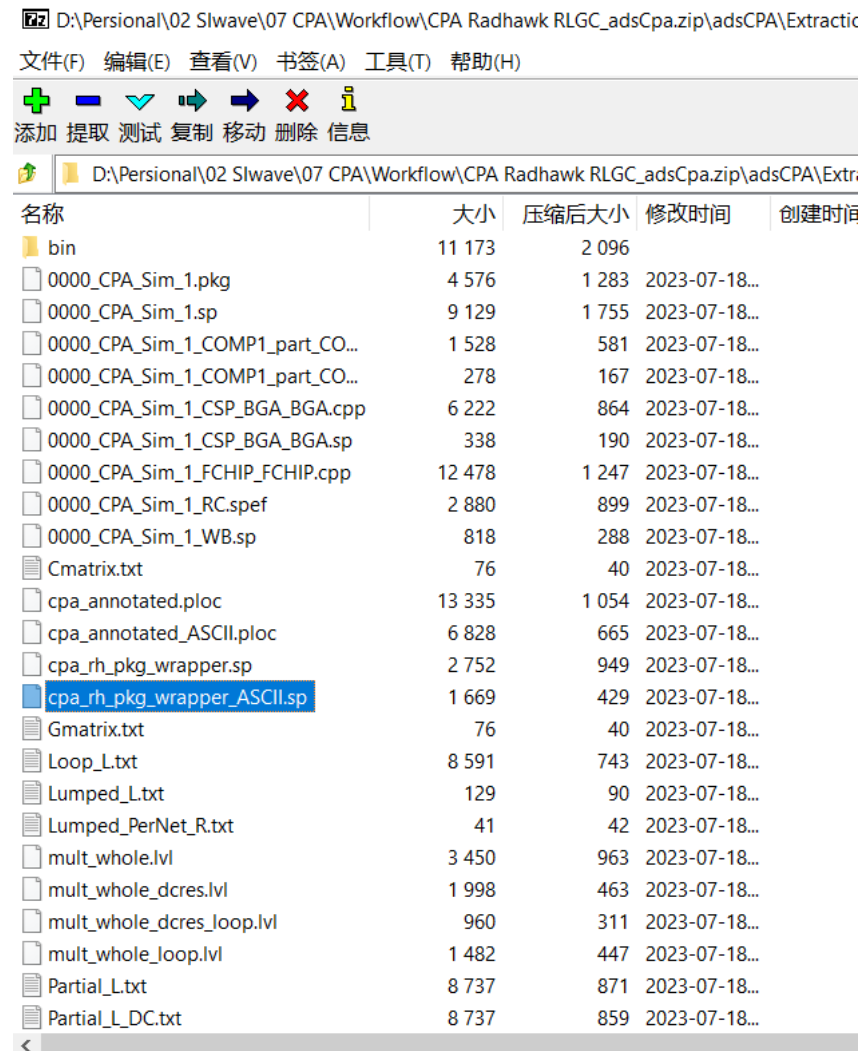




# 结果后处理



导出RedHawk Netlist交由  
RedHawk进行Chip aware  
Package分析



# 总结

- 通过导入PLOC，使SIwave能够自动对齐和连接IC管芯引脚和封装引脚，从而输出PKG Power RLC与Redhawk实现联合仿真；
- CPA FEM Solver可以求解上万bump封装，且求解速率快（几分钟-几小时）；

# **Appendix**

## **ALH注册 CPS中文学习室**



# CPS中文学习室

适用人群：先进封装和系统的SIPI、Thermal、Mechanical工程师。

设计目标：让工程师快速获得最有用、最必要的相关知识（文档、录像、教程）。

## 主要架构

- 入门必读：包含软件基本功能。每个工程师全部下载并通学。
- 高级技巧：包含最新的高阶流程。需要的工程师专题学习。
- 标准教程：ALH自带标准软件教程。学习软件操作时使用。

## 进入方式：

- 已有ALH帐号：点击以下链接：

[https://jam8.sapjam.com/groups/oOWAdwLABmWAlBpwWDR5uv/overview\\_page/SJgVYUCTz90LbjxUQLHMSH](https://jam8.sapjam.com/groups/oOWAdwLABmWAlBpwWDR5uv/overview_page/SJgVYUCTz90LbjxUQLHMSH)

- 没有ALH帐号：参考第二页注册ALH账号后进入。

- 联系人：xiaoxia.zhou@ansys.com



# / ALH注册方法

打开下面网址或扫描右边二维码进行注册：

[https://www.ansys.com/alhactivation\\_cn](https://www.ansys.com/alhactivation_cn)

第13步“是否有激活码”，请选择“否”

第14步“请输入您的激活码”，请填写客户号。

客户号为一串6位或7位数字。

获取方法：

- ❑ 询问Ansys客户经理/技术。
- ❑ 启动软件，观察Help – About - Client License Settings - Customer Number。



The Ansys logo, featuring a stylized orange and black 'A' followed by the word 'nsys' in black.

