

## 作业要求

1. 采用 Verilog 语言完成电路设计,基于测试平台(TestBench)的方法编写测试代码,通过观察仿真器的输出波形,验证该模块的正确性。
2. 提交作业应该包括作业思路、电路代码、测试代码、关键仿真波形及分析。
3. 在 **4 月 17 日 24: 00** 之前提交作业到网络学堂。**注意: 作业提交以网络学堂为准,不要直接发送作业到老师及助教的邮箱**; 如果没有按时上交作业,请等待补交窗口开放。
4. **作业严禁抄袭,如果发现作业雷同则按照零分对待。**

- 设计一个二选一多路选择器，采用卡诺图方法化简电路逻辑，完成该电路的**门级**设计；分析二选一多路选择器的竞争冒险现象，并提出解决方法；采用上述二选一多路选择器构建四选一多路选择器。

### 二选一多路选择器基本原理：

如下图所示为一个二选一多路选择器，开关由一根控制线  $s$  控制。 $s$  选择两个输入  $a$ 、 $b$  中的一个作为输出，即输出  $y$  的逻辑值和被选中的那个输入的逻辑值相同。由表所示的真值表，可以看到，当  $s = 0$  时， $y = a$ ；当  $s = 1$  时， $y = b$ 。我们可以得到  $y$  的逻辑方程：

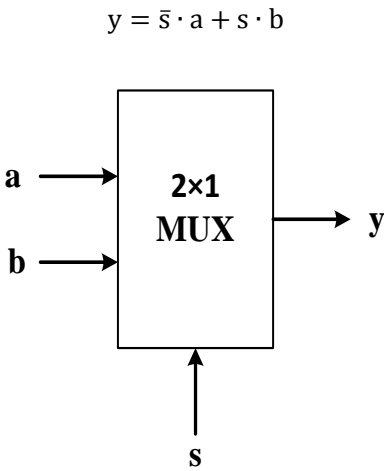


图1 二选一多路选择器

表1 二选一多路选择器真值表

s	b	a	y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

### 四选一多路选择器基本原理：

四选一多路选择器如下图所示。开关由两个控制线  $s_0$  和  $s_1$  控制。这两位控制选择 4 个输入中的一个作为输出。

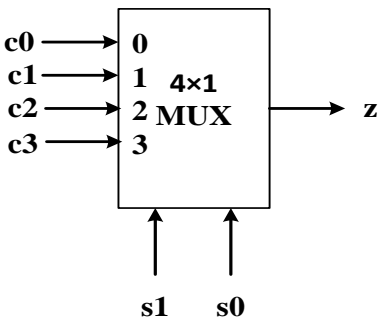


图2 四选一多路选择器

表2 四选一多路选择器真值表

s <sub>1</sub>	s <sub>0</sub>	z
0	0	c <sub>0</sub>
0	1	c <sub>1</sub>
1	0	c <sub>2</sub>
1	1	c <sub>3</sub>

我们可以使用 3 个二选一多路选择器来构建四选一多路选择器。

### 注意：

分析竞争冒险现象需要给二选一多路选择器的各个逻辑门设置相同的传输延时，通过仿真观察竞争冒险现象，并给出对应波形。

2. 设计一个三八译码器，采用卡诺图方法进行逻辑化简，完成该电路的门级设计。

**三八译码器基本原理:**

三八译码器的框图如下图所示，真值表如下表所示。由真值表可以分析得到输出与输入的逻辑方程。

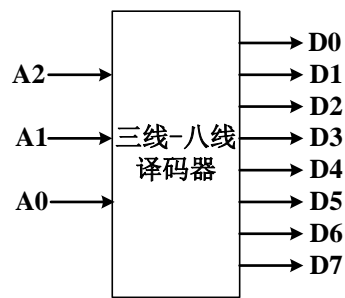


图3 三八译码器框图

表3 三八译码器真值表

输入			输出							
A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

3. 设计一个具有异步复位的 D 触发器电路，采用硬件描述语言完成触发器的门级设计；采用上述触发器模块实现一个 4bits 移位寄存器，要求具有异步复位和同步置数功能，输入输出信号如下表所示。

表 4bits 移位寄存器输入/输出信号

信号名称	类型	描述
ResetB	输入	异步复位信号（低电平有效）
Clk	输入	时钟信号
Load	输入	同步置位控制信号（高电平有效）
D3~D0	输入	同步置位数据输入（4bits），其中 D0 在移位状态下为串行数据输入
Q3~Q0	输出	移位寄存器状态输出，其中 Q3 为串行移位数据输出

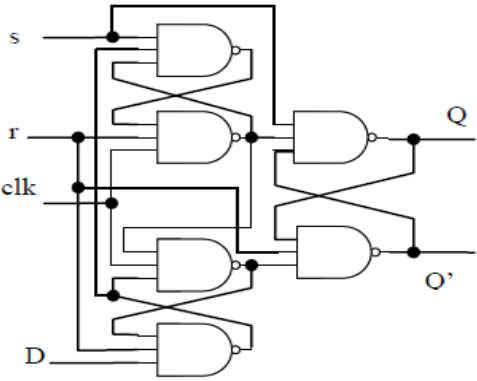
### D 触发器基本原理：

触发器是最简单、最基本的时序逻辑单元，各种时序逻辑电路，如计数器，通常都是以触发器为基本单元构成的。一种常用触发器为边沿触发器型 D 触发器。

D 触发器状态转移表

$D^n$	现态 $Q^n$	次态 $Q^{n+1}$
0	0	0
	1	
1	0	1
	1	

D 触发器结构图



D 触发器的状态转换表如上表所示。根据状态转换表，可以得到其状态方程为： $Q^{n+1}=D^n$   
典型的 D 触发器逻辑图如下图所示，其中 clk 为时钟控制信号，D 触发器在时钟脉冲 clk 的上升沿发生翻转，它的状态仅取决于时钟脉冲上升沿到来之前输入端的取值。其中 s、r 分别是置位端和复位端，都是低电平有效。

### 移位寄存器基本原理：

移位寄存器核心原理就是 D 触发器的级联，上一级的输出端 Q 对应的接到下一级的输入端 D，而最上级的输入端 D 接到整个移位寄存器的移位输入。

### 同步置数功能：

在时钟信号有效沿到达时，如果同步置数控制信号 Load 有效（高电平）则将输入的 4 位并行数据（D3~D0）加载到内部 4 个触发器，当同步置数控制信号无效后（低电平），移位寄存器将基于置入的并行数据进行移位操作。

移位寄存器的基本电路结构如下图所示。

