

セクション 32. 割り込み (パート III)

ハイライト

本セクションには以下の主要項目を記載しています。

32.1	はじめに	32-2
32.2	ノンマスカブル トラップ	32-7
32.3	割り込み処理タイミング	32-12
32.4	割り込み制御およびステータス レジスタ	32-15
32.5	割り込みのセットアップ手順	32-53
32.6	レジスタマップ	32-56
32.7	設計のヒント	32-57
32.8	関連アプリケーション ノート	32-58
32.9	改訂履歴	32-59

32.1 はじめに

本セクションは、低価格少ピンの dsPIC33F デジタル シグナル コントローラ (DSC) 専用の割り込みコントローラ モジュールについて説明します。これらのデバイスは、低コストかつ高性能なモータ制御、汎用、オーディオ アプリケーションや各種センサ アプリケーションに最適です。

dsPIC33F 割り込みコントローラ モジュールは、多数の周辺モジュールからの割り込み要求信号を、dsPIC33F CPU に対する単一の割り込み要求信号に集約します。本モジュールは下記の特長を備えます。

- 最大 8 つのプロセッサ例外とソフトウェア トラップ
- ユーザ選択可能な 7 段階の優先度
- 最大 126 ベクタの割り込みベクタテーブル (IVT)
- 割り込みまたは例外要因の各々に一意のベクタ割り当て
- 同一ユーザ指定優先度を持つ要因間の優先順位は自然順序優先度に従う
- デバッグをサポートする代替割り込みベクタテーブル (AIVT)
- 一定の割り込みエントリとリターン レイテンシ

32.1.1 割り込みベクタテーブル

図 32-1 に示すように、割り込みベクタテーブル (IVT) はプログラムメモリ内の 0x000004 から始まります。IVT は最大 126 ベクタを格納し、そのうちの 8 ベクタがノンマスクابل トラップ ベクタ用で、残りの最大 118 ベクタを割り込み要因用として使用できます。一般的に、各割り込み要因はそれぞれに固有のベクタを持ちます。各割り込みベクタは 24 ビット幅のアドレスを格納します。各割り込みベクタ位置に書き込まれた値は、対応する割り込みサービスルーチン (ISR) の開始アドレスを指します。

32.1.2 代替割り込みベクタ

代替割り込みベクタテーブル (AIVT) は IVT の直後に配置されます (図 32-1 参照)。AIVT にアクセスするには、割り込み制御レジスタ 2 (INTCON2<15>) のイネーブル代替割り込みベクタテーブル (ALTIVT) 制御ビットを使用します。ALTIVT ビットをセットしている場合、全ての割り込みと例外処理は、既定値のベクタではなく代替ベクタを使用します。代替ベクタは既定値ベクタと同様に配置されます。

AIVT は、割り込みベクタを書き換えずにアプリケーションとサポート環境間の切り換えを可能にする事によって、エミュレーションとデバッグをサポートします。この機能を使用すると、複数の異なるソフトウェア アルゴリズムを評価するために、実行中にアプリケーションを切り換える事もできます。AIVT を使用しない場合、IVT で使用するアドレスと同じアドレスを AIVT に書き込む必要があります。

32.1.3 リセット シーケンス

例外コントローラはリセット処理には関与しないため、デバイスリセットは厳密には例外処理ではありません。dsPIC33F は、リセット時にレジスタをクリアしてプログラム カウンタ (PC) を強制的にゼロに設定した後に、0x000000 からプログラムの実行を開始します。ユーザ アプリケーションは、リセットアドレスに GOTO 命令をプログラムします。この命令はプログラムの実行を適当な起動ルーチンヘリダイレクトします。

Note: IVT および AIVT 内の未実装または未使用ベクタ位置には、RESET 命令を実行する既定値割り込みハンドラルーチンのアドレスを書き込む必要があります。

データベースの下ほど自然順序優先度が低い

割り込みベクタの詳細は表 32-1 を参照

dsPIC33F ファミリ リファレンス マニュアル

表 32-1: 割り込みベクタ

ベクタ番号	IVT アドレス	AIVT アドレス	割り込み要因
0	0x000004	0x000104	予約
1	0x000006	0x000106	オシレータ障害
2	0x000008	0x000108	アドレスエラー
3	0x00000A	0x00010A	スタックエラー
4	0x00000C	0x00010C	算術エラー
5	0x00000E	0x00010E	DMA エラー
6	0x000010	0x000110	予約
7	0x000012	0x000112	予約
8	0x000014	0x000114	INT0 – 外部割り込み 0
9	0x000016	0x000116	IC1 – 入力キャプチャ 1
10	0x000018	0x000118	OC1 – 出力コンペア 1
11	0x00001A	0x00011A	T1 – Timer1
12	0x00001C	0x00011C	DMA0 – DMA チャンネル 0
13	0x00001E	0x00011E	IC2 – 入力キャプチャ 2
14	0x000020	0x000120	OC2 – 出力コンペア 2
15	0x000022	0x000122	T2 – Timer2
16	0x000024	0x000124	T3 – Timer3
17	0x000026	0x000126	SPI1E – SPI1 エラー
18	0x000028	0x000128	SPI1 – SPI1 転送完了
19	0x00002A	0x00012A	U1RX – UART1 受信
20	0x00002C	0x00012C	U1TX – UART1 送信
21	0x00002E	0x00012E	AD1 – ADC1 変換完了
22	0x000030	0x000130	DMA1 – DMA チャンネル 1
23	0x000032	0x000132	予約
24	0x000034	0x000134	SI2C1 – I2C1 スレーブイベント
25	0x000036	0x000136	MI2C1 – I2C1 マスタイベント
26	0x000038	0x000138	CMP – コンパレータ割り込み
27	0x00003A	0x00013A	CN – 状態変化通知割り込み
28	0x00003C	0x00013C	INT1 – 外部割り込み 1
29	0x00003E	0x00013E	予約
30	0x000040	0x000140	IC7 – 入力キャプチャ 7
31	0x000042	0x000142	IC8 – 入力キャプチャ 8
32	0x000044	0x000144	DMA2 – DMA チャンネル 2
33	0x000046	0x000146	OC3 – 出力コンペア 3
34	0x000048	0x000148	OC4 – 出力コンペア 4
35	0x00004A	0x00014A	T4 – Timer4
36	0x00004C	0x00014C	T5 – Timer5
37	0x00004E	0x00014E	INT2 – 外部割り込み 2
38	0x000050	0x000150	U2RX – UART2 受信
39	0x000052	0x000152	U2TX – UART2 送信
40	0x000054	0x000154	SPI2E – SPI2 エラー
41	0x000056	0x000156	SPI2 – SPI2 転送完了
42	0x000058	0x000158	C1RX – ECAN1 RX データレディー
43	0x00005A	0x00015A	C1 – ECAN1 イベント
44	0x00005C	0x00015C	DMA3 – DMA チャンネル 3
45	0x00005E	0x00015E	予約
46	0x000060	0x000160	予約

セクション 32. 割り込み (パート III)

表 32-1: 割り込みベクタ (続き)

ベクタ番号	IVT アドレス	AIVT アドレス	割り込み要因
47	0x000062	0x000162	予約
48	0x000064	0x000164	予約
49	0x000066	0x000166	予約
50	0x000068	0x000168	予約
51	0x00006A	0x00016A	予約
52	0x00006C	0x00016C	予約
53	0x00006E	0x00016E	PMP – パラレルマスタ ポート
54	0x000070	0x000170	DMA4 – DMA チャンネル 4
55	0x000072	0x000172	予約
56	0x000074	0x000174	予約
57	0x000076	0x000176	予約
58	0x000078	0x000178	予約
59	0x00007A	0x00017A	予約
60	0x00007C	0x00017C	予約
61	0x00007E	0x00017E	予約
62	0x000080	0x000180	予約
63	0x000082	0x000182	予約
64	0x000084	0x000184	予約
65	0x000086	0x000186	PWM1 – PWM1 周期一致
66	0x000088	0x000188	QE11 – 位置カウンタコンペア
67	0x00008A	0x00018A	DCIE – DCI エラー
68	0x00008C	0x00018C	DCI – DCI 転送完了
69	0x00008E	0x00018E	DMA5 – DMA チャンネル 5
70	0x000090	0x000190	RTCC – リアルタイム クロック
71	0x000092	0x000192	FLTA1 – PWM1 フォルト A
72	0x000094	0x000194	予約
73	0x000096	0x000196	U1E – UART1 エラー
74	0x000098	0x000198	U2E – UART2 エラー
75	0x00009A	0x00019A	CRC – CRC ジェネレータ割り込み
76	0x00009C	0x00019C	DMA6 – DMA チャンネル 6
77	0x00009E	0x00019E	DMA7 – DMA チャンネル 7
78	0x0000A0	0x0001A0	C1TX – ECAN1 TX データ要求
79	0x0000A2	0x0001A2	予約
80	0x0000A4	0x0001A4	予約
81	0x0000A6	0x0001A6	PWM2 – PWM2 周期一致
82	0x0000A8	0x0001A8	FLTA2 – PWM2 フォルト A
83	0x0000AA	0x0001AA	QE12 – 位置カウンタコンペア
84	0x0000AC	0x0001AC	予約
85	0x0000AE	0x0001AE	予約
86	0x0000B0	0x0001B0	DAC1R – DAC1 右データ要求
87	0x0000B2	0x0001B2	DAC1L – DAC1 左データ要求
88-125	0x0000B4-0x0000FE	0x0001B4-0x0001FE	予約

32.1.4 CPU 優先度ステータス

CPU は 16 段階の優先度 (0 ~ 15) で動作できます。割り込みまたはトラップ要因の優先度がその時点の CPU 優先度より高い場合にのみ、例外処理が起動します。周辺モジュール割り込み要因と外部割り込み要因には 0 ~ 7 の優先度を設定できます。CPU 優先度 8 ~ 15 は、トラップ要因向けに予約されています。

トラップとは、ハードウェアおよびソフトウェア問題の検出を目的とするノンマスカブル割り込み要因です (32.1「はじめに」参照)。各トラップ要因の優先度は固定されており、1 つの優先度には 1 つのトラップだけが割り当てられます。優先度 0 に設定された割り込み要因は、CPU 優先度よりも高くなる事がないため、実質的に無効化されます。

CPU の現在の優先度は、下記のステータスビットにより示されます。

- CPU ステータス (SR<7:5>) レジスタの CPU 割り込み優先度 (IPL<2:0>) ステータスビット
- コア制御 (CORCON<3>) レジスタの CPU 割り込み優先度 3 (IPL3) ステータスビット

IPL<2:0> ステータスビットは読み書き可能です。従ってユーザ アプリケーションは、これらのビットで CPU 優先度を設定する事によって、その優先度以下の全ての割り込み要因を無効にできます。例えば IPL<2:0> = 3 に設定した場合、優先度 0 ~ 3 の全ての要因は、CPU に対して割り込む事はできません。

トラップイベントは、全てのユーザ割り込み要因よりも高い優先度を持ちます。トラップイベント実行中は、IPL3 ビットがセットされます。ユーザ アプリケーションは IPL3 ビットをクリアできますが、セットする事はできません。アプリケーションによっては、トラップ発生時に、トラップの原因となった元の命令とは異なる命令へ分岐させるために、IPL3 ビットをクリアする必要があります。

IPL<2:0> を 111 に設定する事により、全てのユーザ割り込みを無効にできます。

Note: ただし、割り込みのネスティングを無効にした場合、IPL<2:0> ビットは読み出し専用となります。詳細は 32.2.4.2「割り込みのネスティング」を参照してください。

32.1.5 割り込み優先度

各周辺モジュール割り込み要因には、7 段階の優先度を割り当てる事ができます。ユーザ アプリケーションは、IPCx レジスタ内の各ニブルの下位 3 ビットを使用して、各割り込み優先度を割り当てる事ができます。この場合各ニブルのビット 3 は常に「0」として読み出されます。これらのビットは各割り込みの優先度を定義します。割り当て可能な優先度は 1 (最低優先度) ~ 7 です。ある割り込みに対応する IPC ビットを全てクリアすると、その割り込みは実質的に無効化されます (優先度 0)。

Note: 実行時に割り込み優先度の設定を変更する場合、アプリケーション プログラムはその間の割り込みを無効にする必要があります。割り込みを無効にしないと予期せぬ結果が生じる可能性があります。

複数の割り込み要因に対して同一の優先度を割り当てる事ができます。同一ユーザ アプリケーション割り当て優先度を持つ複数割り込み間の競合を解消するために、各要因には IVT 内の並び順に基づく自然順序優先度が割り当てられています。表 32-1 に IVT 内の各割り込み要因の配置を示します。番号が若い割り込みベクタほど高い自然順序優先度を持ちます。保留中の割り込み要因の優先度は、まずユーザ アプリケーションが割り当てた IPCx レジスタ内の優先度に従い、これが同じであれば IVT 内の自然順序優先度に従います。

自然順序優先度は、同一のユーザ アプリケーション割り当て優先度を持つ複数の割り込みが同時に保留状態にある場合にのみ、それらの競合を回避するために使用されます。優先度の競合が解消して例外処理が開始された後では、これより高いユーザ アプリケーション割り当て優先度を持つ割り込み要因だけが CPU に対して割り込む事ができます。すなわち、例外処理実行中に、同一ユーザ アプリケーション割り当て優先度を持ち自然順序優先度がより高い割り込みが新たに要求されても、それらは実行中の例外処理が完了するまで全て保留されます。

各例外要因に対して 7 以下のユーザ アプリケーション割り当て優先度を設定する事により、自然順序優先度の低い割り込みに非常に高い総合優先を持たせる事ができます。例えば、自然順序優先度が低い Timer 2 割り込みに優先度 7 を設定し、逆に自然順序優先度が高い外部割り込み (INT0) に優先度 1 を設定する事ができます。

Note: dsPIC33F の IVT に含まれる周辺モジュールと割り込み要因はデバイスごとに異なります。本書には、dsPIC33F ファミリの全デバイスを包括した全ての割り込み要因を記載しています。詳細は各デバイスのデータシートを参照してください。

32.2 ノンマスカブル トラップ

トラップはノンマスカブルでネスト可能な割り込みです。トラップの優先度は固定されています。トラップを使用すると、アプリケーションのデバッグおよび動作中に異常動作を修正できます。ユーザ アプリケーションにおいて、トラップエラー発生時にトラップ条件の修正処理を実行させたくない場合、トラップベクタにデバイスリセット用ソフトウェア ルーチンのアドレスを書き込む必要があります。そうでない場合、ユーザ アプリケーションでトラップ条件修正サービス ルーチンへのアドレスをトラップベクタに書き込む必要があります。

dsPIC33F は、下記の 5 種類のノンマスカブル トラップ要因を実装しています。

- オシレータ障害トラップ
- スタックエラー トラップ
- アドレスエラー トラップ
- 算術エラートラップ
- DMA エラートラップ

多くのトラップ条件では、トラップを引き起こした命令の実行が完了してから例外処理が開始されます。従って、ユーザ アプリケーションはトラップを生成した命令の動作を修正しなければならない場合があります。

各トラップ要因の優先度は IVT 内の位置によって決まります (固定)。オシレータ障害トラップが最高の優先度を持ち、DMA エラートラップが最低の優先度を持ちます (図 32-1 参照)。さらに、トラップ要因はソフトトラップとハードトラップに分類されます。

32.2.1 ソフトトラップ

DMA エラートラップ (優先度 10)、算術エラートラップ (同 11)、スタックエラー トラップ (同 12) はソフトトラップに分類されます。ソフトトラップは、IVT 内の位置によって優先度が決まるノンマスカブル割り込み要因と同様に扱うことができます。ソフトトラップは割り込みと同様に処理され、例外処理の前に検出と認識のために 2 サイクルを要します。このため、ソフトトラップが認識される前に別の命令が実行される可能性があります。

32.2.1.1 スタックエラー トラップ (ソフトトラップ、優先度 12)

スタックはリセット時に 0x0800 に初期化されます。スタックポインタのアドレスが 0x0800 より低いと、スタックエラー トラップが発生します。

スタックポインタに関連付けられたスタックリミット (SPLIM) レジスタは、リセット時に初期化されません。このため、SPLIM レジスタに 1 ワードが書き込まれるまで、スタック オーバーフロー チェックは有効になりません。

W15 を用いてソースまたはデスティネーション ポインタとして生成された全ての有効アドレス (EA) は、SPLIM レジスタ内の値と比較されます。有効アドレスの方が大きいと、スタックエラー トラップが発生します。また、有効アドレスの計算がデータ領域の終端 (0xFFFF) を超えた場合も、スタックエラー トラップが発生します。

スタックエラーは、スタックエラー トラップ (STKERR) ステータスビット (INTCON1<2>) をポーリングする事によってソフトウェアで検出できます。トラップサービス ルーチンに再入する事を避けるために、プログラムがトラップから戻る前に、ソフトウェアで 割り込みからの戻り (RETfie) 命令を使用して STKERR ステータスフラグをクリアする必要があります。

32.2.1.2 算術エラー トラップ (ソフトトラップ、優先度 11)

下記のイベントは算術エラートラップが発生する可能性があります。

- アキュムレータ A のオーバーフロー
- アキュムレータ B のオーバーフロー
- アキュムレータの致命的オーバーフロー
- ゼロ除算
- ± 16 ビットを超えるアキュムレータ シフト (SFTAC) 動作

INTCON1 レジスタ内の下記 3 ビットの設定により、3 タイプのアキュムレータ オーバーフロー トラップを有効にできます。

- アキュムレータ A オーバーフロー トラップフラグ (OVATE) 制御ビット (INTCON1<10>) は、アキュムレータ A のオーバーフロー イベントに対するトラップを有効にします。
- アキュムレータ B オーバーフロー トラップフラグ (OVBTE) 制御ビット (INTCON1<9>) は、アキュムレータ B のオーバーフロー イベントに対するトラップを有効にします。
- 致命的オーバーフロー トラップ イネーブル (COVTE) 制御ビット (INTCON1<8>) は、いずれかのアキュムレータで致命的オーバーフローが発生した場合のトラップを有効にします。これらのトラップが検出されると、INTCON1 レジスタ内の下記の ERROR ビットがセットされます。
 - アキュムレータ A のオーバーフロー トラップフラグ (OVAERR) ビット
 - アキュムレータ B のオーバーフロー トラップフラグ (OVBERR) ビット
 - アキュムレータ A の致命的オーバーフロー トラップ イネーブル (COVAERR) ビット
 - アキュムレータ B の致命的オーバーフロー トラップ イネーブル (COVBERR) ビット

アキュムレータ A (B) オーバーフローとは、アキュムレータ A (B) でビット 31 からの桁上げが発生した事を意味します。31 ビット飽和モードを有効にしたアキュムレータでは、オーバーフローは発生しません。致命的オーバーフローとは、いずれかのアキュムレータでビット 39 からの桁上げが発生した事を意味します。アキュムレータ飽和 (ビット 31 または 39) を有効にした場合、致命的オーバーフローは発生しません。

ゼロ除算トラップを無効にする事はできません。ゼロ除算は、除算命令を実行する REPEAT ループの初回実行時にチェックされます。ゼロ除算が検出されると、算術エラーステータス (DIV0ERR) ビット (INTCON1<6>) がセットされます。

アキュムレータ シフトトラップを無効にする事はできません。SFTAC 命令を使用すると、リテラル値またはいずれかのワーキング レジスタ内の値を用いてアキュムレータをシフトできます。シフト値が± 16 ビットを超えると算術エラートラップが発生し、アキュムレータ シフトエラー ステータス (SFTACERR) ビット (INTCON1<7>) がセットされます。この場合 SFTAC 命令は実行されますが、シフト結果はアキュムレータに書き込まれません。

算術エラートラップは、算術エラーステータス (MATHERR) ビット (INTCON1<4>) をポーリングする事により、ソフトウェアで検出できます。トラップサービス ルーチンに再入する事を避けるために、プログラムがトラップから戻る前に、ソフトウェアで RETFIE 命令を使用して MATHERR ステータスフラグをクリアする必要があります。MATHERR ステータスビットをクリアする前に、トラップの発生原因となった全ての条件をクリアする必要があります。アキュムレータ オーバーフローによるトラップが発生した場合、アキュムレータ オーバーフロー (OA または OB) ステータスビット (SR<15:14>) をクリアする必要があります。OA および OB ステータスビットは読み出し専用です。従ってユーザ アプリケーションは、これらをクリアするために、オーバーフローが発生したアキュムレータ上でダミー演算 (0 加算等) を実行する必要があります。これにより、ハードウェアが OA または OB ステータスビットをクリアします。

32.2.1.3 DMA エラートラップ (ソフトトラップ、優先度 10)

DMA エラートラップは下記の条件で発生します。

- RAM 書き込み衝突
- DMA 対応周辺モジュールの RAM 書き込み衝突

書き込み衝突エラーは、ノンマスカブル CPU トラップイベントを保証するためのシステム整合性に重大な影響を及ぼします。CPU と DMA チャンネルが同時に同一アドレスへの書き込みを試みた場合、CPU が優先されます (DMA 書き込みは無視)。この場合 DMA エラートラップが発生し、DMAC エラーステータス (DMACERR) ビット (INTCON1<5>) がセットされます。

32.2.2 ハードトラップ

ハードトラップは優先度 13 ~ 15 の例外を含みます。アドレスエラー (優先度 13) とオシレータエラー (同 14) はこれに含まれます。

ソフトトラップと同様に、ハードトラップもノンマスカブル割り込み要因です。ただしソフトトラップとは異なり、ハードトラップはトラップが発生した命令の実行後に、CPU のコード実行を強制的に停止します。正常なプログラム実行フローは、トラップが認識され処理されるまで再開されません。

32.2.2.1 ハードトラップの優先度と競合

トラップの処理中に、より優先度の高いトラップが発生した場合、低優先度のトラップ処理は保留され、高優先度のトラップが認識され処理されます。低優先度トラップは、高優先度トラップの処理が終了するまで保留されます。

どのようなタイプのコード実行であっても、発生した各ハードトラップが認識 / 処理されるまで再開する事はできません。あるハードトラップが保留中 / 認識済み / 実行中のいずれかである時に、これよりも低い優先度のハードトラップが発生した場合、高優先度トラップの処理が完了するまで低優先度トラップを認識する事ができないため、ハードトラップの競合が発生します。

ハードトラップ競合条件では、デバイスが自動的にリセットされます。リセットが発生すると、リセット制御レジスタ (リセットモジュール内の RCON<15>) のトラップリセット フラグ (TRAPR) ステータスビットがセットされるため、ソフトウェアで検出可能です。

32.2.2.2 オシレータ障害トラップ (ハードトラップ、優先度 14)

オシレータ障害トラップイベントは下記条件により発生します。

- フェイルセーフ クロックモニタ (FSCM) 有効時に、システムクロック源の喪失を検出した場合
- PLL を用いた動作中に PLL ロックの喪失を検出した場合
- FSCM 有効時に、PLL がパワーオン リセット (POR) 時のロックに失敗した場合

オシレータ障害トラップイベントは、オシレータ障害トラップ (OSCFAIL) ステータスビット (INTCON1<1>) またはクロック障害 (CF) ステータスビット (オシレータ モジュール内の OSCCON<3>) をポーリングする事により、ソフトウェアで検出可能です。トラップサービスルーチンに再入する事を避けるために、プログラムがトラップから戻る前に、ソフトウェアで RETFIE 命令を使用して OSCFAIL ステータスフラグをクリアする必要があります。

32.2.2.3 アドレスエラー トラップ (ハードトラップ、優先度 13)

アドレスエラー トラップが発生する可能性のある動作条件には下記が含まれます。

- 不正な位置のデータワード フェッチを試みた場合: このような条件は、奇数の有効アドレス (最下位ビット (LSb) が「1」) を用いてワードアクセスを行う命令を実行した場合に発生します。dsPIC33F のワードアクセスでは、常に偶数アドレス境界位置を指定する必要があります。
- ビット操作命令が、奇数の有効アドレス (最下位ビット (LSb) が「1」) を用いて間接アドレッシング モードを使用した場合
- 未実装データアドレス領域からデータフェッチを試みた場合
- BRA #literal 命令または GOTO #literal 命令の literal が未実装プログラムメモリ アドレスであった場合
- プログラム カウンタ値が未実装プログラムメモリ アドレスへ変更された後に命令を実行した場合: プログラムカウンタは、値をスタックに書き込んだ後に RETURN 命令を実行する事により変更できます。

アドレスエラー トラップが発生すると、データの上書きを防ぐためにデータ領域への書き込みが禁止されます。

アドレスエラーは、ADDRERR ステータスビット (INTCON1<3>) をポーリングする事によりソフトウェアで検出できます。トラップサービス ルーチンに再入する事を避けるために、プログラムがトラップから戻る前に、ソフトウェアで RETFIE 命令を使用して ADDRERR ステータスフラグをクリアする必要があります。

Note: MAC クラス命令では、データ領域が X 領域と Y 領域に分割されます。このような命令では、全ての Y 領域も未実装 X 領域として扱われ、全ての X 領域も未実装 Y 領域として扱われます。

32.2.3 割り込み命令の無効化

DISI (割り込み無効化) 命令は、最大 16384 命令サイクル間の割り込みを無効にします。この命令は、処理時間が重視されるコードセグメントを実行する際に便利です。DISI 命令は優先度 1 ~ 6 の割り込みを無効にします。優先度 7 の割り込みと全てのトラップイベントは、DISI 命令がアクティブであっても CPU へ割り込む事ができます。

DISI 命令は、CPU 内の割り込み無効化カウンタ (DISICNT) レジスタと連動して動作します。DISICNT レジスタが「0」以外であれば、優先度 1 ~ 6 の割り込みが無効化されます。DISICNT レジスタは、命令サイクルごとに 1 つデクリメントされます。DISICNT レジスタがゼロまでデクリメントされると、優先度 1 ~ 6 の割り込みが再び有効化されます。DISI 命令がカウントするサイクル数 (命令コードで指定するサイクル数) には、PSV アクセスや命令ストール等によって発生するサイクルも全て含まれます。

DISICNT レジスタは読み書き可能です。ユーザ アプリケーションは、DISICNT レジスタをクリアする事によって、以前に実行した DISI 命令の効果を早期に終了できます。DISICNT レジスタに対して書き込みまたは加算を行う事によって割り込み無効化期間を延長する事もできます。

DISICNT レジスタが既にゼロである場合にゼロ以外の値を書き込んでも、割り込みを無効化する事はできません。割り込み無効化の初期開始には DISI 命令を使用する必要があります。DISI 命令の実行時点から DISICNT がゼロまでデクリメントされるまでの間であれば、ユーザ アプリケーションで DISINCT の値を変更して割り込み無効化期間を延長できます。

DISI 命令の効果によって割り込みが無効化されると、DISI 命令 (DISI) ステータスビット (INTCON2<14>) がセットされます。

Note: DISI 命令を使用すると、ユーザ割り込み要因を簡単に無効化できます (ただし、それらの要因中に CPU 優先度 7 の要因が含まれていない場合)。

32.2.4 割り込み動作

各命令サイクルでは、全ての割り込みイベントフラグが監視されます。保留中の割り込み要求 (IRQ) は、IFSx レジスタ内のフラグビット = 1 によって示されます。割り込みイネーブル (IECx) レジスタ内の対応するビットがセットされると、IRQ が割り込みを生成します。IRQ が検出された命令サイクルの残りの期間中に、保留中の全ての IRQ の優先度が評価されます。

CPU が IRQ に応答するに際し実行中の命令が中断される事はありません。すなわち、IRQ が検出された時に実行中であった命令が完了してから、ISR が実行されます。

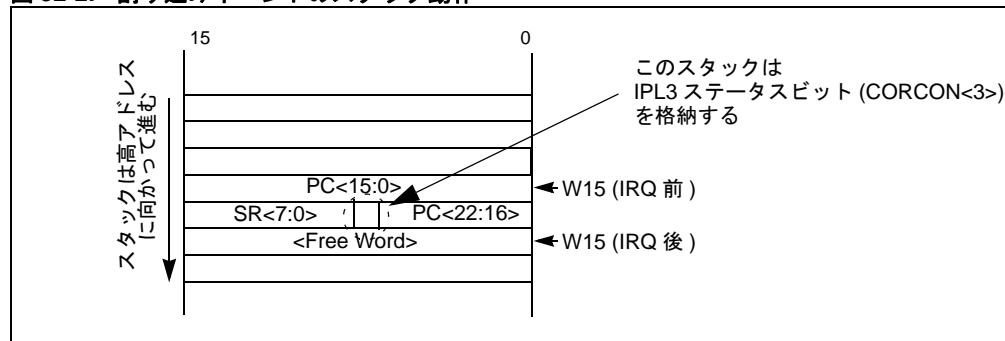
現在のプロセッサ優先度 (IPL<2:0> ステータスビット (SR<7:5>)) よりも高いユーザアプリケーション割り当て優先度を持つ保留 IRQ が存在すると、プロセッサに対する割り込みが発生します。この場合プロセッサは、下記の情報をソフトウェア スタックに保存します。

- 現在のプログラム カウンタ (PC) 値
- プロセッサ ステータス レジスタ (SRL) の下位バイト
- IPL3 ステータスビット (CORCON<3>)

これにより、戻り PC アドレス値、MCU ステータスビット、プロセッサ優先度が自動的に保存されます。

これらの情報をスタックに保存した後に、CPU はその保留割り込みの優先度を IPL<2:0> ビット位置に書き込みます。この動作は、RETFIE 命令が ISR を終了するまでの間、その ISR の優先度以下の全ての割り込みを無効化します。

図 32-2: 割り込みイベントのスタック動作



32.2.4.1 割り込みからの戻り

RETFIE 命令は、プロセッサを割り込みシーケンス開始前の状態と優先度へ復元するために、PC 戻りアドレス、IPL3 ステータスビット、SRL レジスタをアンスタックします。

32.2.4.2 割り込みのネスティング

既定値状態では割り込みのネスティングが可能です。つまり、実行中の ISR よりも高いユーザアプリケーション割り当て優先度を持つ割り込み要因は、この ISR へ割り込む事ができます。割り込みのネスティングは、割り込みネスティング ディセーブル (NSTDIS) 制御ビット (INTCON1<15>) をセットする事により無効にできます。NSTDIS 制御ビットをセットすると、実行中の割り込みは IPL<2:0> を常に 111 に設定します (すなわち CPU 優先度を強制的に 7 に設定)。この操作は、RETFIE 命令が実行中の ISR を終了するまでの間、他の割り込み要因をマスクします。割り込みネスティングを無効にした場合、ユーザアプリケーション割り当て割り込み優先度は、保留割り込み間の競合を解消する以外の効果を持ちません。

また、IPL<2:0> ビット (SR<7:5>) は読み出し専用になります。これにより、ユーザソフトウェアが IPL<2:0> を 111 (優先度 7) より低い値に設定してしまう事 (すなわち割り込みのネスティングを実質的に有効にしまう事) を回避します。

32.2.5 スリープおよびアイドルからのウェイクアップ

IECx レジスタ内の対応する制御ビットで個々に有効化された割り込み要因は、プロセッサをスリープモードまたはアイドルモードからウェイクアップできます。ある要因の割り込みステータスフラグがセットされ、かつ IECx レジスタ内の対応するビットによってその割り込み要因が有効化されていると、ウェイクアップ信号が dsPIC33F へ送られます。デバイスがスリープまたはアイドルモードからウェイクアップすると、次のいずれかの動作が発生します。

- 要因の割り込み優先度が現在の CPU 優先度よりも高い場合: プロセッサは割り込みを処理します (すなわち、その割り込み要因の ISR へ分岐します)。
- 要因の割り込み優先度が現在の CPU 優先度以下である場合: プロセッサは CPU をスリープまたはアイドルモードへ設定した PWRSAV 命令の直後の命令から動作を再開します。

Note: CPU 優先度 0 を割り当てられたユーザ割り込み要因は、スリープまたはアイドルモードから CPU をウェイクアップできません (その割り込み要因は実質的に無効化されているため)。割り込みをウェイクアップ要因として使用するには、その割り込みの CPU 優先度をユーザアプリケーションで 1 以上に設定する必要があります。

32.2.6 アナログ - デジタル コンバータ (ADC) の外部変換要求

INT0 外部割り込み要求ピンは、A/D コンバータ向けの外部変換要求信号ピンとしても使用されます。INT0 割り込み要因と同様に、A/D コンバータ外部変換要求でもエッジ極性を選択できます。

32.2.7 外部割り込みサポート

dsPIC33F は最大 3 つの外部割り込みピン要因 (INT0 ~ INT2) をサポートします。各外部割り込みピンは、割り込みイベント検出用のエッジ検出回路を備えます。INTCON2 レジスタは、各エッジ検出回路の極性を選択するための 3 つの制御ビット (INT0EP ~ INT2EP) を備えます。これらのビットにより、各外部割り込みピンの極性 (立ち上がり / 立ち下がりのどちらのエッジで CPU へ割り込むか) を個別に設定できます。詳細はレジスタ 32-4 を参照してください。

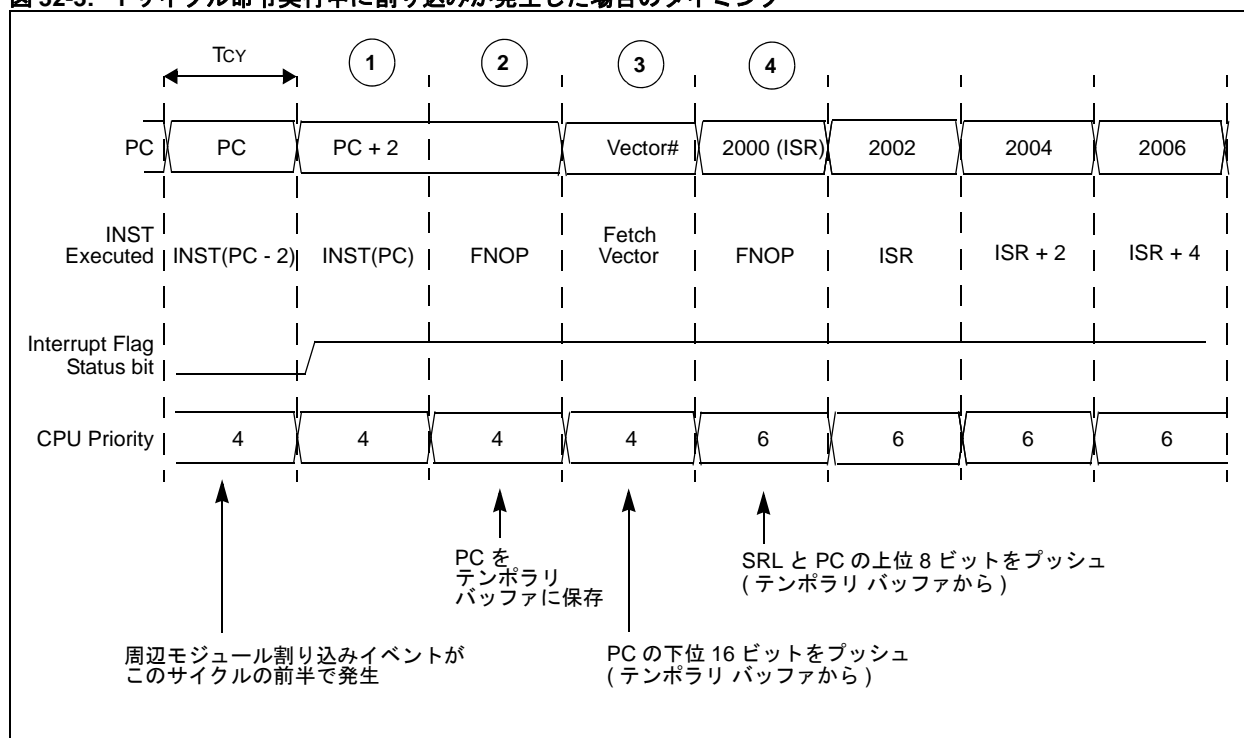
32.3 割り込み処理タイミング

32.3.1 1 サイクル命令に対する割り込みレイテンシ

1 サイクル命令の実行中に周辺モジュール割り込みが要求された場合のイベントシーケンスを図 32-3 に示します。割り込み処理には 4 命令サイクルを要します。図 32-3 では、各割り込み処理サイクルに参照番号 (丸囲み番号) を表記しています。

周辺モジュール割り込みが発生すると、命令サイクル①中に割り込みフラグ ステータスビットがセットされます。実行中の命令はこの命令サイクル内で完了します。割り込み発生後の次の命令サイクル②では、プログラム カウンタ (PC) と下位バイトステータス (SRL) レジスタの内容をテンポラリ バッファ レジスタに保存します。この命令サイクル②では、2 サイクル命令への割り込みシーケンスとの整合性を維持するために NOP 命令を実行します (32.3.2 「2 サイクル命令に対する割り込みレイテンシ」参照)。命令サイクル③では、割り込み要因のベクタテーブル アドレスを PC へ読み込んで、ISR の開始アドレスをフェッチします。命令サイクル④は NOP 命令として実行し、この間に ISR 内の先頭命令をフェッチします。

図 32-3: 1 サイクル命令実行中に割り込みが発生した場合のタイミング



32.3.2 2 サイクル命令に対する割り込みレイテンシ

2 サイクル命令実行中の割り込みレイテンシは、1 サイクル命令の場合と同じです。割り込み処理のサイクル①および②により、2 サイクル命令の動作を完了することができます。図 32-4 は、2 サイクル命令実行前のサイクル中に周辺モジュール割り込みイベントが発生した場合のタイミング図です。

図 32-5 は、2 サイクル命令の第 1 サイクル実行中に周辺モジュール割り込みイベントが発生した場合のタイミング図です。この場合の割り込み処理は 1 サイクル命令の場合（32.3.1「1 サイクル命令に対する割り込みレイテンシ」参照）と同じです。

図 32-4: 2 サイクル命令実行前のサイクル中に割り込みが発生した場合のタイミング

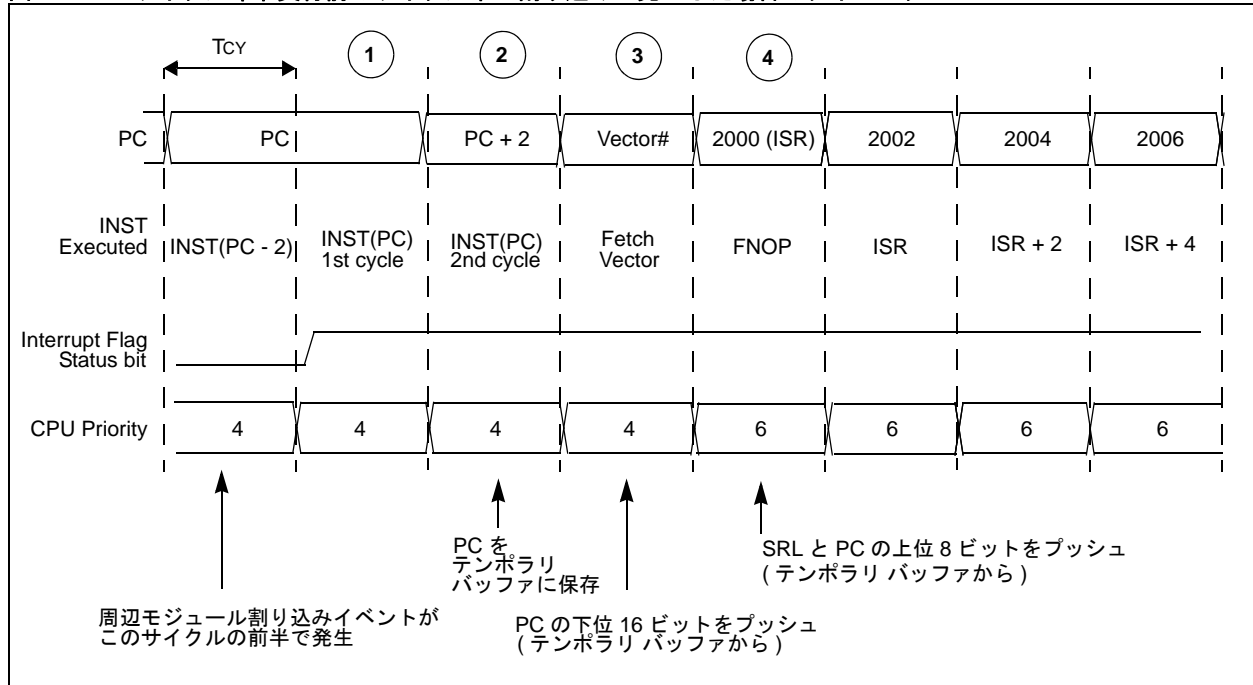
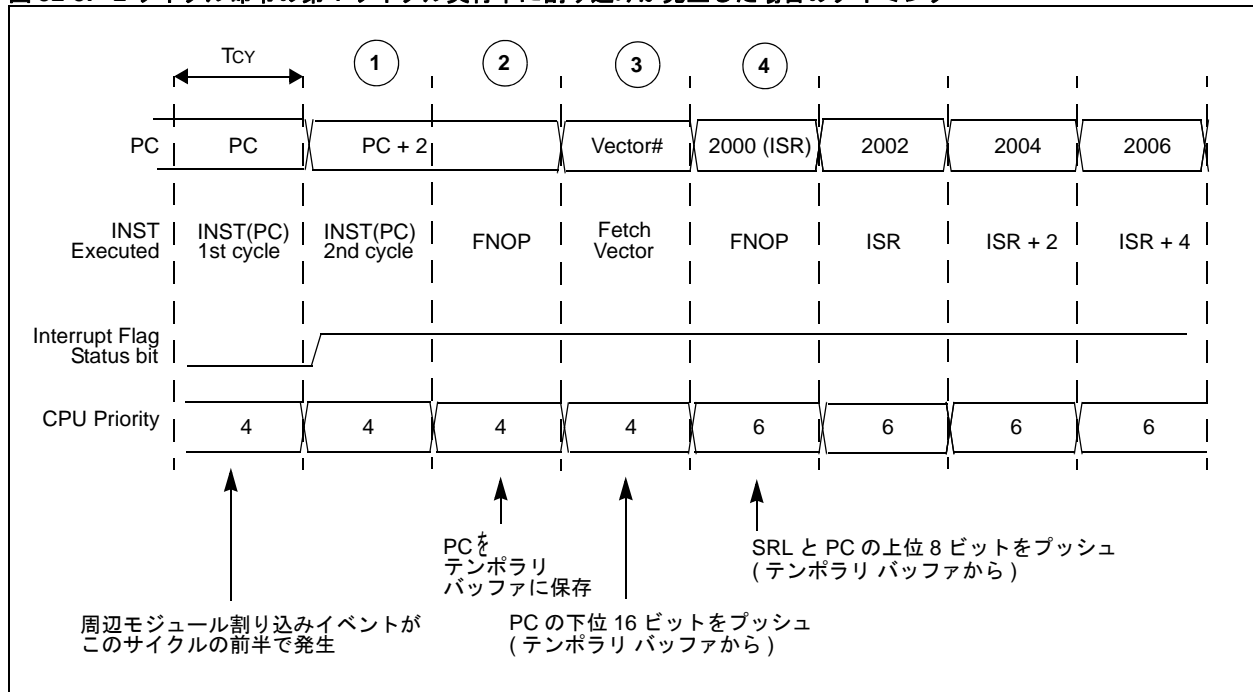


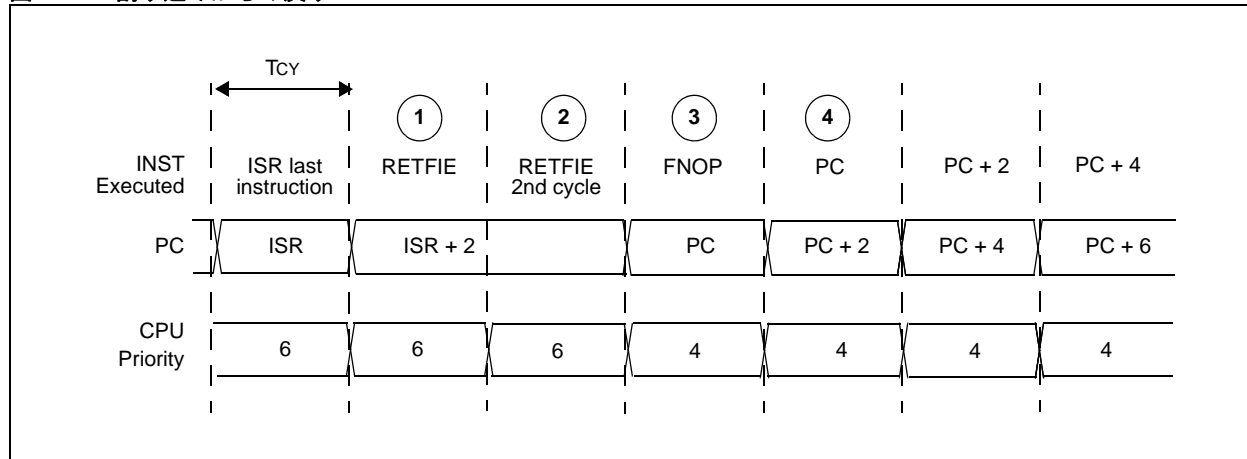
図 32-5: 2 サイクル命令の第 1 サイクル実行中に割り込みが発生した場合のタイミング



32.3.3 割り込みからの戻り

割り込みから戻るには、プログラムで RETFIE 命令を呼び出す必要があります。RETFIE 命令のサイクル①および②では、PC と SRL レジスタの内容をスタックからポップします。サイクル③では、更新されたプログラム カウンタが指すアドレスの命令をフェッチします。このサイクルは NOP 命令として実行されます。サイクル④では、割り込み発生位置からプログラム実行を再開します。

図 32-6: 割り込みからの戻り



32.3.4 割り込みレイテンシに関する特殊条件

dsPIC33F では、周辺モジュール割り込み要因が保留される際に、実行中の命令を完了させる事ができます。1 サイクル命令でも 2 サイクル命令でも、割り込みレイテンシは同じです。ただし、割り込み発生のタイミングによっては、割り込みレイテンシが 1 サイクル増える場合があります。アプリケーションがこのようなレイテンシの変化を受け付けけない場合、下記の動作を避ける必要があります。

- PSV を使用してプログラムメモリ領域内の値にアクセスする MOV.D 命令の実行
- 2 サイクル命令に対する命令ストールサイクルの追加
- PSV アクセスを行う 1 サイクル命令に対するストールサイクルの追加
- PSV を使用してプログラムメモリ領域内の値にアクセスするビットテストおよびスキップ命令 (BTSC、BTSS)

32.4 割り込み制御およびステータス レジスタ

割り込みコントローラには下記のレジスタが関連付けられています。

- **INTCON1: 割り込み制御レジスタ 1**

このレジスタはグローバル割り込み機能を制御し、割り込みネスティング ディセーブル (NSTDIS) ビットと、プロセッサ トラップ要因の制御フラグおよびステータスフラグを格納します。

- **INTCON2: 割り込み制御レジスタ 2**

このレジスタはグローバル割り込み機能を制御し、外部割り込み要求信号の挙動と代替ベクタテーブルの使用も制御します。

- **IFSx: 割り込みフラグステータス レジスタ (レジスタ 32-5 ~ レジスタ 32-9 参照)**

全ての割り込み要求フラグは IFSx レジスタに格納されます (「x」はレジスタ番号)。各割り込み要因はそれぞれ 1 つのステータスビットを持ちます。このビットは、周辺モジュールまたは外部信号によってセットされ、ソフトウェアによってクリアされます。

- **IECx: 割り込みイネーブル制御レジスタ (レジスタ 32-10 ~ レジスタ 32-14 参照)**

全ての割り込みイネーブル制御ビットは、IECx レジスタに格納されます (「x」はレジスタ番号)。これらの制御ビットを使用して、周辺モジュールまたは外部信号からの割り込みを個別に有効化できます。

- **IPCx: 割り込み優先度制御レジスタ (レジスタ 32-15 ~ レジスタ 32-31 参照)**

各ユーザ割り込み要因には、7 段階の優先度を割り当てる事ができます。IPC レジスタは、各割り込み要因の優先度を個別に設定します。

- **SR: CPU ステータス レジスタ**

このレジスタは割り込みコントローラ ハードウェアではありませんが、現在の CPU 優先度を示す IPL<2:0> ステータスビット (SR<7:5>) を格納します。ユーザ アプリケーションは、この IPL ビットに書き込む事で、現在の CPU 優先度を変更できます。

- **CORCON: コア制御レジスタ**

このレジスタは割り込みコントローラ ハードウェアではありませんが、現在の CPU 優先度を示す IPL3 ステータスビットを格納します。IPL3 は読み出し専用ビットであるため、ユーザ アプリケーションからトラップイベントをマスクする事はできません。

- **INTTREG: 割り込み制御およびステータス レジスタ**

このレジスタは、関連割り込みベクタ番号と新規 CPU 割り込み優先度を格納します。これらは、INTTREG レジスタ内のベクタ番号 (VECNUM6:0) と割り込みレベル (ILR3:0) のビットフィールドにラッチされます。新規割り込み優先度は、保留中割り込みの優先度です。

各レジスタの詳細は以降のセクションを参照してください。

Note: 割り込み要因の総数とタイプはデバイスごとに異なります。詳細は各デバイスのデータシートを参照してください。

32.4.1 制御レジスタに対する割り込みの割り当て

割り込み要因は、表 32-1 の順番に従って IFSx、IECx、IPCx レジスタへ割り当てられます。例えば INTO (外部割り込み 0) 要因のベクタ番号と自然順序優先度は共に 0 です。従って外部割り込み 0 のフラグステータス (INT0IF) ビットは IFS0<0> に格納されます。INT0 割り込みは、IEC0 レジスタ内のビット 0 をイネーブルビットとして使用します。IPC0<2:0> ビットは、INT0 割り込みの優先度を割り当てます。

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 32-1: SR: CPU ステータス レジスタ

R-0	R-0	R/C-0	R/C-0	R-0	R/C-0	R-0	R/W-0
OA	OB	SA	SB	OAB	SAB	DA	DC
bit 15						bit 8	
R/W-0	R/W-0	R/W-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0
IPL2<2:0> ^(1,2)			RA	N	OV	Z	C
bit 7						bit 0	

凡例:

C = クリアのみ可能ビット R = 読み出し可能ビット U = 未実装ビット、「0」として読み出し

SO = セットのみ可能ビット W = 書き込み可能ビット -n = POR 時の値

1 = ビットをセット 0 = ビットをクリア x = ビットは未知

bit 15-8 **割り込みコントローラには使用せず**
(SR ビットの詳細は「dsPIC30F/33F プログラマ リファレンス マニュアル」(DS70157) を参照してください)

bit 7-5 **IPL2<2:0>: CPU 割り込み優先度ステータスビット 2^(1,2)**
 111 = CPU 割り込み優先度は 7 (15): ユーザ割り込みは無効
 110 = CPU 割り込み優先度は 6 (14)
 101 = CPU 割り込み優先度は 5 (13)
 100 = CPU 割り込み優先度は 4 (12)
 011 = CPU 割り込み優先度は 3 (11)
 010 = CPU 割り込み優先度は 2 (10)
 001 = CPU 割り込み優先度は 1 (9)
 000 = CPU 割り込み優先度は 0 (8)

bit 4-0 **割り込みコントローラには使用せず**
(SR ビットの詳細は「dsPIC30F/33F プログラマ リファレンス マニュアル」(DS70157) を参照してください)

Note 1: IPL<2:0> ビットは IPL<3> ビット (CORCON<3>) と連結して CPU 割り込み優先度を形成します。カッコ内の値は IPL<3> = 1 の場合の値です。IPL3= 1 の場合、ユーザ割り込みは無効です。

2: NSTDIS (INTCON1<15>) = 1 の場合、IPL<2:0> ステータスビットは読み出し専用です。

セクション 32. 割り込み (パート III)

レジスタ 32-2: CORCON: コア制御レジスタ

U-0	U-0	U-0	U-0	R/W-0	R-0	R-0	R-0
—	—	—	—	EDT	DL<1:0>		
bit 15				bit 8			

R/W-0	R/W-0	R/W-1	R/W-0	R/C-0	R/W-0	R/W-0	R/W-0
SATA	SATB	SATDW	ACCSAT	IPL3 ⁽¹⁾	PSV	RND	IF
bit 7				bit 0			

凡例: C = クリアのみ可能ビット
 R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

bit 15-4 **割り込みコントローラには使用せず**
 (CORCON ビットの詳細は「dsPIC30F/33F プログラマ リファレンス マニュアル」(DS70157) を参照してください)

bit 3 **IPL3: CPU 割り込み優先度ステータスビット 3⁽¹⁾**
 1 = CPU 優先度は 8 以上
 0 = CPU 優先度は 7 以下

bit 2-0 **割り込みコントローラには使用せず**
 (CORCON ビットの詳細は「dsPIC30F/33F プログラマ リファレンス マニュアル」(DS70157) を参照してください)

Note 1: IPL3 ビットは IPL<2:0> ビット (SR<7:5>) と連結して CPU 割り込み優先度を形成します。

32

割り込み
(パート III)

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 32-3: INTCON1: 割り込み制御レジスタ 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NSTDIS	OVAERR	OVBERR	COVAERR	COVBERR	OVATE	OVBTE	COVTE
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0
SFTACERR	DIV0ERR	DMACERR	MATHERR	ADDRERR	STKERR	OSCFAIL	—
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

- bit 15 **NSTDIS:** 割り込みネスティング ディセーブル ビット
 1 = 割り込みネスティングを無効にする
 0 = 割り込みネスティングを有効にする
- bit 14 **OVAERR:** アキュムレータ A のオーバーフロー トラップフラグ ビット
 1 = アキュムレータ A のオーバーフローによるトラップが発生した
 0 = アキュムレータ A のオーバーフローによるトラップは発生していない
- bit 13 **OVBERR:** アキュムレータ B のオーバーフロー トラップフラグ ビット
 1 = アキュムレータ B のオーバーフローによるトラップが発生した
 0 = アキュムレータ B のオーバーフローによるトラップは発生していない
- bit 12 **COVAERR:** アキュムレータ A の致命的オーバーフロー トラップフラグ ビット
 1 = アキュムレータ A の致命的オーバーフローによるトラップが発生した
 0 = アキュムレータ A の致命的オーバーフローによるトラップは発生していない
- bit 11 **COVBERR:** アキュムレータ B の致命的オーバーフロー トラップフラグ ビット
 1 = アキュムレータ B の致命的オーバーフローによるトラップが発生した
 0 = アキュムレータ B の致命的オーバーフローによるトラップは発生していない
- bit 10 **OVATE:** アキュムレータ A のオーバーフロー トラップ イネーブルビット
 1 = アキュムレータ A のオーバーフロー トラップを有効にする
 0 = トラップを無効にする
- bit 9 **OVBTE:** アキュムレータ B のオーバーフロー トラップ イネーブルビット
 1 = アキュムレータ B のオーバーフロー トラップを有効にする
 0 = トラップを無効にする
- bit 8 **COVTE:** 致命的オーバーフロー トラップイネーブルビット
 1 = アキュムレータ A または B の致命的オーバーフロー トラップを有効にする
 0 = トラップを無効にする
- bit 7 **SFTACERR:** アキュムレータ シフトエラー ステータスビット
 1 = 無効なアキュムレータ シフトによる算術エラーがトラップが発生した
 0 = 無効なアキュムレータ シフトによる算術エラーがトラップは発生していない
- bit 6 **DIV0ERR:** ゼロ除算エラー ステータスビット
 1 = ゼロ除算によるエラーがトラップが発生した
 0 = ゼロ除算によるエラーがトラップは発生していない
- bit 5 **DMACERR:** DMA コントローラ エラー ステータスビット
 1 = DAM コントローラ エラーがトラップが発生した
 0 = DMA コントローラ エラーがトラップは発生していない
- bit 4 **MATHERR:** 算術エラー ステータスビット
 1 = 算術エラーがトラップが発生した
 0 = 算術エラーがトラップは発生していない

レジスタ 32-3: INTCON1: 割り込み制御レジスタ 1 (続き)

bit 3	ADDRERR: アドレスエラー トラップ ステータスビット 1 = アドレスエラー トラップが発生した 0 = アドレスエラー トラップは発生していない
bit 2	STKERR: スタックエラー トラップ ステータスビット 1 = スタックエラー トラップが発生した 0 = スタックエラー トラップは発生していない
bit 1	OSCFAIL: オシレータ障害トラップ ステータスビット 1 = オシレータ障害トラップが発生した 0 = オシレータ障害トラップは発生していない
bit 0	未実装: 「0」 として読み出し

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 32-4: INTCON2: 割り込み制御レジスタ 2

R/W-0	R-0	U-0	U-0	U-0	U-0	U-0	U-0
ALTIVT	DISI	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0
—	—	—	—	—	INT2EP	INT1EP	INT0EP
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

- bit 15 **ALTIVT:** 代替割り込みベクタテーブルインデックスビット
 1 = 代替ベクタテーブルを使用する
 0 = 代替ベクタテーブルを使用しない
- bit 14 **DISI:** DISI (割り込み無効化) 命令ステータスビット
 1 = DISI 命令はアクティブ
 0 = DISI 命令は非アクティブ
- bit 13-3 **未実装:** 「0」として読み出し
- bit 2 **INT2EP:** 外部割り込み 2 エッジ検出極性選択ビット
 1 = 立ち下がりエッジで割り込み
 0 = 立ち上がりエッジで割り込み
- bit 1 **INT1EP:** 外部割り込み 1 エッジ検出極性選択ビット
 1 = 立ち下がりエッジで割り込み
 0 = 立ち上がりエッジで割り込み
- bit 0 **INT0EP:** 外部割り込み 0 エッジ検出極性選択ビット
 1 = 立ち下がりエッジで割り込み
 0 = 立ち上がりエッジで割り込み

セクション 32. 割り込み (パート III)

レジスタ 32-5: IFS0: 割り込みフラグステータス レジスタ 0

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	DMA1IF	AD1IF	U1TXIF	U1RXIF	SPI1IF	SPI1EIF	T3IF
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
T2IF	OC2IF	IC2IF	DMA0IF	T1IF	OC1IF	IC1IF	INT0IF
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

- bit 15 **未実装:** 「0」として読み出し
- bit 14 **DMA1IF:** DMA チャンネル 1 データ転送完了割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 13 **AD1IF:** ADC1 変換完了割り込みフラグステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 12 **U1TXIF:** UART1 送信割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 11 **U1RXIF:** UART1 受信割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 10 **SPI1IF:** SPI1 割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 9 **SPI1EIF:** SPI1 エラー割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 8 **T3IF:** Timer3 割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 7 **T2IF:** Timer2 割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 6 **OC2IF:** 出力コンペア チャンネル 2 割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 5 **IC2IF:** 入力キャプチャ チャンネル 2 割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 4 **DMA0IF:** DMA チャンネル 0 データ転送完了割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 3 **T1IF:** Timer1 割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない

レジスタ 32-5: IFS0: 割り込みフラグステータス レジスタ 0 (続き)

bit 2	OC1IF: 出力コンペア チャンネル 1 割り込みフラグ ステータスビット 1 = 割り込み要求が発生した 0 = 割り込み要求は発生していない
bit 1	IC1IF: 入力キャプチャ チャンネル 1 割り込みフラグ ステータスビット 1 = 割り込み要求が発生した 0 = 割り込み要求は発生していない
bit 0	INT0IF: 外部割り込み 0 フラグ ステータスビット 1 = 割り込み要求が発生した 0 = 割り込み要求は発生していない

セクション 32. 割り込み (パート III)

レジスタ 32-6: IFS1: 割り込みフラグステータス レジスタ 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
U2TXIF	U2RXIF	INT2IF	T5IF	T4IF	OC4IF	OC3IF	DMA2IF
bit 15							bit 8

R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IC8IF	IC7IF	—	INT1IF	CNIF	CMIF	MI2C1IF	SI2C1IF
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

- bit 15 **U2TXIF:** UART2 送信割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 14 **U2RXIF:** UART2 受信割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 13 **INT2IF:** 外部割り込み 2 フラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 12 **T5IF:** Timer5 割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 11 **T4IF:** Timer4 割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 10 **OC4IF:** 出力コンペア チャンネル 4 割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 9 **OC3IF:** 出力コンペア チャンネル 3 割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 8 **DMA2IF:** DMA チャンネル 2 データ転送完了割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 7 **IC8IF:** 入力キャプチャ チャンネル 8 割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 6 **IC7IF:** 入力キャプチャ チャンネル 7 割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 5 **未実装:** 「0」として読み出し
- bit 4 **INT1IF:** 外部割り込み 1 フラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 3 **CNIF:** 入力状態変化通知割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない

レジスタ 32-6: IFS1: 割り込みフラグステータス レジスタ 1 (続き)

bit 2	CMIF: コンパレータ割り込みフラグ ステータスビット 1 = 割り込み要求が発生した 0 = 割り込み要求は発生していない
bit 1	MI2C1IF: I2C1 マスタイベント割り込みフラグのステータスビット 1 = 割り込み要求が発生した 0 = 割り込み要求は発生していない
bit 0	SI2C1IF: I2C1 スレーブイベント割り込みフラグ ステータスビット 1 = 割り込み要求が発生した 0 = 割り込み要求は発生していない

セクション 32. 割り込み (パート III)

レジスタ 32-7: IFS2: 割り込みフラグ ステータス レジスタ 2

U-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0	U-0
—	DMA4IF	PMPIF	—	—	—	—	—
bit 15			bit 8				

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	DMA3IF	C1IF	C1RXIF	SPI2IF	SPI2EIF
bit 7			bit 0				

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

- bit 15 **未実装:** 「0」として読み出し
- bit 14 **DMA4IF:** DMA チャンネル 4 データ転送完了割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 13 **PMPIF:** パラレルマスタ ポート割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 12-5 **未実装:** 「0」として読み出し
- bit 4 **DMA3IF:** DMA チャンネル 3 データ転送完了割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 3 **C1IF:** ECAN1 イベント割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 2 **C1RXIF:** ECAN1 データ受信準備完了割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 1 **SPI2IF:** SPI2 割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 0 **SPI2EIF:** SPI2 エラー割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない

32

割り込み
(パート III)

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 32-8: IFS3: 割り込みフラグステータス レジスタ 3

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0
FLTA1IF	RTCIF	DMA5IF	DCIIF	DCIEIF	QE11IF	PWM1IF	—
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

- bit 15 **FLTA1IF:** PWM1 フォルト A 割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 14 **RTCIF:** リアルタイム クロック / カレンダ割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 13 **DMA5IF:** DMA チャンネル 5 データ転送完了割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 12 **DCIIF:** DCI イベントフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 11 **DCIEIF:** DCI エラー割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 10 **QE11IF:** QE11 イベント割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 9 **PWM1IF:** PWM1 エラー割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 8-0 **未実装:** 「0」として読み出し

セクション 32. 割り込み (パート III)

レジスタ 32-9: IFS4: 割り込みフラグステータス レジスタ 4

R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0	U-0
DAC1LIF	DAC1RIF	—	—	QE12IF	FLTA2IF	PWM2IF	—
bit 15				bit 8			

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0
—	C1TXIF	DMA7IF	DMA6IF	CRCIF	U2EIF	U1EIF	—
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

- bit 15 **DAC1LIF:** DAC 左チャンネル割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 14 **DAC1RIF:** DAC 右チャンネル割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 13-12 **未実装:** 「0」として読み出し
- bit 11 **QE12IF:** QE12 イベント割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 10 **FLTA2IF:** PWM2 フォルト A 割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 9 **PWM2IF:** PWM2 エラー割り込みイネーブルビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 8-7 **未実装:** 「0」として読み出し
- bit 6 **C1TXIF:** ECAN1 データ送信準備完了割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 5 **DMA7IF:** DMA チャンネル 7 データ転送完了割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 4 **DMA6IF:** DMA チャンネル 6 データ転送完了割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 3 **CRCIF:** CRC ジェネレータ割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 2 **U2EIF:** UART2 エラー割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 1 **U1EIF:** UART1 エラー割り込みフラグ ステータスビット
 1 = 割り込み要求が発生した
 0 = 割り込み要求は発生していない
- bit 0 **未実装:** 「0」として読み出し

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 32-10: IEC0: 割り込みイネーブル制御レジスタ 0

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	DMA1IE	AD1IE	U1TXIE	U1RXIE	SPI1IE	SPI1EIE	T3IE
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
T2IE	OC2IE	IC2IE	DMA0IE	T1IE	OC1IE	IC1IE	INT0IE
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

- bit 15 **未実装:** 「0」として読み出し
- bit 14 **DMA1IE:** DMA チャンネル 1 データ転送完了割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 13 **AD1IE:** ADC1 変換完了割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 12 **U1TXIE:** UART1 送信割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 11 **U1RXIE:** UART1 受信割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 10 **SPI1IE:** SPI1 イベント割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 9 **SPI1EIE:** SPI1 エラー割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 8 **T3IE:** Timer3 割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 7 **T2IE:** Timer2 割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 6 **OC2IE:** 出力コンペア チャンネル 2 割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 5 **IC2IE:** 入力キャプチャ チャンネル 2 割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 4 **DMA0IE:** DMA チャンネル 0 データ転送完了割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 3 **T1IE:** Timer1 割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする

レジスタ 32-10: IEC0: 割り込みイネーブル制御レジスタ 0 (続き)

bit 2	OC1IE: 出力コンペア チャンネル 1 割り込みイネーブルビット 1 = 割り込み要求を有効にする 0 = 割り込み要求を無効にする
bit 1	IC1IE: 入力キャプチャ チャンネル 1 割り込みイネーブルビット 1 = 割り込み要求を有効にする 0 = 割り込み要求を無効にする
bit 0	INT0IE: 外部割り込み 0 イネーブルビット 1 = 割り込み要求を有効にする 0 = 割り込み要求を無効にする

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 32-11: IEC1: 割り込みイネーブル制御レジスタ 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
U2TXIE	U2RXIE	INT2IE	T5IE	T4IE	OC4IE	OC3IE	DMA2IE
bit 15							bit 8

R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IC8IE	IC7IE	—	INT1IE	CNIE	CMIE	MI2C1IE	SI2C1IE
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

- bit 15 **U2TXIE:** UART2 送信割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 14 **U2RXIE:** UART2 受信割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 13 **INT2IE:** 外部割り込み 2 イネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 12 **T5IE:** Timer5 割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 11 **T4IE:** Timer4 割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 10 **OC4IE:** 出力コンペア チャンネル 4 割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 9 **OC3IE:** 出力コンペア チャンネル 3 割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 8 **DMA2IE:** DMA チャンネル 2 データ転送完了割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 7 **IC8IE:** 入力キャプチャ チャンネル 8 割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 6 **IC7IE:** 入力キャプチャ チャンネル 7 割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 5 **未実装:** 「0」として読み出し
- bit 4 **INT1IE:** 外部割り込み 1 イネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 3 **CNIE:** 状態変化通知割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする

レジスタ 32-11: IEC1: 割り込みイネーブル制御レジスタ 1 (続き)

- bit 2

CMIE: コンパレータ割り込みイネーブルビット

1 = 割り込み要求を有効にする

0 = 割り込み要求を無効にする
- bit 1

MI2C1IE: I2C1 マスタイベント割り込みイネーブルビット

1 = 割り込み要求を有効にする

0 = 割り込み要求を無効にする
- bit 0

SI2C1IE: I2C1 スレーブイベント割り込みイネーブルビット

1 = 割り込み要求を有効にする

0 = 割り込み要求を無効にする

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 32-12: IEC2: 割り込み有効化制御レジスタ 2

U-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0	U-0
—	DMA4IE	PMPIE	—	—	—	—	—
bit 15						bit 8	

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	DMA3IE	C1IE	C1RXIE	SPI2IE	SPI2EIE
bit 7						bit 0	

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

- bit 15 **未実装:** 「0」として読み出し
- bit 14 **DMA4IE:** DMA チャンネル 4 データ転送完了割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 13 **PMPIE:** パラレルマスタ ポート割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 12-5 **未実装:** 「0」として読み出し
- bit 4 **DMA3IE:** DMA チャンネル 3 データ転送完了割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 3 **C1IE:** ECAN1 イベント割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 2 **C1RXIE:** ECAN1 データ受信準備完了割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 1 **SPI2IE:** SPI2 イベント割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 0 **SPI2EIE:** SPI2 エラー割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする

セクション 32. 割り込み (パート III)

レジスタ 32-13: IEC3: 割り込みイネーブル制御レジスタ 3

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0
FLTA1IE	RTCIE	DMA5IE	DCIIE	DCIEIE	QE11IE	PWM1IE	—
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

- bit 15 **FLTA1IE:** PWM1 フォルト A 割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 14 **RTCIE:** リアルタイム クロック / カレンダ割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 13 **DMA5IE:** DMA チャンネル 5 データ転送完了割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 12 **DCIIE:** DCI イベント割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 11 **DCIEIE:** DCI エラー割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 10 **QE11IE:** QE11 イベント割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 9 **PWM1IE:** PWM1 エラー割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 8-0 **未実装:** 「0」として読み出し

32

割り込み
(パート III)

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 32-14: IEC4: 割り込みイネーブル制御レジスタ 4

R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0	U-0
DAC1LIE	DAC1RIE	—	—	QE12IE	FLTA2IE	PWM2IE	—
bit 15							bit 8

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0
—	C1TXIE	DMA7IE	DMA6IE	CRCIE	U2EIE	U1EIE	—
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

- bit 15 **DAC1LIE:** DAC 左チャンネル割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 14 **DAC1RIE:** DAC 右チャンネル割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 13-12 **未実装:** 「0」として読み出し
- bit 11 **QE12IE:** QE12 イベント割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 10 **FLTA2IE:** PWM2 フォルト A 割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 9 **PWM2IE:** PWM2 エラー割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 8-7 **未実装:** 「0」として読み出し
- bit 6 **C1TXIE:** ECAN1 データ送信準備完了割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 5 **DMA7IE:** DMA チャンネル 7 データ転送完了割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 4 **DMA6IE:** DMA チャンネル 6 データ転送完了割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 3 **CRCIE:** CRC ジェネレータ割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 2 **U2EIE:** UART2 エラー割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 1 **U1EIE:** UART1 エラー割り込みイネーブルビット
 1 = 割り込み要求を有効にする
 0 = 割り込み要求を無効にする
- bit 0 **未実装:** 「0」として読み出し

セクション 32. 割り込み (パート III)

レジスタ 32-15: IPC0: 割り込み優先度制御レジスタ 0

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	T1IP<2:0>			—	OC1IP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	IC1IP<2:0>			—	INT0IP<2:0>		
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

bit 15 **未実装:** 「0」として読み出し
 bit 14-12 **T1IP<2:0>:** Timer1 割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 11 **未実装:** 「0」として読み出し
 bit 10-8 **OC1IP<2:0>:** 出力コンペア チャンネル 1 割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 7 **未実装:** 「0」として読み出し
 bit 6-4 **IC1IP<2:0>:** 入力キャプチャ チャンネル 1 割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 3 **未実装:** 「0」として読み出し
 bit 2-0 **INT0IP<2:0>:** 外部割り込み 0 優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効

32

割り込み
(パート III)

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 32-16: IPC1: 割り込み優先度制御レジスタ 1

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	T2IP<2:0>			—	OC2IP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	IC2IP<2:0>			—	DMA0IP<2:0>		
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

bit 15 **未実装:** 「0」として読み出し
bit 14-12 **T2IP<2:0>:** Timer2 割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
bit 11 **未実装:** 「0」として読み出し
bit 10-8 **OC2IP<2:0>:** 出力コンペア チャンネル 2 割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
bit 7 **未実装:** 「0」として読み出し
bit 6-4 **IC2IP<2:0>:** 入力キャプチャ チャンネル 2 割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
bit 3 **未実装:** 「0」として読み出し
bit 2-0 **DMA0IP<2:0>:** DMA チャンネル 0 データ転送完了割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効

セクション 32. 割り込み (パート III)

レジスタ 32-17: IPC2: 割り込み優先度制御レジスタ 2

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	U1RXIP<2:0>			—	SPI1IP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	SPI1EIP<2:0>			—	T3IP<2:0>		
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

bit 15 **未実装:** 「0」として読み出し
 bit 14-12 **U1RXIP<2:0>:** UART1 受信割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 11 **未実装:** 「0」として読み出し
 bit 10-8 **SPI1IP<2:0>:** SPI1 イベント割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 7 **未実装:** 「0」として読み出し
 bit 6-4 **SPI1EIP<2:0>:** SPI1 エラー割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 3 **未実装:** 「0」として読み出し
 bit 2-0 **T3IP<2:0>:** Timer3 割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効

32

割り込み
(パート III)

レジスタ 32-18: IPC3: 割り込み優先度制御レジスタ 3

U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0	R/W-0
—	—	—	—	—	DMA1IP<2:0>		
bit 15					bit 8		

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	AD1IP<2:0>			—	U1TXIP<2:0>		
bit 7				bit 0			

凡例:			
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	1 = ビットをセット	0 = ビットをクリア	x = ビットは未知

bit 15-11	未実装: 「0」として読み出し
bit 10-8	DMA1IP<2:0>: DMA チャンネル 1 データ転送完了割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 7	未実装: 「0」として読み出し
bit 6-4	AD1IP<2:0>: ADC1 変換完了割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 3	未実装: 「0」として読み出し
bit 2-0	U1TXIP<2:0>: UART1 送信割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効

セクション 32. 割り込み (パート III)

レジスタ 32-19: IPC4: 割り込み優先度制御レジスタ 4

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	CNIP<2:0>			—	CMIP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	MI2C1IP<2:0>			—	SI2C1IP<2:0>:		
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

bit 15 **未実装:** 「0」として読み出し
 bit 14-12 **CNIP<2:0>:** 入力状態変化通知割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 11 **未実装:** 「0」として読み出し
 bit 10-8 **CMIP<2:0>:** コンパレータ割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 7 **未実装:** 「0」として読み出し
 bit 6-4 **MI2C1IP<2:0>:** I2C1 マスタイベント割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 3 **未実装:** 「0」として読み出し
 bit 2-0 **SI2C1IP<2:0>:** I2C1 スレーブイベント割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効

32

割り込み
(パート III)

レジスタ 32-20: IPC5: 割り込み優先度制御レジスタ 5

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	IC8IP<2:0>			—	IC7IP<2:0>		
bit 15				bit 8			

U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0	R/W-0
—	—	—	—	—	INT1IP<2:0>		
bit 7					bit 0		

凡例:							
R = 読み出し可能ビット		W = 書き込み可能ビット		U = 未実装ビット、「0」として読み出し			
-n = POR 時の値		1 = ビットをセット		0 = ビットをクリア		x = ビットは未知	

bit 15	未実装: 「0」として読み出し
bit 14-12	IC8IP<2:0>: 入力キャプチャ チャンネル 8 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 11	未実装: 「0」として読み出し
bit 10-8	IC7IP<2:0>: 入力キャプチャ チャンネル 7 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 7-3	未実装: 「0」として読み出し
bit 2-0	INT1IP<2:0>: 外部割り込み 1 優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効

セクション 32. 割り込み (パート III)

レジスタ 32-21: IPC6: 割り込み優先度制御レジスタ 6

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	T4IP<2:0>			—	OC4IP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	OC3IP<2:0>			—	DMA2IP<2:0>		
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

bit 15 **未実装:** 「0」として読み出し
 bit 14-12 **T4IP<2:0>:** Timer4 割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 11 **未実装:** 「0」として読み出し
 bit 10-8 **OC4IP<2:0>:** 出力コンペア チャンネル 4 割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 7 **未実装:** 「0」として読み出し
 bit 6-4 **OC3IP<2:0>:** 出力コンペア チャンネル 3 割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 3 **未実装:** 「0」として読み出し
 bit 2-0 **DMA2IP<2:0>:** DMA チャンネル 2 データ転送完了割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効

32

割り込み
(パート III)

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 32-22: IPC7: 割り込み優先度制御レジスタ 7

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	U2TXIP<2:0>			—	U2RXIP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	INT2IP<2:0>			—	T5IP<2:0>		
bit 7				bit 0			

凡例:			
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	1 = ビットをセット	0 = ビットをクリア	x = ビットは未知

bit 15	未実装: 「0」として読み出し
bit 14-12	U2TXIP<2:0>: UART2 送信割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 11	未実装: 「0」として読み出し
bit 10-8	U2RXIP<2:0>: UART2 受信割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 7	未実装: 「0」として読み出し
bit 6-4	INT2IP<2:0>: 外部割り込み 2 優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 3	未実装: 「0」として読み出し
bit 2-0	T5IP<2:0>: Timer5 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効

セクション 32. 割り込み (パート III)

レジスタ 32-23: IPC8: 割り込み優先度制御レジスタ 8

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	C1IP<2:0>			—	C1RXIP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	SPI2IP<2:0>			—	SPI2EIP<2:0>		
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

bit 15 **未実装:** 「0」として読み出し
 bit 14-12 **C1IP<2:0>:** ECAN1 イベント割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 11 **未実装:** 「0」として読み出し
 bit 10-8 **C1RXIP<2:0>:** ECAN1 データ受信準備完了割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 7 **未実装:** 「0」として読み出し
 bit 6-4 **SPI2IP<2:0>:** SPI2 イベント割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 3 **未実装:** 「0」として読み出し
 bit 2-0 **SPI2EIP<2:0>:** SPI2 エラー割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効

32

割り込み
(パート III)

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 32-24: IPC9: 割り込み優先度制御レジスタ 9

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15						bit 8	

U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0	R/W-0
—	—	—	—	—	DMA3IP<2:0>		
bit 7						bit 0	

凡例:			
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	1 = ビットをセット	0 = ビットをクリア	x = ビットは未知

- bit 15-3
- bit 2-0
- 未実装: 「0」として読み出し

DMA3IP<2:0>: DMA チャンネル 3 データ転送完了割り込み優先度ビット

111 = 割り込み優先度 7 (最優先割り込み)

-
 -
 -

001 = 割り込み優先度 1

000 = 割り込み要因は無効

セクション 32. 割り込み (パート III)

レジスタ 32-25: IPC11: 割り込み優先度制御レジスタ 11

U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0	R/W-0
—	—	—	—	—	DMA4IP<2:0>		
bit 15					bit 8		

U-0	R/W-1	R/W-0	R/W-0	U-0	U-0	U-0	U-0
—	PMPIP<2:0>			—	—	—	—
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

- bit 15-11 **未実装:** 「0」として読み出し
- bit 10-8 **DMA4IP<2:0>:** DMA チャンネル 4 データ転送完了割り込み優先度ビット
111 = 割り込み優先度 7 (最優先割り込み)
•
•
•
001 = 割り込み優先度 1
000 = 割り込み要因は無効
- bit 7 **未実装:** 「0」として読み出し
- bit 6-4 **PMPIP<2:0>:** パラレルマスタ ポート割り込み優先度ビット
111 = 割り込み優先度 7 (最優先割り込み)
•
•
•
001 = 割り込み優先度 1
000 = 割り込み要因は無効
- bit 3-0 **未実装:** 「0」として読み出し

32

割り込み
(パート III)

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 32-26: IPC14: 割り込み優先度制御レジスタ 14

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	DCIEIP<2:0>			—	QE11IP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	U-0	U-0	U-0
—	PWM1IP<2:0>			—	—	—	—
bit 7				bit 0			

凡例:			
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	1 = ビットをセット	0 = ビットをクリア	x = ビットは未知

bit 15	未実装: 「0」として読み出し
bit 14-12	DCIEIP<2:0>: DCI エラー割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 11	未実装: 「0」として読み出し
bit 10-8	QE11IP<2:0>: QE11 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 7	未実装: 「0」として読み出し
bit 6-4	PWM1IP<2:0>: PWM1 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 3-0	未実装: 「0」として読み出し

セクション 32. 割り込み (パート III)

レジスタ 32-27: IPC15: 割り込み優先度制御レジスタ 15

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	FLTA1IP<2:0>			—	RTCIP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	DMA5IP<2:0>			—	DCIIP<2:0>		
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

bit 15 **未実装:** 「0」として読み出し
 bit 14-12 **FLTA1IP<2:0>:** PWM1 フォルト A 割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 11 **未実装:** 「0」として読み出し
 bit 10-8 **RTCIP<2:0>:** リアルタイム クロック / カレンダ割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 7 **未実装:** 「0」として読み出し
 bit 6-4 **DMA5IP<2:0>:** DMA チャンネル 5 データ転送完了割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 3 **未実装:** 「0」として読み出し
 bit 2-0 **DCIIP<2:0>:** DCI イベント割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効

32

割り込み
(パート III)

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 32-28: IPC16: 割り込み優先度制御レジスタ 16

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	CRCIP<2:0>			—	U2EIP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	U-0	U-0	U-0
—	U1EIP<2:0>			—	—	—	—
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

bit 15 **未実装:**「0」として読み出し
 bit 14-12 **CRCIP<2:0>:** CRC ジェネレータ エラー割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 11 **未実装:**「0」として読み出し
 bit 10-8 **U2EIP<2:0>:** UART2 エラー割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 7 **未実装:**「0」として読み出し
 bit 6-4 **U1EIP<2:0>:** UART1 エラー割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 3-0 **未実装:**「0」として読み出し

セクション 32. 割り込み (パート III)

レジスタ 32-29: IPC17: 割り込み優先度制御レジスタ 17

U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0	R/W-0
—	—	—	—	—	C1TXIP<2:0>		
bit 15					bit 8		

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	DMA7IP<2:0>			—	DMA6IP<2:0>		
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

- bit 15-11 **未実装:** 「0」として読み出し
- bit 10-8 **C1TXIP<2:0>:** ECAN1 データ送信要求割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
- bit 7 **未実装:** 「0」として読み出し
- bit 6-4 **DMA7IP<2:0>:** DMA チャンネル 7 データ転送完了割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
- bit 3 **未実装:** 「0」として読み出し
- bit 2-0 **DMA6IP<2:0>:** DMA チャンネル 6 データ転送完了割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効

32

割り込み
(パート III)

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 32-30: IPC18: 割り込み優先度制御レジスタ 18

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	QEI2IP<2:0>			—	FLTA2IP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	U-0	U-0	U-0
—	PWM2IP<2:0>			—	—	—	—
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

bit 15 **未実装:** 「0」として読み出し
 bit 14-12 **QEI2IP<2:0>:** QEI2 割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 11 **未実装:** 「0」として読み出し
 bit 10-8 **FLTA2IP<2:0>:** PWM2 フォルト A 割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 7 **未実装:** 「0」として読み出し
 bit 6-4 **PWM2IP<2:0>:** PWM2 割り込み優先度ビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
 bit 3-0 **未実装:** 「0」として読み出し

セクション 32. 割り込み (パート III)

レジスタ 32-31: IPC19: 割り込み優先度制御レジスタ 19

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	DAC1LIP<2:0>			—	DAC1RIP<2:0>		
bit 15				bit 8			

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—				—	—	—	—
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

bit 15 **未実装:** 「0」として読み出し
bit 14-12 **DAC1LIP<2:0>:** DAC 左チャンネル割り込みフラグ ステータスビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
bit 11 **未実装:** 「0」として読み出し
bit 10-8 **DAC1RIP<2:0>:** DAC 右チャンネル割り込みフラグ ステータスビット
 111 = 割り込み優先度 7 (最優先割り込み)
 •
 •
 •
 001 = 割り込み優先度 1
 000 = 割り込み要因は無効
bit 7-0 **未実装:** 「0」として読み出し

32

割り込み
(パート III)

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 32-32: INTTREG: 割り込み制御およびステータス レジスタ

U-0	U-0	U-0	U-0	R-0	R-0	R-0	R-0
—	—	—	—	ILR<3:0>			
bit 15				bit 8			

U-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
—	VECNUM<6:0>						
bit 7				bit 0			

凡例:							
R = 読み出し可能ビット		W = 書き込み可能ビット		U = 未実装ビット、「0」として読み出し			
-n = POR 時の値		1 = ビットをセット		0 = ビットをクリア		x = ビットは未知	

bit 15-12	未実装: 「0」として読み出し
bit 11-8	ILR<3:0>: 新規 CPU 割り込み優先度ビット
	1111 = CPU 割り込み優先度は 15
	•
	•
	•
	0001 = CPU 割り込み優先度は 1
	0000 = CPU 割り込み優先度は 0
bit 7	未実装: 「0」として読み出し
bit 6-0	VECNUM<6:0>: 保留中割り込みベクタ番号ビット
	0111111 = 保留中割り込みのベクタ番号は 135
	•
	•
	•
	0000001 = 保留中割り込みのベクタ番号は 9
	0000000 = 保留中割り込みのベクタ番号は 8

32.5 割り込みのセットアップ手順

32.5.1 初期化

割り込み要因の設定手順は下記の通りです。

1. 割り込みのネスティングを行わない場合、NSTDIS 制御ビット (INTCON1<15>) をセットします。
2. 割り込み要因のユーザ アプリケーション割り当て優先度を選択します (適切な IPCx 制御レジスタ内の制御ビットに書き込む)。優先度はアプリケーションと割り込み要因のタイプによって決まります。1 レベルの優先度しか使用しない場合、有効にした全ての割り込み要因の IPCx レジスタ制御ビットを 0 以外の同一値に設定します。

Note: デバイスリセットでは、全てのユーザ割り込み要因を優先度 4 に設定したものとして IPC レジスタが初期化されます。

3. 対応する IFSx ステータス レジスタで、周辺モジュール割り込みに関連付けた割り込みフラグのステータスビットをクリアします。
4. 対応する IECx レジスタで、有効にする割り込み要因の割り込みイネーブル制御ビットをセットします。

32.5.2 割り込みサービスルーチン (ISR)

ISR を宣言して割り込みベクタテーブル (IVT) を適正なベクタアドレスで初期化する方法は、プログラミング言語 (C またはアセンブラ) と、アプリケーションの開発に使用する言語 - 開発ツールによって異なります。通常は、ISR が処理する割り込み要因に対応する割り込みフラグ (IFSx レジスタ内) を、ユーザ アプリケーションでクリアする必要があります。これを怠ると、アプリケーションは ISR ルーチン終了後即座にまた同じ ISR ルーチンを再開します。ISR をアセンブリ言語でコーディングしている場合、RETFIE 命令で ISR を終了し、保存してある PC 値、SRL 値、以前の CPU 優先度をアンスタックする必要があります。

32.5.3 トラップサービスルーチン (TSR)

TSR のコードは ISR と似ていますが、TSR の再実行を回避するには、INTCON1 レジスタ内で適切なトラップ ステータスフラグをクリアする必要があります。

32.5.4 割り込みの無効化

割り込みを無効化する手順は下記の通りです。

1. PUSH 命令を使用して、現在の SR 値をソフトウェア スタックにプッシュします。
 2. SRL に対して値 0xE0 で論理 OR 演算を行って、CPU を優先度 7 へ強制的に設定します。
- ユーザ割り込みを再び有効化するには、POP 命令を使用して以前の SR 値を復元します。

Note: 優先度 7 以下のユーザ割り込みだけが無効化できます。トラップ要因 (優先度 8 ~ 15) を無効化する事はできません。

DISI 命令は優先度 1~6 の割り込みだけを一定の期間無効化します。DISI 命令は優先度 7 の割り込み要因を無効化しません。

32.5.5 サンプルコード

例 32-1 のサンプルコードは、割り込みネスティングを有効化して Timer1 / Timer2 / Timer3 / 入力状態変化通知割り込みをセットアップ（それぞれ優先度 2/5/6/4 に設定）する方法と、ステータスレジスタを使用して割り込みを有効化 / 無効化する方法を示しています。

例 32-1: ネストされた割り込みのサンプルコード

```
void enableInterrupts(void)
{
    /* Set CPU IPL to 0, enable level 1-7 interrupts */
    /* No restoring of previous CPU IPL state performed here */
    SRbits.IPL = 0;

    return;
}

void disableInterrupts(void)
{
    /* Set CPU IPL to 7, disable level 1-7 interrupts */
    /* No saving of current CPU IPL setting performed here */
    SRbits.IPL = 7;

    return;
}

void initInterrupts(void)
{
    /* Interrupt nesting enabled here */
    INTCON1bits.NSTDIS = 0;

    /* Set Timer3 interrupt priority to 6 (level 7 is highest) */
    IPC2bits.T3IP = 6;

    /* Set Timer2 interrupt priority to 5 */
    IPC1bits.T2IP = 5;

    /* Set Change Notice interrupt priority to 4 */
    IPC4bits.CNIP = 4;

    /* Set Timer1 interrupt priority to 2 */
    IPC0bits.T1IP = 2;

    /* Reset Timer1 interrupt flag */
    IFS0bits.T1IF = 0;

    /* Reset Timer2 interrupt flag */
    IFS0bits.T2IF = 0;

    /* Reset Timer3 interrupt flag */
    IFS0bits.T3IF = 0;

    /* Enable CN interrupts */
    IEC1bits.CNIE = 1;
}
```

例 32-1: ネストされた割り込みのサンプルコード (続き)

```
/* Enable Timer1 interrupt */
IEC0bits.T1IE = 1;

/* Enable Timer2 interrupt (PWM time base) */
IEC0bits.T2IE = 1;

/* Enable Timer3 interrupt */
IEC0bits.T3IE = 1;

/* Reset change notice interrupt flag */
IFS1bits.CNIF = 0;

return;
}

void __attribute__((interrupt, no_auto_psv)) _T1Interrupt(void)
{
    /* Insert ISR Code Here*/

    /* Clear Timer1 interrupt */
    IFS0bits.T1IF = 0;
}

void __attribute__((interrupt, no_auto_psv)) _T2Interrupt(void)
{
    /* Insert ISR Code Here*/

    /* Clear Timer2 interrupt */
    IFS0bits.T2IF = 0;
}

void __attribute__((interrupt, no_auto_psv)) _T3Interrupt(void)
{
    /* Insert ISR Code Here*/

    /* Clear Timer3 interrupt */
    IFS0bits.T3IF = 0;
}

void __attribute__((interrupt, no_auto_psv)) _CNInterrupt(void)
{
    /* Insert ISR Code Here*/

    /* Clear CN interrupt */
    IFS1bits.CNIF = 0;
}
```

32.6 レジスタマップ

dsPIC33F 割り込み (パート III) モジュールに関連する特殊機能レジスタ (SFR) の要約を表 32-2 に示します。

表 32-2: 割り込みコントローラ関連のレジスタマップ

SFR 名	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	全 リセット
INTCON1	NSTDIS	OVAERR	OVBERR	COVAERR	COVBERR	OVATE	OVBTE	COVTE	SFTACERR	DIV0ERR	DMACERR	MATHERR	ADDRERR	STKERR	OSCFail	—	0000
INTCON2	ALTVT	DISI	—	—	—	—	—	—	—	—	—	—	—	INT2EP	INT1EP	INT0EP	0000
IFS0	—	DMA1IF	AD1IF	U1TXIF	U1RXIF	SPI1IF	SPI1EIF	T3IF	T2IF	OC2IF	IC2IF	DMA0IF	T1IF	OC1IF	IC1IF	INT0IF	0000
IFS1	U2TXIF	U2RXIF	INT2IF	T5IF	T4IF	OC4IF	OC3IF	DMA2IF	IC8IF	IC7IF	—	INT1IF	CNIF	CMIF	MI2C1IF	SI2C1IF	0000
IFS2	—	DMA4IF	PMPIF	—	—	—	—	—	—	—	—	DMA3IF	C1IF	C1RXIF	SPI2IF	SPI2EIF	0000
IFS3	FLTA1IF	RTCIF	DMA5IF	DCIIF	DCIEIF	QE1IF	PWM1IF	—	—	—	—	—	—	—	—	—	0000
IFS4	DAC1LIF	DAC1RIF	—	—	QE12IF	FLTA2IF	PWM2IF	—	—	C1TXIF	DMA7IF	DMA6IF	CRCIF	U2EIF	U1EIF	—	0000
IEC0	—	DMA1IE	AD1IE	U1TXIE	U1RXIE	SPI1IE	SPI1EIE	T3IE	T2IE	OC2IE	IC2IE	DMA0IE	T1IE	OC1IE	IC1IE	INT0IE	0000
IEC1	U2TXIE	U2RXIE	INT2IE	T5IE	T4IE	OC4IE	OC3IE	DMA2IE	IC8IE	IC7IE	—	INT1IE	CNIE	CMIE	MI2C1IE	SI2C1IE	0000
IEC2	—	DMA4IE	PMPIE	—	—	—	—	—	—	—	—	DMA3IE	C1IE	C1RXIE	SPI2IE	SPI2EIE	0000
IEC3	FLTA1IE	RTCIE	DMA5IE	DCIIE	DCIEIE	QE11IE	PWM1IE	—	—	—	—	—	—	—	—	—	0000
IEC4	DAC1LIE	DAC1RIE	—	—	QE12IE	FLTA2IE	PWM2IE	—	—	C1TXIE	DMA7IE	DMA6IE	CRCIE	U2EIE	U1EIE	—	0000
IPC0	—	T1IP<2:0>			—	OC1IP<2:0>			—	IC1IP<2:0>			—	INT0IP<2:0>			4444
IPC1	—	T2IP<2:0>			—	OC2IP<2:0>			—	IC2IP<2:0>			—	DMA0IP<2:0>			4444
IPC2	—	U1RXIP<2:0>			—	SPI1IP<2:0>			—	SPI1EIP<2:0>			—	T3IP<2:0>			4444
IPC3	—	—	—	—	—	DMA1IP<2:0>			—	AD1IP<2:0>			—	U1TXIP<2:0>			0444
IPC4	—	CNIP<2:0>			—	CMIP<2:0>			—	MI2C1IP<2:0>			—	SI2C1IP<2:0>			4444
IPC5	—	IC8IP<2:0>			—	IC7IP<2:0>			—	—	—	—	—	INT1IP<2:0>			4404
IPC6	—	T4IP<2:0>			—	OC4IP<2:0>			—	OC3IP<2:0>			—	DMA2IP<2:0>			4444
IPC7	—	U2TXIP<2:0>			—	U2RXIP<2:0>			—	INT2IP<2:0>			—	T5IP<2:0>			4444
IPC8	—	C1IP<2:0>			—	C1RXIP<2:0>			—	SPI2IP<2:0>			—	SPI2EIP<2:0>			4444
IPC9	—	—	—	—	—	—	—	—	—	—	—	—	—	DMA3IP<2:0>			0004
IPC11	—	—	—	—	—	DMA4IP<2:0>			—	PMPIP<2:0>			—	—	—	—	0440
IPC14	—	DCIEIP<2:0>			—	QE11IP<2:0>			—	PWM1IP<2:0>			—	—	—	—	4440
IPC15	—	FLTA1IP<2:0>			—	RTCIP<2:0>			—	DMA5IP<2:0>			—	DCIIP<2:0>			4444
IPC16	—	CRCIP<2:0>			—	U2EIP<2:0>			—	U1EIP<2:0>			—	—	—	—	4440
IPC17	—	—	—	—	—	C1TXIP<2:0>			—	DMA7IP<2:0>			—	DMA6IP<2:0>			0444
IPC18	—	QE12IP<2:0>			—	FLTA2IP<2:0>			—	PWM2IP<2:0>			—	—	—	—	4440
IPC19	—	DAC1LIP<2:0>			—	DAC1RIP<2:0>			—	—	—	—	—	—	—	—	4400
INTTREG	—	—	—	—	ILR<3:0>			—	VECNUM<6:0>								4444

凡例: x = リセット時に未知の値、— = 未実装、「0」として読み出し、リセット値は 16 進数で表記

32.7 設計のヒント

- 質問 1:** 同じユーザアプリケーション割り当て優先度を持つ 2 つの割り込み要因が同時に保留された場合、どのように処理されますか。
- 回答:** 自然順序優先度が高い方の割り込み要因が優先されます。自然順序優先度は、割り込みベクタテーブル (IVT) 内の要因のアドレス順によって決まります。IVT アドレスが低い割り込み要因ほど自然順序優先度は高くなります。
- 質問 2:** `DISI` 命令を使用して割り込みとトラップの全ての要因を無効化できますか。
- 回答:** `DISI` 命令は優先度 7 の割り込み要因とトラップを無効化しません。しかし、ユーザ アプリケーション内に優先度 7 の有効な割り込み要因が存在しない場合、`DISI` 命令を使用して簡単に全ての割り込みを無効化できます。

32.8 関連アプリケーション ノート

本セクションに関連するアプリケーション ノートの一覧を下に記載します。一部のアプリケーション ノートは dsPIC33F ファミリ向けではありません。ただし概念は共通しており、変更が必要であったり制限事項が存在するものの利用が可能です。割り込み (パート III) モジュールに関連する最新のアプリケーション ノートは以下の通りです。

タイトル	アプリケーション ノート番号
現在、関連するアプリケーション ノートはありません。	

Note: dsPIC33F デバイス ファミリ向けのアプリケーション ノートとサンプルコードはマイクロチップ社のウェブサイト (www.microchip.com) でご覧になれます。

32.9 改訂履歴

リビジョン A (2007 年 10 月)

本書の初版

リビジョン B (2009 年 2 月)

このリビジョンでの変更内容は以下の通りです。

- Note:
 - 32.2.3 「割り込み命令の無効化」内の DISICNT レジスタのソフトウェア変更に関する誤った内容の注釈を削除
- レジスタ:
 - INTCON1: 割り込み制御レジスタ 1 (レジスタ 32-3 参照) 内の bit 6/11/12 に関する記述を訂正
- 上記に加えて、表現および体裁の変更等、本書全体の細部を修正

ISBN: 978-1-61341-039-4

NOTE: