

セクション 8. リセット

ハイライト

本セクションには下記の主要項目を記載しています。

8.1	はじめに	8-2
8.2	制御レジスタ	8-3
8.3	システム リセット	8-6
8.4	RCON ステータスビットの使用方法	8-11
8.5	デバイス起動時の処理タイミング	8-12
8.6	特殊機能レジスタのリセット状態	8-14
8.7	レジスタマップ	8-15
8.8	設計のヒント	8-16
8.9	関連アプリケーション ノート	8-17
8.10	改訂履歴	8-18

8.1 はじめに

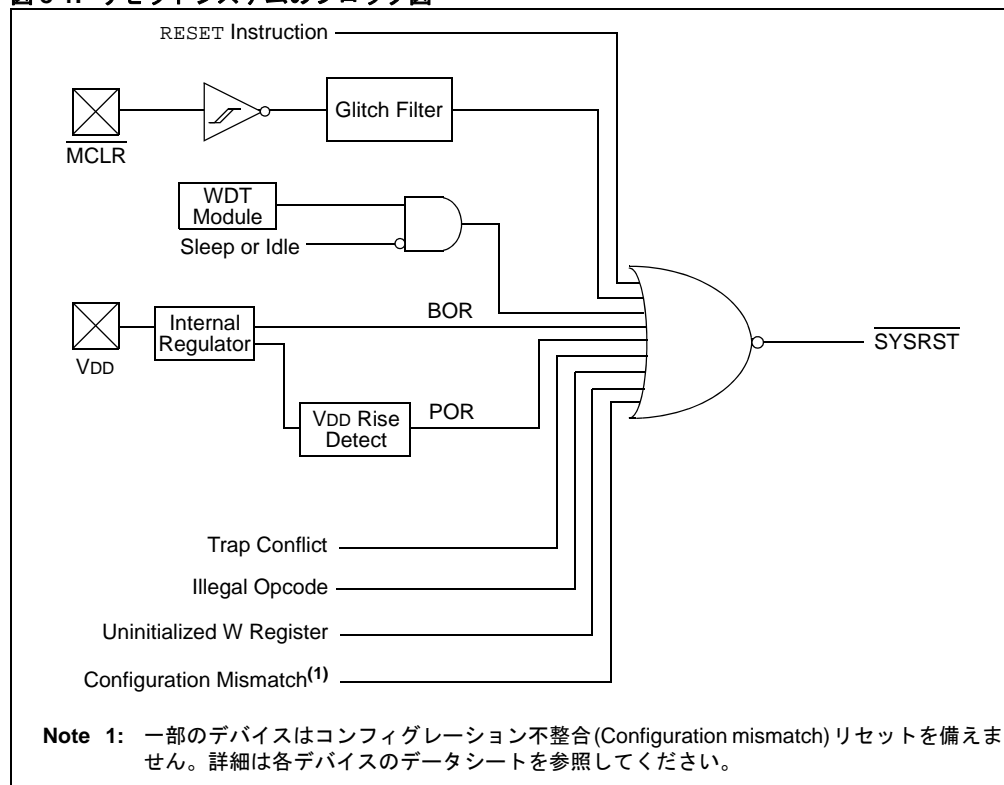
リセット モジュールは全てのリセット要因を集約し、デバイスのマスタリセット信号 (SYSRST) を制御します。デバイスのリセット要因を以下に挙げます。

- パワーオン リセット (POR)
- ブラウンアウト リセット (BOR)
- マスタクリアピン リセット ($\overline{\text{MCLR}}$)
- RESET 命令 (SWR)
- ウォッチドッグ タイムアウトリセット (WDTO)
- コンフィグレーション不整合 (CM) リセット (一部のデバイスはこのリセット要因を備えません。詳細は各デバイスのデータシートを参照してください)
- トラップ衝突リセット (TRAPR)
- 不正条件デバイスリセット (IOPUWR)
 - 不正オペコード リセット
 - 未初期化ワーキング レジスタリセット
 - セキュリティ リセット

リセット モジュールの概要を図 8-1 に示します。全てのリセット要因は発生時に $\overline{\text{SYSRST}}$ 信号をアクティブにします。システムリセット時には、CPU と周辺モジュールに関連する一部のレジスタを既定値へ強制的にリセットしますが、リセット時に影響を受けないレジスタもあります。

Note: 各レジスタのリセット状態は、本書内の関連する項目または dsPIC33F ファミリ リファレンス マニュアルのセクション 2. 「クリア」 (DS70204) を参照してください。

図 8-1: リセットシステムのブロック図



8.2 制御レジスタ

全てのデバイスリセットは RCON レジスタ内の対応するステータスビットをセットし、発生したリセットのタイプを示します (レジスタ 8-1 参照)。POR は、POR および BOR ビット (RCON<1:0>) 以外の全てのビットをクリアします。ユーザ アプリケーションは、コード実行中にいつでも任意のビットをセット/クリアできます。RCON ビットはステータスビットとしてのみ機能します。ソフトウェアでいずれのリセット ステータスビットをセットしても、デバイスリセットは発生しません。

RCON レジスタはウォッチドッグ タイマとデバイスの省電力モードに関連するビットも格納します。詳細は dsPIC33F ファミリ リファレンス マニュアルのセクション 9.「ウォッチドッグ タイマと省電力モード」 (DS70196) を参照してください。

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 8-1: RCON: リセット制御レジスタ ⁽¹⁾

R/W-0	R/W-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0
TRAPR	IOPUWR	—	—	—	—	CM ⁽²⁾	VREGS
bit 15						bit 8	

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1
EXTR	SWR	SWDTEN ⁽³⁾	WDTO	SLEEP	IDLE	BOR	POR
bit 7						bit 0	

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

- bit 15 **TRAPR:** トラップリセットのフラグビット
 1 = トラップ衝突リセットが発生した
 0 = トラップ衝突リセットは発生していない
- bit 14 **IOPUWR:** 不正オペコードまたは未初期化ワーキング レジスタ アクセスによるリセットのフラグビット
 1 = 不正コードを検出した、または未初期化ワーキング レジスタをアドレスポインタとして使用したためにリセットが発生した
 0 = 上記のリセットは発生せず
- bit 13-10 **未実装:** 「0」として読み出し
- bit 9 **CM:** コンフィグレーション不整合フラグビット ⁽²⁾
 1 = コンフィグレーション不整合リセットが発生した
 0 = コンフィグレーション不整合リセットは発生していない
- bit 8 **VREGS:** スリープ時電圧レギュレータ スタンバイビット
 1 = スリープ中でも電圧レギュレータを動作させる
 0 = スリープ中は電圧レギュレータをスタンバイモードへ移行させる
- bit 7 **EXTR:** 外部リセット (MCLR) ピンビット
 1 = マスタクリア (ピン) リセットが発生した
 0 = マスタクリア (ピン) リセットは発生していない
- bit 6 **SWR:** ソフトウェア リセット (命令) フラグビット
 1 = RESET 命令が実行された
 0 = RESET 命令は実行されていない
- bit 5 **SWDTEN:** WDT のソフトウェア イネーブル / ディセーブルビット ⁽³⁾
 1 = WDT は有効
 0 = WDT は無効
- bit 4 **WDTO:** ウォッチドッグ タイムアウト フラグビット
 1 = WDT タイムアウトが発生した
 0 = WDT タイムアウトは発生していない
- bit 3 **SLEEP:** スリープからのウェイクアップ フラグビット
 1 = デバイスはスリープモードからウェイクアップした
 0 = デバイスはスリープモードからウェイクアップしたのではない

- Note 1:** 全てのリセット ステータスビットはソフトウェアでセット / クリアできます。これらのステータスビットをソフトウェアでセットしても、デバイスリセットは発生しません。
- 2:** 一部のデバイスではコンフィグレーション不整合リセット フラグビットを利用できません。詳細は各デバイスのデータシートを参照してください。
- 3:** FWDTEN コンフィグレーション ビットが「1」(デバイス未プログラム状態) の場合、SWDTEN ビットの設定に関係なく WDT は常に有効です。

レジスタ 8-1: RCON: リセット制御レジスタ (続き)⁽¹⁾

bit 2	IDLE: アイドルからのウェイクアップ フラグビット 1 = デバイスはアイドルモードからウェイクアップした 0 = デバイスはアイドルモードからウェイクアップしたのではない
bit 1	BOR: ブラウンアウト リセット フラグビット 1 = ブラウンアウト リセットが発生した 0 = ブラウンアウト リセットは発生していない
bit 0	POR: パワーオン リセット フラグビット 1 = パワーオン リセットが発生した 0 = パワーオン リセットは発生していない

- Note 1:** 全てのリセット ステータスビットはソフトウェアでセット / クリアできます。これらのステータスビットをソフトウェアでセットしても、デバイスリセットは発生しません。
- 2:** 一部のデバイスではコンフィグレーション不整合リセット フラグビットを利用できません。詳細は各デバイスのデータシートを参照してください。
- 3:** FWDTEN コンフィグレーション ビットが「1」(デバイス未プログラム状態) の場合、SWDTEN ビットの設定に関係なく WDT は常に有効です。

8.3 システム リセット

dsPIC33F ファミリのデバイスは下記 2 種類のリセットを備えます。

- コールドリセット
- ウォームリセット

コールドリセットはPOR または BOR の結果として発生します。コールドリセットでは、FOSC デバイス コンフィグレーション レジスタ内の FNOSC コンフィグレーション ビットにより、デバイスのクロック源を選択します。

ウォームリセットは、その他の全てのリセット要因 (RESET 命令を含む) の結果として発生します。ウォームリセットでは、オシレータ制御 (OSCCON<14:12>) レジスタ内の切り換え前クロック源選択 (COSC<2:0>) ビットが示すクロック源を使用して動作を続けます。

システム電源が適正電圧レベルで安定し、かつクロック源が使用可能状態になるまで、デバイスはリセット状態に留まります。この場合のシーケンスは下記の通りです (図 8-2 参照)。

1. **POR:** 電源 ON 時に、POR 回路がデバイスをリセット状態に保持します。POR 回路は、VDD が VPOR を超えた後に遅延時間 TPOR が経過するまでアクティブ状態を維持します。
2. **BOR:** 内蔵電圧レギュレータが備える BOR 回路は、VDD が VBOR を超えた後に遅延時間 TBOR が経過するまでデバイスをリセット状態に維持します。遅延時間 TBOR により、レギュレータ出力電圧の確実な安定化を図ります。
3. **PWRT タイマ:** 設定可能なパワーアップ タイマは、BOR 後に遅延時間 TPWRT が経過するまでプロセッサをリセット状態に維持します。遅延時間 TPWRT により、最速動作時のシステム電源電圧レベルの適正化と安定化を図ります。TPWRT が経過すると SYSRST が非アクティブになり、選択したオシレータがクロックサイクルの生成を開始します。
4. **オシレータ遅延:** 各種クロック源が使用可能状態になるまでに要する総遅延時間を表 8-1 に示します。詳細は dsPIC33F ファミリ リファレンス マニュアルのセクション 7.「オシレータ」(DS70186) を参照してください。
5. クロック源が使用可能状態になると、プロセッサはアドレス 0x000000 から実行を開始します。ユーザ アプリケーション は、このリセットアドレスに GOTO 命令を書き込む事によって、プログラムの実行を適当な起動ルーチンヘリダイレクトできます。
6. フェイルセーフ クロックモニタ (FSCM) を有効にすると、システムクロックが使用可能状態になった後、遅延時間 TFSCM が経過してからシステムクロックの監視を開始します。

表 8-1: オシレータ遅延

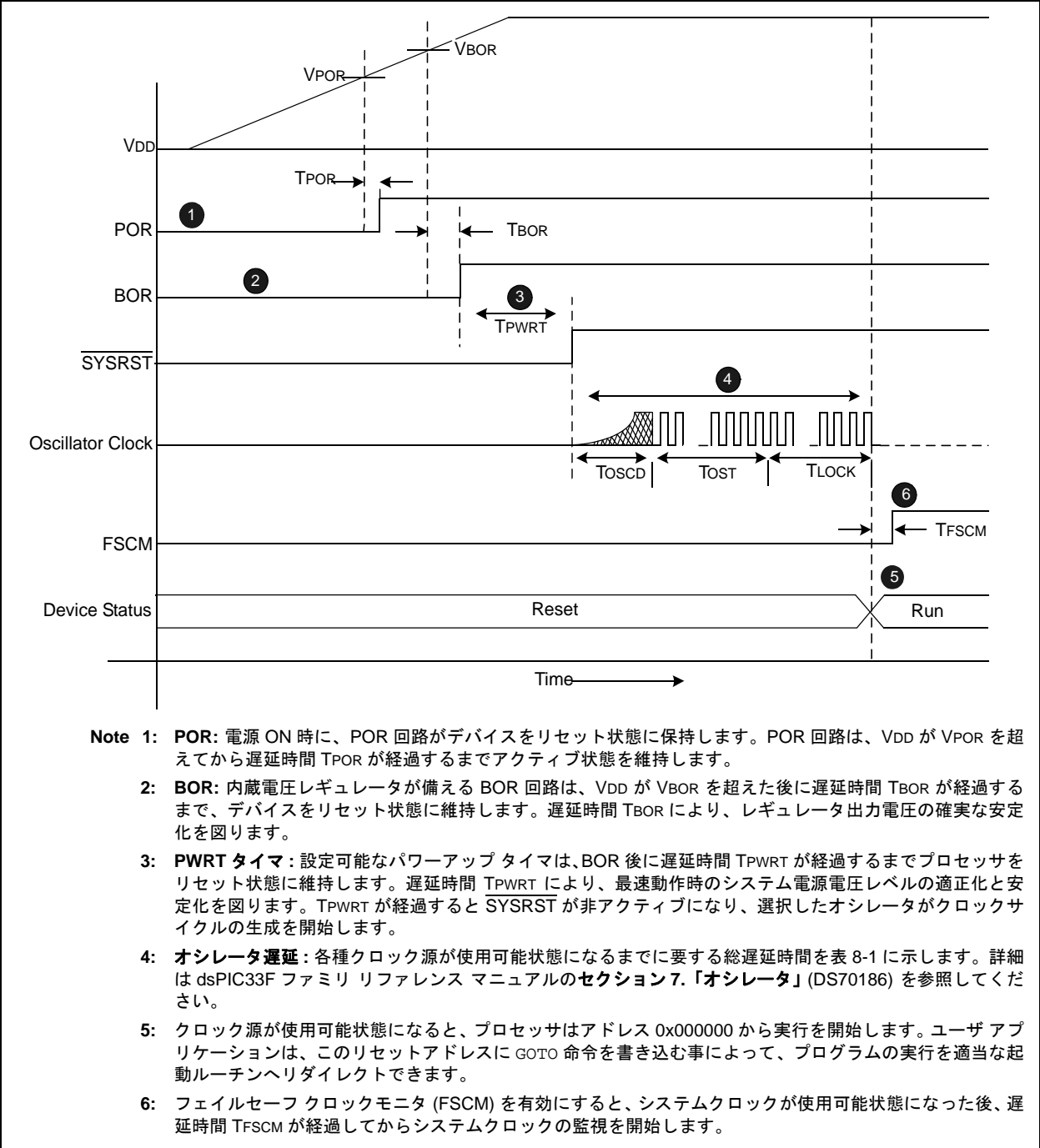
オシレータモード	オシレータ 起動遅延	オシレータ スタート アップ タイマ	PLL ロック時間	総遅延
FRC, FRCDIV16, FRCDIVN	TOSCD	—	—	TOSCD
FRCPLL	TOSCD	—	TLOCK	TOSCD + TLOCK
XT	TOSCD	TOST	—	TOSCD + TOST
HS	TOSCD	TOST	—	TOSCD + TOST
EC	—	—	—	—
XTPLL	TOSCD	TOST	TLOCK	TOSCD + TOST + TLOCK
HSPLL	TOSCD	TOST	TLOCK	TOSCD + TOST + TLOCK
ECPLL	—	—	TLOCK	TLOCK
SOSC	TOSCD	TOST	—	TOSCD + TOST
LPRC	TOSCD	—	—	TOSCD

Note 1: TOSCD = オシレータ起動遅延時間 (FRC の場合 : 最大 1.1 μ s、LPRC の場合 : 最大 70 μ s)
水晶振動子の起動時間は、振動子の特性や負荷容量によって異なります。

2: TOST = オシレータ起動タイマ遅延時間 (オシレータクロック 1024 サイクル間)
例 : 10 MHz 水晶振動子の TOST = 102.4 μ s、32 kHz 水晶振動子の TOST = 32 ms

3: TLOCK = PLL ロック時間 (1.5 ms 公称値)、PLL 有効時のみ

図 8-2: システムリセットのタイミング



Note: デバイスがリセット条件から復帰して通常動作を開始する際に、デバイス動作パラメータ (電圧、周波数、温度等) が動作レンジ内に入っていないと、デバイスが正常に機能しない可能性があります。ユーザ アプリケーションは、動作開始時に全ての動作パラメータが仕様範囲内に入るように、電源 ON から SYSRST が非アクティブになるまでに十分な遅延時間を確保する必要があります。

8.3.1 パワーオン リセット (POR)

POR 回路は電源 ON 時にデバイスを確実にリセットします。POR 回路は、VDD が V_{POR} を超えてから遅延時間 T_{POR} が経過するまでアクティブ状態を維持します。遅延時間 T_{POR} により、内部バイアス回路の安定化を図ります。

POR を発生させるには、デバイスの電源電圧特性が規定の初期電圧および立ち上がり要件を満たす必要があります。詳細は各デバイス データシート内の「電气的特性」を参照してください。POR が発生すると、リセット制御 ($RCON<0>$) レジスタ内の POR ステータス (POR) ビットがセットされます。

8.3.2 ブラウンアウト リセット (BOR) とパワーアップ タイマ (PWRT)

内蔵レギュレータが備える BOR 回路は、VDD が低すぎてデバイスが正常に動作できない場合 ($V_{DD} < V_{BOR}$) にデバイスをリセットします。BOR 回路は、VDD が V_{BOR} を超えた後に遅延時間 T_{BOR} が経過するまで、デバイスをリセット状態に維持します。遅延時間 T_{BOR} により、レギュレータ出力電圧の確実な安定化を図ります。

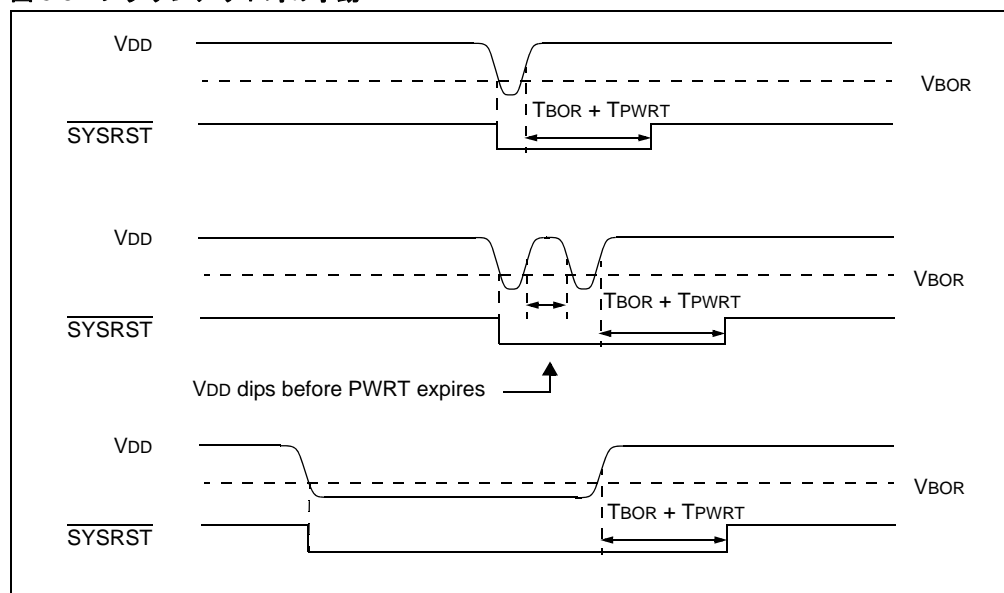
BOR が発生すると、リセット制御 ($RCON<1>$) レジスタ内の BOR ステータス (BOR) ビットがセットされます。

BOR 直後のデバイスは最速動作しません。最速動作するには VDD が許容レベルまで上昇する必要があります。PWRT は、パワーアップ タイマ遅延 (T_{PWRT}) を適用する事により、SYSRST リリース時に最速動作可能な適正電源電圧レベルを確保します。

パワーアップ タイマ遅延時間 (T_{PWRT}) は、POR コンフィグレーション ($FPOR<2:0>$) レジスタ内の POR タイマ値選択 ($FPWRT<2:0>$) ビットにより、0 ~ 128 ms の範囲で 8 段階に設定できます。詳細は dsPIC33F ファミリ リファレンス マニュアルのセクション 25.「デバイス設定」(DS70194) を参照してください。

図 8-3 にブラウンアウト リセットの代表例を示します。リセット遅延 ($T_{BOR} + T_{PWRT}$) は、VDD が V_{BOR} トリップポイントを超えるたびに毎回発生します。

図 8-3: ブラウンアウト時の挙動



8.3.3 外部リセット (EXTR)

EXTR は $\overline{\text{MCLR}}$ ピンを LOW に駆動する事により発生します。 $\overline{\text{MCLR}}$ ピンはグリッチフィルタを追加したシュミットトリガ入力です。リセットパルスが最小パルス幅よりも長ければリセットが発生します。最小パルス幅については、各デバイス データシート内の「電気的特性」を参照してください。MCLR リセットが発生すると、リセット制御 (RCON) レジスタ内の外部リセット (MCLR) ビット (EXTR) ビットがセットされます。

8.3.3.1 外部監視回路

多くのシステムは、システム内の複数デバイスに対してリセット信号を発生する外部監視回路を備えます。この外部リセット信号を $\overline{\text{MCLR}}$ ピンへ直接接続する事により、システム全体のリセット時にデバイスをリセットできます。

8.3.3.2 内部監視回路

内部電源監視回路をデバイスのリセットに使用する場合は、外部リセットピン ($\overline{\text{MCLR}}$) を直接または抵抗を介して VDD へ接続する必要があります。この場合 MCLR ピンはリセット生成用に使用しません。外部リセットピン ($\overline{\text{MCLR}}$) は内部プルアップを持たないため、未接続のままにする事はできません。

8.3.4 ソフトウェア リセット命令 (SWR)

RESET 命令を実行すると、デバイスは必ず $\overline{\text{SYSRST}}$ を生成して特殊なリセット状態になります。このリセット状態はクロックを再初期化しません。RESET 命令実行前に動作していたクロック源は動作を維持します。次の命令サイクルで $\overline{\text{SYSRST}}$ をリリースし、リセットベクタのフェッチを開始します。

ソフトウェア リセットが発生すると、リセット制御 (RCON<6>) レジスタ内のソフトウェア リセット (命令) フラグ (SWR) ビットがセットされます。

8.3.5 ウォッチドッグ タイムアウト リセット (WDTO)

ウォッチドッグ タイムアウトが発生すると、デバイスは必ず非同期で $\overline{\text{SYSRST}}$ を生成します。クロック源は変更しません。スリープまたはアイドルモード中の WDT タイムアウトは、プロセッサをウェイクアップしますがリセットしません。

ウォッチドッグ リセットが発生すると、リセット制御 (RCON<4>) レジスタ内のウォッチドッグ タイムアウト フラグ (WDTO) ビットがセットされます。ウォッチドッグ リセットの詳細は、dsPIC33F ファミリー リファレンス マニュアルのセクション 9.「ウォッチドッグ タイムと省電力モード」(DS70196) を参照してください。

8.3.6 トラップ衝突リセット

トラップ処理中に、これより優先度の低いハードトラップが発生すると、ハードトラップ衝突リセットが発生します。ハードトラップは優先度 13 ~ 15 の例外を含みます。アドレスエラー (優先度 13) とオシレータエラー (同 14) はこれに該当します。

トラップ衝突リセットが発生すると、リセット制御 (RCON<15>) レジスタ内のトラップリセット フラグ (TRAPR) ビットがセットされます。トラップ衝突リセットの詳細は、dsPIC33F ファミリー リファレンス マニュアルのセクション 6.「割り込み」(DS70184) を参照してください。

8.3.7 コンフィグレーション不整合リセット

周辺モジュール用ピン選択モード制御レジスタの整合性を維持するために、ハードウェア内のシャドーレジスタを使用してそれらを常時監視します。いずれかのレジスタに予期せぬ変更が発生した場合、コンフィグレーション不整合リセットが発生します (例: ESD 等の外的要因によって生じる電池電源ノイズ等)。

コンフィグレーション不整合リセットが発生すると、リセット制御 (RCON<9>) レジスタ内のコンフィグレーション不整合フラグ (CM) ビットがセットされます。コンフィグレーション不整合リセットの詳細は、dsPIC33F ファミリー リファレンス マニュアルのセクション 30.「周辺モジュール用ピン選択モードを備えた I/O ポート」(DS70190) を参照してください。

Note: 一部のデバイスではコンフィグレーション不整合機能とこれに関連するリセットフラグを利用できません。詳細は各デバイスのデータシートを参照してください。

8.3.8 不正条件デバイスリセット

不正条件デバイス リセットは下記の要因により発生します。

- 不正オペコード リセット
- 未初期化ワーキング レジスタリセット
- セキュリティ リセット

不正条件デバイスリセットが発生すると、リセット制御 (RCON<14>) レジスタ内の不正オペコードまたは未初期化ワーキング レジスタ アクセス リセットフラグ (IOPUWR) ビットがセットされます。

8.3.8.1 不正オペコード リセット

デバイスがプログラムメモリからフェッチした不正オペコードを実行すると、デバイスリセットが発生します。

不正オペコードリセット機能は、デバイスがプログラムメモリの定数データ格納セクションを実行する事を防ぎます。不正オペコード リセットを有効に利用するには、各プログラムメモリセクションの下位 16 ビットだけを使用してデータ値を保存する必要があります。上位 8 ビットには、不正オペコード値である 0x3F を書き込む必要があります。

8.3.8.2 未初期化ワーキングレジスタリセット

初期化していないワーキング レジスタをアドレスポインタとして動作させると、デバイスリセットが発生します。ワーキング レジスタ配列 (W15 を除く) は全てのリセット発生時にクリアされます。その後書き込みを行うまで、そのワーキング レジスタは未初期化状態とみなされます。

8.3.8.3 セキュリティ リセット

プログラムフロー変更 (PFC) またはベクタフロー変更 (VFC) が保護セグメント (ブートおよびセキュア セグメント) 内の変更制限位置を対象とする場合、その動作はセキュリティ リセットを発生させます。

プログラム カウンタ (PC) が分岐命令 (Call、Jump、Computed Jump、Return、サブルーチンからの戻り、その他) の結果としてリロードされると、PFC が発生します。PC が割り込みまたはトラップベクタを使用してリロードされると、VFC が発生します。セキュリティ リセットの詳細は dsPIC33F ファミリ リファレンス マニュアルのセクション 23.「CodeGuard™ セキュリティ」(DS70199) を参照してください。

8.4 RCON ステータスビットの使用方法

ユーザ アプリケーションは、デバイスリセット後にリセット制御 (RCON) レジスタを読み出す事により、リセットの原因を特定できます。

Note: 次回のデバイスリセットに備えて、RCON レジスタ内のステータスビットは読み出し後にクリアする必要があります。

表 8-2 にリセット フラグビット動作の概要を示します。

表 8-2: リセット フラグビットの動作

フラグビット	ビットをセットするイベント	ビットをクリアするイベント
TRAPR (RCON<15>)	トラップ衝突イベント	POR、BOR
IOPWR (RCON<14>)	不正オペコード、 未初期化ワーキング レジスタ アクセス、 セキュリティ リセット	POR、BOR
CM (RCON<9>)	コンフィグレーション不整合	POR、BOR
EXTR (RCON<7>)	MCLR リセット	POR
SWR (RCON<6>)	RESET 命令	POR、BOR
WDTO (RCON<4>)	WDT タイムアウト	PWRSV 命令、 CLRWD 命令、POR、BOR
SLEEP (RCON<3>)	PWRSV #SLEEP 命令	POR、BOR
IDLE (RCON<2>)	PWRSV #IDLE 命令	POR、BOR
BOR (RCON<1>)	POR、BOR	—
POR (RCON<0>)	POR	—

Note: 全てのリセット フラグビットはユーザ ソフトウェアによりセット / クリアできます。

8.5 デバイス起動時の処理タイミング

水晶振動子をシステムクロックとして使用する場合のデバイス起動タイミングを図 8-4 に示します。パワーアップ タイマ (PWRT) は、BOR 後にユーザ アプリケーションが選択したパワーアップ タイマ遅延時間 (TPWRT) に従って、VDD が許容レベルに確実に達するまでデバイスをリセット状態に維持します。

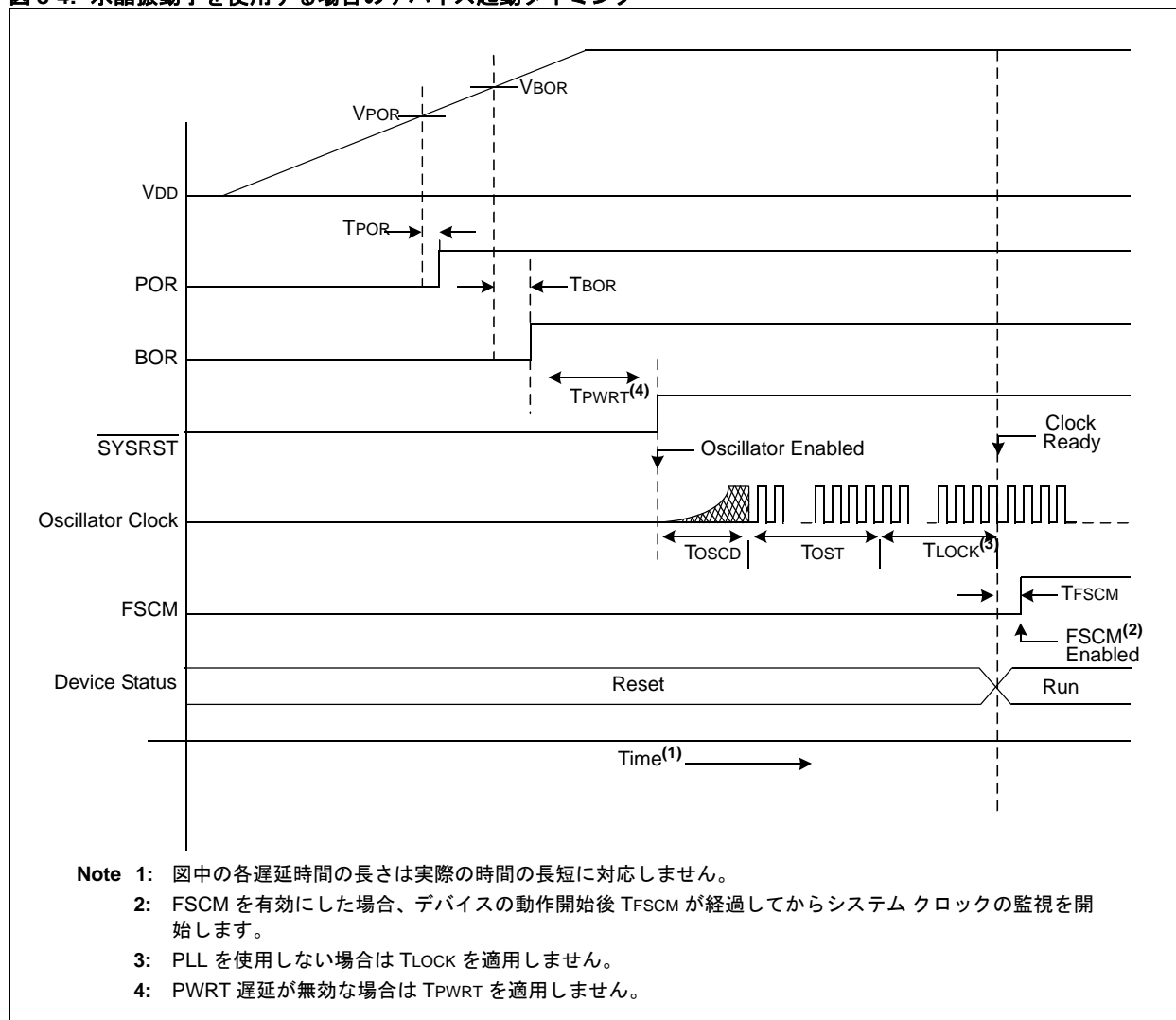
水晶振動子は $\overline{\text{SYSRST}}$ のリリース後に起動します。その後水晶振動子が発振を開始するまでに一定の時間を要します。この遅延時間を T_{OSCD} と表記します。

水晶またはセラミック振動子の確実な安定化を図るために、単純な 10 ビットカウンタを使用して 1024 サイクルのオシレータ クロックをカウントした後に、オシレータ クロックの供給を開始します。この遅延時間を T_{OST} と表記します。10 MHz 水晶振動子を使用する場合の T_{OST} は 102.4 μs です。

PLL 併用プライマリ オシレータを使用する場合は、PLL のロックを待機するために追加の遅延時間が必要です。クロックが使用可能状態になった後に、デバイスが実行を開始します。

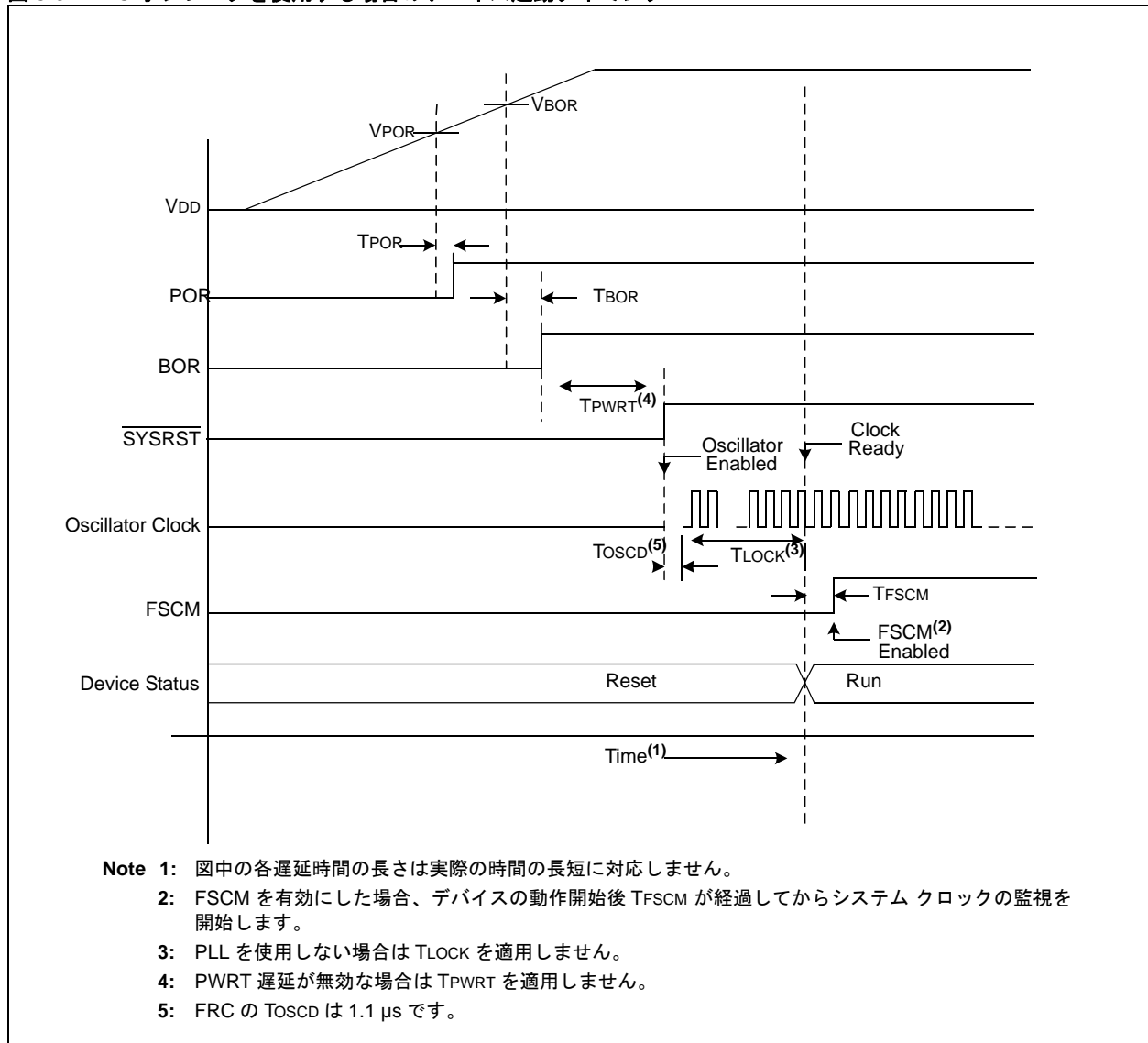
フェイルセーフ クロックモニタ (FSCM) を有効にすると、システムクロックが使用可能状態になった後に、遅延時間 T_{FSCM} が経過してからシステムクロック動作の監視を開始します。

図 8-4: 水晶振動子を使用する場合のデバイス起動タイミング



FRC オシレータをシステムクロックとして使用する場合のデバイス起動タイミングを図 8-5 に示します。FRC オシレータの起動遅延 (TOSCD) は極めて短いため、オシレータ起動時間 (TOST) は不要です。

図 8-5: FRC オシレータを使用する場合のデバイス起動タイミング



8.6 特殊機能レジスタのリセット状態

dsPIC33F の CPU および周辺モジュールに関連する特殊機能レジスタ (SFR) の大部分は、デバイスリセット時に特定の値へリセットされます。SFR は、周辺モジュールまたは CPU 機能に応じて分類されており、それらのリセット値は dsPIC33F ファミリ リファレンス マニュアルの関連セクションに記載しています。

後述の 2 つのレジスタを除き、SFR のリセット値はリセットのタイプによって変化しません。リセット制御レジスタ (RCON) のリセット値は、デバイスリセットのタイプによって変化します。オシレータ制御レジスタ (OSCCON) のリセット値は、リセットのタイプと FOSC デバイス コンフィグレーション レジスタ内のオシレータ コンフィグレーション ビットの設定値によって変化します。

8.7 レジスタマップ

表 8-3 に、RCON 制御レジスタにおけるビット割り当てを示します。

表 8-3: リセット制御レジスタマップ

SFR 名	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	全リセット
RCON	TRAPR	IOPUWR	—	—	—	—	CM	VREGS	EXTR	SWR	SWDTEN	WDTO	SLEEP	IDLE	BOR	POR	0003

凡例： — = 未実装、「0」として読み出し。リセット値は 16 進表記です。

8.8 設計のヒント

質問 1: RCON レジスタはどのように使用するのですか。

回答: デバイスリセット後の初期化コードでは、RCON レジスタを読み出してリセット要因を確認する必要があります。アプリケーションによっては、この情報に基づいてリセットの原因となった問題を修正します。RCON レジスタ内の全てのリセット ステータスビットは、読み出し後にリセットする必要があります。これにより、次のデバイスリセット時も RCON から正しい情報を得る事ができます。

質問 2: BOR モジュールのトリップポイントを設定できませんが、設定が必要な場合どのように対処できますか。

回答: BOR 回路はデバイスの V/F 仕様の違反を防ぐために使用します。多くのデバイスは、最速動作時に dsPIC33F よりも大幅に高い最小電圧を必要とします。そのようなデバイスでは、複数の動作速度をサポートするために、プログラマブルな BOR 回路が必要です。これらのデバイスに比べて、dsPIC33F デバイスは非常に低い電圧で最速動作をサポートするため、シンプルな BOR モジュールで十分です。デバイス動作電圧が最速動作に対応できないレベルまで低下すると、BOR を生成します。デバイスが非 BOR 状態であれば、最速動作が可能です。

質問 3: ワーキング レジスタを 16 ビットアドレスで初期化しましたが、このレジスタをアドレスとして使用するとデバイスリセットが発生します。

回答: 全てのデータアドレス値は 16 ビットであるため、ワーキングレジスタに 1 ワードで書き込むと、未初期化ワーキング レジスタ ロジックはそのレジスタが正しく初期化されたものと認識します。2 バイトでのワーキングレジスタへの書き込みは、たとえ連続で書いたとしても正常書き込みとみなされないため、そのワーキングレジスタをポインタとして実行するとデバイスリセットが発生します。

8.9 関連アプリケーション ノート

本セクションに関連するアプリケーション ノートの一覧を下に記載します。一部のアプリケーション ノートは dsPIC33F ファミリ向けではありません。ただし概念は共通しており、変更が必要であったり制限事項が存在するものの利用が可能です。リセット モジュールに関連する最新のアプリケーション ノートは以下の通りです。

タイトル	アプリケーション ノート番号
電源投入に関するトラブルシューティング	AN607
電源投入に関する注意点	AN522

Note: dsPIC33F デバイス ファミリ向けのアプリケーション ノートとサンプルコードはマイクロチップ社のウェブサイト (www.microchip.com) でご覧になれます。

8.10 改訂履歴

リビジョン A (2007 年 2 月)

本書の初版

リビジョン B (2007 年 2 月)

本書全体の小規模な更新

リビジョン C (2009 年 7 月)

このリビジョンでの変更内容は次の通りです。

- セクション
 - 8.2「制御レジスタ」を新たに追加
 - 8.7「レジスタマップ」を新たに追加
- テーブル
 - 表 8-2: リセット特性を 8.3「システム リセット」から削除
 - 8.7「レジスタマップ」に表 8-3 を追加
- 上記に加えて、表現および体裁の変更等、本書全体の細部を修正

ISBN: 978-1-60932-503-9