

## セクション 6. 割り込み

### ハイライト

本セクションには下記の主要項目を記載しています。

6.1	はじめに.....	6-2
6.2	ノンマスカブル トラップ .....	6-7
6.3	割り込み処理タイミング .....	6-13
6.4	割り込み制御およびステータス レジスタ .....	6-16
6.5	割り込みのセットアップ手順 .....	6-59
6.6	設計のヒント .....	6-64
6.7	関連アプリケーション ノート .....	6-65
6.8	改訂履歴.....	6-66

## 6.1 はじめに

dsPIC33F 割り込みコントローラ モジュールは、多数の周辺モジュールの割り込みリクエスト信号を、dsPIC33F CPU への 1 つの割り込み要求信号へ集約します。

- 最大 8 つのプロセッサ例外とソフトウェア トラップ
- ユーザ選択可能な 7 段階の優先度
- 最大 126 ベクタの割り込みベクタテーブル (IVT)
- 割り込みまたは例外要因の各々に一意のベクタを割り当て
- 同一ユーザ指定優先度を持つ要因間の優先順位は自然順序優先度に従う
- デバッグをサポートする代替割り込みベクタテーブル (AIVT)
- 一定の割り込みエントリとリターン レイテンシ

### 6.1.1 割り込みベクタテーブル

図 6-1 に示すように、割り込みベクタテーブル (IVT) はプログラムメモリ内の 0x000004 から始まります。IVT は最大 126 ベクタを格納し、そのうちの 8 ベクタがノンマスカブル トラップ ベクタ用で、残りの最大 118 ベクタを割り込み要因用として使用できます。一般的に、各割り込み要因はそれぞれに固有のベクタを持ちます。各割り込みベクタは 24 ビット幅のアドレスを格納します。各割り込みベクタ位置へ書き込まれた値は、対応する割り込みサービスルーチン (ISR) の開始アドレスを指します。

### 6.1.2 代替割り込みベクタ

代替割り込みベクタテーブル (AIVT) は IVT の直後に配置されます (図 6-1 参照)。AIVT へアクセスするには、割り込み制御レジスタ 2 (INTCON2<15>) 内のイネーブル代替割り込みベクタテーブル (ALTIVT) 制御ビットを使用します。このビットをセットすると、全ての割り込みおよび例外処理は既定値ベクタのかわりに代替ベクタを使用します。代替ベクタは既定値ベクタと同様に配置されます。

AIVT は、割り込みベクタを書き換えずにアプリケーションとサポート環境間の切り換えを可能にする事によって、エミュレーションとデバッグをサポートします。この機能を使用すると、実行中にアプリケーションを切り換えて、複数の異なるソフトウェア アルゴリズムを評価する事もできます。AIVT を使用しない場合、IVT で使用するアドレスと同じアドレスを AIVT へ書き込む必要があります。

### 6.1.3 リセット シーケンス

例外コントローラはリセット処理には関与しないため、デバイスリセットは厳密には例外処理ではありません。dsPIC33F は、リセット時にレジスタをクリアしてプログラム カウンタ (PC) を強制的にゼロに設定した後に、0x000000 からプログラムの実行を開始します。ユーザは、このリセットアドレスに GOTO 命令を書き込む事によって、プログラムの実行を適当な起動ルーチンへリダイレクトできます。

**Note:** IVT および AIVT 内の未実装または未使用ベクタ位置には、RESET 命令を実行する既定値割り込みハンドラルーチンのアドレスを書き込む必要があります。

図 6-1: 割り込みベクタテーブル

リセット-GOTO 命令	0x000000
リセット-GOTO アドレス	0x000002
予約	0x000004
オシレータ障害トラップベクタ	0x000006
アドレスエラー トラップベクタ	0x000008
スタックエラー トラップベクタ	0x00000A
算術エラー トラップベクタ	0x00000C
DMAC エラー トラップベクタ	0x00000E
予約	0x000010
予約	0x000012
割り込みベクタ 0	0x000014
割り込みベクタ 1	0x000016
:	:
:	:
:	:
割り込みベクタ 52	0x00007C
割り込みベクタ 53	0x00007E
割り込みベクタ 54	0x000080
:	:
:	:
:	:
割り込みベクタ 116	0x0000FC
割り込みベクタ 117	0x0000FE
予約	0x000100
予約	0x000102
予約	0x000104
オシレータ障害トラップベクタ	0x000106
アドレスエラー トラップベクタ	0x000108
スタックエラー トラップベクタ	0x00010A
算術エラー トラップベクタ	0x00010C
DMAC エラー トラップベクタ	0x00010E
予約	0x000110
予約	0x000112
割り込みベクタ 0	0x000114
割り込みベクタ 1	0x000116
:	:
:	:
:	:
割り込みベクタ 52	0x00017C
割り込みベクタ 53	0x00017E
割り込みベクタ 54	0x000180
:	:
:	:
:	:
割り込みベクタ 116	0x0001FC
割り込みベクタ 117	0x0001FE
コードの先頭	0x000200

IVT

AIVT

テーブルの下ほど自然順序優先度が低い

割り込みベクタの詳細は表 6-1 参照

表 6-1: 割り込みベクタの詳細

IRQ #	IVT アドレス	AIVT アドレス	割り込み要因
最高自然順序優先度			
0	0x000004	0x000084	予約
1	0x000006	0x000086	オシレータ障害
2	0x000008	0x000088	アドレスエラー
3	0x00000A	0x00008A	スタックエラー
4	0x00000C	0x00008C	算術エラー
5	0x00000E	0x00008E	DMAC エラー
6	0x000010	0x000091	予約
7	0x000012	0x000092	予約
8	0x000014	0x000114	INT0 – 外部割り込み 0
9	0x000016	0x000116	IC1 – 入力コンペア 1
10	0x000018	0x000118	OC1 – 出力コンペア 1
11	0x00001A	0x00011A	T1 – Timer1
12	0x00001C	0x00011C	DMA0 – DMA チャンネル 0
13	0x00001E	0x00011E	IC2 – 入力コンペア 2
14	0x000020	0x000120	OC2 – 出力コンペア 2
15	0x000022	0x000122	T2 – Timer2
16	0x000024	0x000124	T3 – Timer3
17	0x000026	0x000126	SPI1E – SPI1 フォルト
18	0x000028	0x000128	SPI1 – SPI1 転送完了
19	0x00002A	0x00012A	U1RX – UART1 受信
20	0x00002C	0x00012C	U1TX – UART1 送信
21	0x00002E	0x00012E	AD1 – ADC1 変換完了
22	0x000030	0x000130	DMA1 – DMA チャンネル 1
23	0x000032	0x000132	予約
24	0x000034	0x000134	SI2C1 – I <sup>2</sup> C1 スレーブイベント
25	0x000036	0x000136	MI2C1 – I <sup>2</sup> C1 マスタイベント
26	0x000038	0x000138	予約
27	0x00003A	0x00013A	CN – 入力状態変化割り込み
28	0x00003C	0x00013C	INT1 – 外部割り込み 1
29	0x00003E	0x00013E	AD2 – ADC2 変換完了
30	0x000040	0x000140	IC7 – 入力キャプチャ 7
31	0x000042	0x000142	IC8 – 入力キャプチャ 8
32	0x000044	0x000144	DMA2 – DMA チャンネル 2
33	0x000046	0x000146	OC3 – 出力コンペア 3
34	0x000048	0x000148	OC4 – 出力コンペア 4
35	0x00004A	0x00014A	T4 – Timer4
36	0x00004C	0x00014C	T5 – Timer5
37	0x00004E	0x00014E	INT2 – 外部割り込み 2
38	0x000050	0x000150	U2RX – UART2 受信
39	0x000052	0x000152	U2TX – UART2 送信
40	0x000054	0x000154	SPI2E – SPI2 フォルト
41	0x000056	0x000156	SPI2 – SPI2 転送完了
42	0x000058	0x000158	C1RX – CAN1 RX データレディー
43	0x00005A	0x00015A	C1 – CAN1 イベント
44	0x00005C	0x00015C	DMA3 – DMA チャンネル 3
45	0x00005E	0x00015E	IC3 – 入力キャプチャ 3
46	0x000060	0x000160	IC4 – 入力キャプチャ 4
47	0x000062	0x000162	IC5 – 入力キャプチャ 5
48	0x000064	0x000164	IC6 – 入力キャプチャ 6
49	0x000066	0x000166	OC5 – 出力コンペア 5
50	0x000068	0x000168	OC6 – 出力コンペア 6
51	0x00006A	0x00016A	OC7 – 出力コンペア 7

表 6-1: 割り込みベクタの詳細 ( 続き )

IRQ #	IVT アドレス	AIVT アドレス	割り込み要因
52	0x00006C	0x00016C	OC8 – 出力コンペア 8
53	0x00006E	0x00016E	予約
54	0x000070	0x000170	DMA4 – DMA チャンネル 4
55	0x000072	0x000172	T6 – Timer6
56	0x000074	0x000174	T7 – Timer7
57	0x000076	0x000176	I2C2S – I <sup>2</sup> C2 スレーブイベント
58	0x000078	0x000178	I2C2M – I <sup>2</sup> C2 マスタイベント
59	0x00007A	0x00017A	T8 – Timer8
60	0x00007C	0x00017C	T9 – Timer9
61	0x00007E	0x00017E	INT3 – 外部割り込み 3
62	0x000080	0x000180	INT4 – 外部割り込み 4
63	0x000082	0x000182	C2RX – CAN2 RX データレディー
64	0x000084	0x000184	C2 – CAN2 イベント
65	0x000086	0x000186	PWM – PWM 周期一致
66	0x000088	0x000188	QE1 – QE1 位置カウンタ コンペア チャンネル
67	0x00008A	0x00018A	DCIE – DCI フォルト割り込み
68	0x00008C	0x00018C	DCI – DCI 転送完了
69	0x00008E	0x00018E	DMA5 – DMA チャンネル 5
70	0x000090	0x000190	予約
71	0x000092	0x000192	FLTA – MPWM フォルト A
72	0x000094	0x000194	FLTB – MPWM フォルト B
73	0x000096	0x000196	U1E – UART1 エラー割り込み
74	0x000098	0x000198	U2E – UART2 エラー割り込み
75	0x00009A	0x00019A	予約
76	0x00009C	0x00019C	DMA6 – DMA チャンネル 6
77	0x00009E	0x00019E	DMA7 – DMA チャンネル 7
78	0x0000A0	0x0001A0	C1TX – CAN1 TX データ要求
79	0x0000A2	0x0001A2	C2TX – CAN2 TX データ要求
80	0x0000A4	0x0001A4	予約
81	0x0000A6	0x0001A6	予約
82	0x0000A8	0x0001A8	予約
83-124	0x0000AA-0x0000FC	0x0001AA-0x0001FC	予約
125	0x0000FE	0x0001FE	予約
最低自然順序優先度			

## 6.1.4 CPU 優先度ステータス

CPU は 16 段階の優先度 (0 ~ 15) で動作できます。割り込みまたはトラップ要因の優先度がその時点の CPU 優先度より高い場合にのみ、例外処理が起動します。周辺モジュール割り込み要因と外部割り込み要因は、優先度 0 ~ 7 に設定できます。CPU 優先度 8 ~ 15 は、トラップ要因向けに予約されています。

トラップとは、ハードウェアおよびソフトウェア問題の検出を目的とするノンマスカブル割り込み要因です (6.2「ノンマスカブルトラップ」参照)。各トラップ要因の優先度は固定されており、1 つの優先度には 1 つのトラップだけが割り当てられます。優先度 0 に設定された割り込み要因は、CPU 優先度よりも高くなる事がないため、実質的に無効化されます。

CPU の現在の優先度は、下記のステータスビットにより示されます。

- CPU ステータス レジスタ (SR<7:5>) 内の CPU 割り込み優先度 (IPL<2:0>) ステータスビット
- コア制御 (CORCON<3>) レジスタ内の CPU 割り込み優先度 3 (IPL3) ステータスビット

IPL<2:0> ステータスビットは読み書き可能です。従ってユーザアプリケーションは、これらのビットで CPU 優先度を設定する事によって、その優先度以下の全ての割り込み要因を無効にできます。例えば IPL<2:0> = 3 に設定した場合、優先度 0 ~ 3 の全ての要因は、CPU に対して割り込む事はできません。

トラップイベントは、全てのユーザ割り込み要因よりも高い優先度を持ちます。トラップイベント実行中は、IPL3 ビットがセットされます。ユーザアプリケーションは IPL3 ビットをクリアできますが、セットする事はできません。アプリケーションによっては、トラップ発生時に、トラップの原因となった命令の直後の命令とは異なる命令へ分岐させるために、IPL3 ビットをクリアする必要があります。IPL<2:0> を 111 に設定する事により、全てのユーザ割り込みを無効にできます。

**Note:** ただし、割り込みのネスティングを無効にした場合には、IPL<2:0> ビットは読み出し専用となります。詳細は 6.2.4.2「割り込みのネスティング」を参照してください。

## 6.1.5 割り込み優先度

各周辺モジュール割り込み要因には、7 段階の優先度を割り当てる事ができます。ユーザは、IPCx レジスタ内の各ニブルの下位 3 ビットを使用して、各割り込みに優先度を割り当てる事ができます。この場合各ニブルのビット 3 は常に「0」として読み出されます。これらのビットは割り込みの優先度を定義します。割り当て可能な優先度は 1 (最低優先度) ~ 7 です。ある割り込みに対応する IPC ビットを全てクリアすると、その割り込みは実質的に無効化されます (優先度 0)。

**Note:** 実行中に割り込み優先度の設定を変更する場合、アプリケーション プログラムはその間の割り込みを無効にする必要があります。割り込みを無効にしないと予期せぬ結果が生じる可能性があります。

複数の割り込み要因に対して同一の優先度を割り当てる事ができます。同一ユーザ割り当て優先度を持つ複数割り込み間の競合を解消するために、各要因には IVT 内の並び順に基づく自然順序優先度が割り当てられています。表 6-1 に IVT 内の各割り込み要因の配置を示します。番号が若い割り込みベクタほど高い自然順序優先度を持ちます。保留中の割り込み要因の優先度は、まずユーザが割り当てた IPCx レジスタ内の優先度に従い、これが同一である場合には IVT 内の自然順序優先度に従います。

自然順序優先度は、同一のユーザ割り当て優先度を持つ複数の割り込みが同時に保留状態にある場合にのみ、それらの競合を回避するために使用されます。優先度の競合が解消して例外処理が開始された後では、これより高いユーザ割り当て優先度を持つ割り込み要因だけが CPU に対して割り込む事ができます。すなわち、例外処理実行中に、同一ユーザ割り当て優先度を持ち自然順序優先度がより高い割り込みが新たに要求されても、それらは実行中の例外処理が完了するまで全て保留されます。各例外要因に対して 7 以下のユーザ割り当て優先度を設定する事により、自然順序優先度の低い割り込みに非常に高い総合優先度を持たせる事ができます。例えば、自然優先度が低い UART1 Rx 割り込みに優先度 7 を設定し、逆に自然順序優先度が高い外部割り込み (INT0) に優先度 1 を設定する事ができます。

**Note:** dsPIC33F の IVT に含まれる周辺モジュールと割り込み要因はデバイスごとに異なります。本書には、dsPIC33F ファミリの全デバイスを包括した全ての割り込み要因を記載しています。詳細は各デバイスのデータシートを参照してください。

## 6.2 ノンマスカブル トラップ

トラップはノンマスカブルでネスト可能な割り込みです。トラップの優先度は固定されています。トラップを使用すると、アプリケーションのデバッグ / 動作中に異常動作を修正できます。ユーザ アプリケーションにおいて、トラップエラー発生時にトラップ条件の修正処理を実行させたくない場合、トラップベクタヘデバイスリセット用ソフトウェア ルーチンのアドレスを書き込む必要があります。そうでない場合は、ユーザ アプリケーションで、トラップ条件修正用サービス ルーチンへのアドレスをトラップベクタへ書き込む必要があります。

dsPIC33F は下記のノンマスカブル トラップ要因を実装しています。

- オシレータ障害トラップ
- スタックエラー トラップ
- アドレスエラー トラップ
- 算術エラートラップ
- DMAC エラートラップ

多くのトラップ条件では、トラップを引き起こした命令の実行が完了してから例外処理を開始します。従って、ユーザ アプリケーションはトラップが発生した命令の動作を修正しなければならない場合があります。

各トラップ要因の優先度は IVT 内の位置によって決まります (固定)。オシレータ障害トラップが最高の優先度を持ち、DMA コントローラ (DMAC) エラートラップが最低の優先度を持ちます (図 6-1 参照)。さらに、トラップ要因はソフトトラップとハードトラップに分類されます。

### 6.2.1 ソフトトラップ

DMAC エラートラップ (優先度 10)、算術エラートラップ (同 11)、スタックエラー トラップ (同 12) はソフトトラップに分類されます。ソフトトラップは、IVT 内の位置によって優先度が決まるノンマスカブル割り込み要因と同様に扱うことができます。ソフトトラップは割り込みと同様に処理され、例外処理の前に検出と認識のために 2 サイクルを要します。このため、ソフトトラップが認識される前に別の命令が実行される可能性があります。

#### 6.2.1.1 スタックエラー トラップ (ソフトトラップ、優先度 12)

スタックはリセット時に 0x0800 へ初期化されます。スタックポインタのアドレスが 0x0800 より低いと、スタックエラー トラップが発生します。

スタックポインタに関連付けられたスタックリミット (SPLIM) レジスタは、リセット時に初期化されません。このため、SPLIM レジスタへ 1 ワードが書き込まれるまで、スタック オーバーフロー チェックは有効になりません。

W15 を用いてソースまたはデスティネーション ポインタとして生成された全ての有効アドレス (EA) は、SPLIM レジスタ内の値と比較されます。有効アドレスの方が大きいと、スタックエラー トラップが発生します。また、有効アドレスの計算がデータ領域の終端 (0xFFFF) を超えた場合にも、スタックエラー トラップが発生します。

スタックエラーは、スタックエラー トラップ (STKERR) ステータスビット (INTCON1<2>) をポーリングする事により、ソフトウェア内で検出できます。トラップサービス ルーチンの再実行を避けるために、RETFIE 命令によってプログラムがトラップから戻る前に、ソフトウェア内で STKERR ステータスフラグをクリアする必要があります。

## 6.2.1.2 算術エラー トラップ (ソフトトラップ、優先度 11)

下記のイベントは算術エラーを発生します。

- アキュムレータ A のオーバーフロー
- アキュムレータ B のオーバーフロー
- アキュムレータの致命的オーバーフロー
- ゼロ除算
- $\pm 16$  ビットを超えるアキュムレータ シフト (SFTAC) 動作

INTCON1 レジスタ内の下記 3 ビットの設定により、3 タイプのアキュムレータ オーバーフロー トラップを有効にできます。

- アキュムレータ A オーバーフロー トラップフラグ (OVATE) 制御ビット (INTCON1<10>) は、アキュムレータ A のオーバーフロー イベントに対するトラップを有効にします。
- アキュムレータ B オーバーフロー トラップフラグ (OVBTE) 制御ビット (INTCON1<9>) は、アキュムレータ B のオーバーフロー イベントに対するトラップを有効にします。
- 致命的オーバーフロー トラップ イネーブル (COVTE) 制御ビット (INTCON1<8>) は、いずれかのアキュムレータで致命的オーバーフローが発生した場合のトラップを有効にします。これらのトラップが検出されると、INTCON1 レジスタ内の下記の ERROR ビットがセットされます。
  - アキュムレータ A のオーバーフロー トラップフラグ (OVAERR)
  - アキュムレータ B のオーバーフロー トラップフラグ (OVBERR)
  - アキュムレータ A の致命的オーバーフロー トラップ イネーブル (COVAERR)
  - アキュムレータ B の致命的オーバーフロー トラップ イネーブル (COVBERR)

アキュムレータ A (B) オーバーフローとは、アキュムレータ A (B) でビット 31 からの桁上げが発生した事を意味します。31 ビット飽和モードを有効にしたアキュムレータでは、オーバーフローは発生しません。致命的オーバーフローとは、いずれかのアキュムレータでビット 39 からの桁上げが発生した事を意味します。アキュムレータ飽和 (ビット 31 または 39) を有効にした場合には、致命的オーバーフローは発生しません。

ゼロ除算トラップを無効にする事はできません。ゼロ除算は、除算命令を実行する REPEAT ループの初回実行時にチェックされます。ゼロ除算が検出されると、算術エラーステータス (DIV0ERR) ビット (INTCON1<6>) がセットされます。

アキュムレータ シフトトラップを無効にする事はできません。SFTAC 命令を使用すると、リテラル値またはいずれかのワーキング レジスタ内の値を用いてアキュムレータをシフトできます。シフト値が  $\pm 16$  ビットを超えると算術エラーがトラップが発生し、アキュムレータ シフトエラー ステータス (SFTACERR) ビット (INTCON1<7>) がセットされます。この場合 SFTAC 命令は実行されますが、シフト結果はアキュムレータへ書き込まれません。

算術エラーをトラップは、算術エラーステータス (MATHERR) ビット (INTCON1<4>) をポーリングする事により、ソフトウェア内で検出できます。トラップサービス ルーチンの再実行を避けるために、RETFIE 命令によってプログラムがトラップから戻る前に、ソフトウェア内で MATHERR ステータスフラグをクリアする必要があります。MATHERR ステータスビットをクリアする前に、トラップの発生原因となった全ての条件をクリアする必要があります。アキュムレータ オーバーフローによるトラップが発生した場合には、アキュムレータ オーバーフロー (OA または OB) ステータスビット (SR<15:14>) をクリアする必要があります。OA および OB ステータスビットは読み出し専用です。従ってユーザ ソフトウェアは、これらをクリアするために、オーバーフローが発生したアキュムレータ上でダミー演算 (0 加算等) を実行する必要があります。これにより、ハードウェアが OA または OB ステータスビットをクリアします。

## 6.2.1.3 DMAC エラー トラップ (ソフトトラップ、優先度 10)

DMAC エラーをトラップは下記の条件で発生します。

- RAM 書き込み衝突
- DMA 対応周辺モジュールの RAM 書き込み衝突

書き込み衝突エラーは、ノンマスカブル CPU トラップイベントを保証するためのシステム整合性に重大な影響を及ぼします。CPU と DAM チャンネルが同時に同一アドレスへの書き込みを試みた場合には、CPU が優先されます (DMA 書き込みは無視)。この場合 DMAC エラーをトラップが発生し、DMAC エラーステータス (DMACERR) ビット (INTCON1<5>) がセットされます。



## 6.2.2 ハードトラップ

ハードトラップは優先度 13 ~ 15 の例外を含みます。アドレスエラー (優先度 13) とオシレータエラー (同 14) はハードトラップに分類されます。

ソフトトラップと同様に、ハードトラップもノンマスカブル割り込み要因です。ただしソフトトラップとは異なり、ハードトラップはトラップを発生した命令の実行後に、CPU のコード実行を強制的に停止します。正常なプログラム実行フローは、トラップが認識され処理されるまで再開されません。

### 6.2.2.1 ハードトラップの優先度と競合

トラップ処理中に優先度の高いトラップが発生すると、処理中のトラップは中断され、高優先度のトラップが認識 / 処理されます。中断されたトラップは、高優先度のトラップが終了するまで保留されます。

どのようなタイプのコード実行であっても、発生した各ハードトラップが認識 / 処理されるまで再開する事はできません。あるハードトラップが保留中 / 認識済み / 実行中のいずれかである時に、これよりも低い優先度のハードトラップが発生した場合、高優先度トラップの処理が完了するまで低優先度トラップを認識する事ができないため、ハードトラップの競合が発生します。

ハードトラップ競合条件では、デバイスが自動的にリセットされます。リセットが発生すると、リセット制御レジスタ (リセットモジュール内の RCON<15>) 内のトラップリセット フラグ (TRAPR) ステータスビットがセットされるため、ソフトウェア内で検出可能です。

### 6.2.2.2 オシレータ障害トラップ (ハードトラップ、優先度 14)

オシレータ障害トラップイベントは下記条件により発生します。

- フェイルセーフ クロックモニタ (FSCM) 有効時に、システムクロック源の喪失を検出した場合
- PLL を用いた動作中に PLL ロックの喪失を検出した場合
- FSCM 有効時に、PLL がパワーオン リセット (POR) 時のロックに失敗した場合

オシレータ障害トラップイベントは、オシレータ障害トラップ (OSCFail) ステータスビット (INTCON1<1>) またはクロック障害 (CF) ステータスビット (オシレータ モジュール内の OSCCON<3>) をポーリングする事により、ソフトウェア内で検出可能です。トラップサービスルーチンの再実行を避けるために、RETFIE 命令によってプログラムがトラップから戻る前に、ソフトウェア内で OSCFail ステータスフラグをクリアする必要があります。

フェイルセーフ クロックモニタの詳細はセクション 7「オシレータ」(DS70186) とセクション 25「デバイス設定」(DS70194) を参照してください。最新文書はマイクロチップ社のウェブサイト ([www.microchip.com](http://www.microchip.com)) をご覧ください。

### 6.2.2.3 アドレスエラー トラップ (ハードトラップ、優先度 13)

アドレスエラー トラップを発生する可能性のある動作条件には下記が含まれます。

- 不正な位置のデータワード フェッチを試みた場合: このような条件は、奇数の有効アドレス (最下位ビット (LSb) が「1」) を用いてワードアクセスを行う命令を実行した場合に発生します。dsPIC33F のワードアクセスは、常に偶数アドレス境界位置を指定する必要があります。
- ビット操作命令が、奇数の有効アドレス (最下位ビット (LSb) が「1」) を用いて間接アドレッシング モードを使用した場合
- 未実装データアドレス領域からデータフェッチを試みた場合
- BRA #literal 命令または GOTO #literal 命令の literal が未実装プログラムメモリ アドレスであった場合
- プログラム カウンタ値が未実装プログラムメモリ アドレスへ変更された後に命令を実行した場合: プログラムカウンタは、値をスタックへ書き込んだ後に RETURN 命令を実行する事により変更できます。

アドレスエラー トラップが発生すると、データの破損を防ぐためにデータ領域への書き込みが禁止されます。

アドレスエラーは、ADDRERR ステータスビット (INTCON1<3>) をポーリングする事によりソフトウェア内で検出できます。トラップサービス ルーチン (TSR) の再実行を避けるために、RETFIE 命令によってプログラムがトラップから戻る前に、ソフトウェア内で ADDRERR ステータスフラグをクリアする必要があります。

**Note:** MAC クラス命令では、データ領域が X 領域と Y 領域に分割されます。このような命令では、全ての Y 領域も未実装 X 領域として扱われ、全ての X 領域も未実装 Y 領域として扱われます。

## 6.2.3 割り込み命令の無効化

DISI (割り込み無効化) 命令は、最大 16384 命令サイクル間の割り込みを無効にします。この命令は、処理時間が重視されるコードセグメントを実行する際に便利です。

DISI 命令は優先度 1～6 の割り込みを無効にします。優先度 7 の割り込みと全てのトラップイベントは、DISI 命令がアクティブであっても CPU へ割り込む事ができます。

DISI 命令は、CPU 内の割り込み無効化カウンタ (DISICNT) レジスタと連動して動作します。DISICNT レジスタが「0」以外であれば、優先度 1～6 の割り込みが無効になります。DISICNT レジスタは、命令サイクルごとに 1 つデクリメントされます。DISICNT レジスタが「0」までデクリメントされると、優先度 1～6 の割り込みが再び有効になります。DISI 命令がカウントするサイクル数 (命令コードで指定するサイクル数) には、PSV アクセスや命令ストール等により発生するサイクルも全て含まれます。

DISICNT レジスタは読み書き可能です。ユーザ アプリケーションは、DISICNT レジスタをクリアする事によって、以前に実行した DISI 命令の効果を早期に終了できます。DISICNT レジスタに対して書き込みまたは加算を行って、割り込み無効化期間を延長する事もできます。

DISICNT レジスタが既に「0」になっている場合にゼロ以外の値を書き込んでも、割り込みを無効にする事はできません。割り込み無効化の初期開始には DISI 命令を使用する必要があります。DISI 命令の実行時点から DISICNT が「0」までデクリメントされるまでの間であれば、ユーザ アプリケーションで DISINCT の値を変更して割り込み無効化期間を延長できます。

DISI 命令の効果によって割り込みが無効になると、DISI 命令 (DISI) ステータスビット (INTCON2<14>) がセットされます。

**Note:** DISI 命令を使用すると、ユーザ割り込み要因を簡単に無効化できます (ただし、それらの要因中に CPU 優先度 7 の要因が含まれていない場合)。

## 6.2.4 割り込み動作

各命令サイクルでは、全ての割り込みイベントフラグが監視されます。保留中の割り込み要求 (IRQ) は、IFSx レジスタ内のフラグビット = 1 によって示されます。IRQ は、割り込みイネーブル (IECx) レジスタ内の対応するビットがセットされると割り込みが発生します。IRQ が検出がされた命令サイクルの残りの期間中に、保留中の全ての IRQ の優先度が評価されます。

CPU が IRQ へ応答する際に実行中の命令が中断される事はありません。すなわち、IRQ が検出された時に実行中であった命令が完了してから、割り込みサービスルーチン (ISR) が実行されます。

現在のプロセッサ優先度 (IPL<2:0> ステータスビット (SR<7:5>) よりも高いユーザ割り当て優先度を持つ保留 IRQ が存在すると、プロセッサに対する割り込みが発生します。

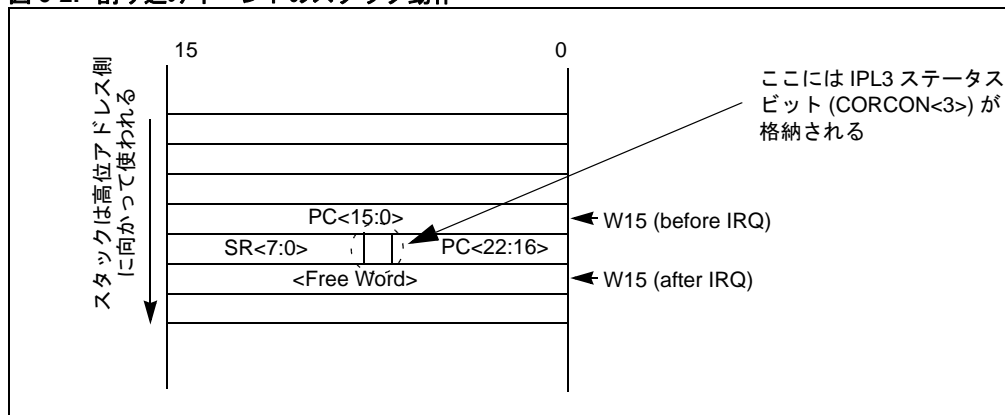
この場合プロセッサは、下記の情報をソフトウェア スタックへ保存します。

- 現在のプログラム カウンタ (PC) 値
- プロセッサ ステータス レジスタ (SRL) の下位バイト
- IPL3 ステータスビット (CORCON<3>)

これにより、戻り PC アドレス値、MCU ステータスビット、プロセッサ優先度が自動的に保存されます。

これらの情報をスタックに保存した後に、CPU はその保留割り込みの優先度を IPL<2:0> ビット位置へ書き込みます。この動作は、RETFIE 命令が ISR を終了するまでの間、その ISR の優先度以下の全ての割り込みを無効にします。

図 6-2: 割り込みイベントのスタック動作



## 6.2.4.1 割り込みからの戻り

RETFIE (割り込みからの戻り) 命令は、プロセッサを割り込みシーケンス開始前の状態と優先度へ復元するために、PC 戻りアドレス、IPL3 ステータスビット、SRL レジスタをアンスタックします。

## 6.2.4.2 割り込みのネスティング

既定値状態では割り込みのネスティングが可能です。つまり、実行中の ISR よりも高いユーザ割り当て優先度を持つ割り込み要因は、この ISR へ割り込むことができます。割り込みのネスティングは、割り込みネスティング ディスエーブル (NSTDIS) 制御ビット (INTCON1<15>) をセットする事により無効にできます。NSTDIS 制御ビットをセットすると、実行中の割り込みは常に IPL<2:0> を 111 に設定します (すなわち CPU 優先度を強制的に 7 へ設定)。この操作は、RETFIE 命令が実行中の ISR を終了するまでの間、他の割り込み要因をマスクします。割り込みネスティングを無効にした場合、ユーザ割り当て割り込み優先度は、保留割り込み間の競合を解消する以外の効果を持ちません。

また、IPL<2:0> ビット (SR<7:5>) は読み出し専用になります。これにより、ユーザ ソフトウェアが IPL<2:0> を 111 (優先度 7) より低い値へ設定してしまう事 (すなわち割り込みのネスティングを実質的に有効にしてしまう事) を回避します。

## 6.2.5 スリープおよびアイドルからのウェイクアップ

IECx レジスタ内の対応する制御ビットにより個々に有効化された割り込み要因は、プロセッサをスリープモードまたはアイドルモードからウェイクアップできます。ある要因の割り込みステータスフラグがセットされ、かつ IEC 制御レジスタ内の対応するビットによってその割り込み要因が有効にされていると、ウェイクアップ信号が dsPIC33F CPU へ送られます。デバイスがスリープまたはアイドルモードから復帰すると、次のいずれかの動作が発生します。

- 要因の割り込み優先度が現在の CPU 優先度よりも高い場合：プロセッサは割り込みを処理します (すなわち、その割り込み要因の ISR へ分岐します)。
- 要因の割り込み優先度が現在の CPU 優先度以下である場合：プロセッサは CPU をスリープまたはアイドルモードへ設定した PWRSAV 命令の直後の命令から動作を再開します。

**Note:** CPU 優先度 0 を割り当てられたユーザ割り込み要因は、スリープまたはアイドルモードから CPU をウェイクアップできません (その割り込み要因は実質的に無効化されているため)。割り込みをウェイクアップ要因として使用するには、その割り込みの CPU 優先度をプログラム内で 1 以上に設定する必要があります。

## 6.2.6 アナログ - デジタル コンバータ (ADC) の外部変換要求

INT0 外部割り込み要求ピンは、ADC 向けの外部変換要求信号ピンとしても使用します。INT0 割り込み要因と同様に、ADC 外部変換要求でもエッジ極性を選択可能です。

## 6.2.7 外部割り込みサポート

dsPIC33F は最大 5 つの外部割り込みピン要因 (INT0 ~ INT4) をサポートします。各外部割り込みピンは、割り込みイベント検出用のエッジ検出回路を備えます。INTCON2 レジスタは、各エッジ検出回路の極性を選択するための 5 つの制御ビット (INT0EP ~ INT4EP) を備えます。これらのビットにより、各外部割り込みピンの極性（立ち上がり / 立ち下がりのどちらのエッジで CPU へ割り込むか）を個別に設定します。詳細はレジスタ 6-4 を参照してください。

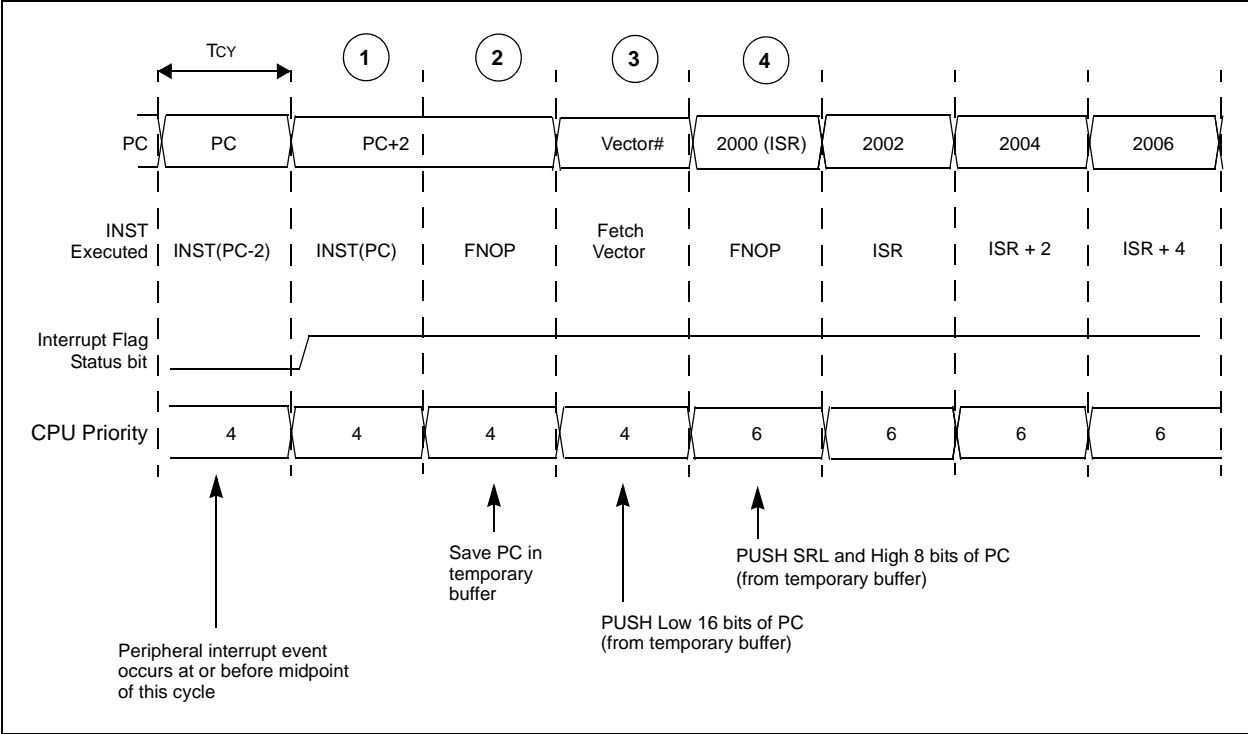
6.3 割り込み処理タイミング

6.3.1 1 サイクル命令に対する割り込みレイテンシ

1 サイクル命令の実行中に周辺モジュール割り込みが要求された場合のイベントシーケンスを図 6-3 に示します。割り込み処理には 4 命令サイクルを要します。図では、各割り込み処理サイクルに参照番号 (丸囲み番号) を表記しています。

周辺モジュール割り込みが発生すると、命令サイクル①中に割り込みフラグステータスビットがセットされます。実行中の命令はこの命令サイクル内で完了します。割り込み発生後の次の命令サイクル②では、PC と下位バイトステータス (SRL) レジスタの内容をテンポラリバッファレジスタへ保存します。この命令サイクル②では、2 サイクル命令への割り込みシーケンスとの整合性を維持するために NOP を実行します (6.3.2「2 サイクル命令に対する割り込みレイテンシ」参照)。命令サイクル③では、割り込み要因のベクタテーブルアドレスを PC へ読み込んで、ISR の開始アドレスをフェッチします。命令サイクル④は NOP として実行し、この間に ISR 内の先頭命令をフェッチします。

図 6-3: 1 サイクル命令実行中に割り込みが発生した場合のタイミング



## 6.3.2 2 サイクル命令に対する割り込みレイテンシ

2 サイクル命令実行中の割り込みレイテンシは、1 サイクル命令の場合と同じです。割り込み処理のサイクル①および②により、2 サイクル命令の動作を完了することができます。図 6-4 は、2 サイクル命令実行前のサイクル中に周辺モジュール割り込みイベントが発生した場合のタイミング図です。

図 6-5 は、2 サイクル命令の第 1 サイクル実行中に周辺モジュール割り込みイベントが発生した場合のタイミング図です。この場合の割り込み処理は 1 サイクル命令の場合（6.3.1「1 サイクル命令に対する割り込みレイテンシ」参照）と同じです。

図 6-4: 2 サイクル命令実行前のサイクル中に割り込みが発生した場合のタイミング

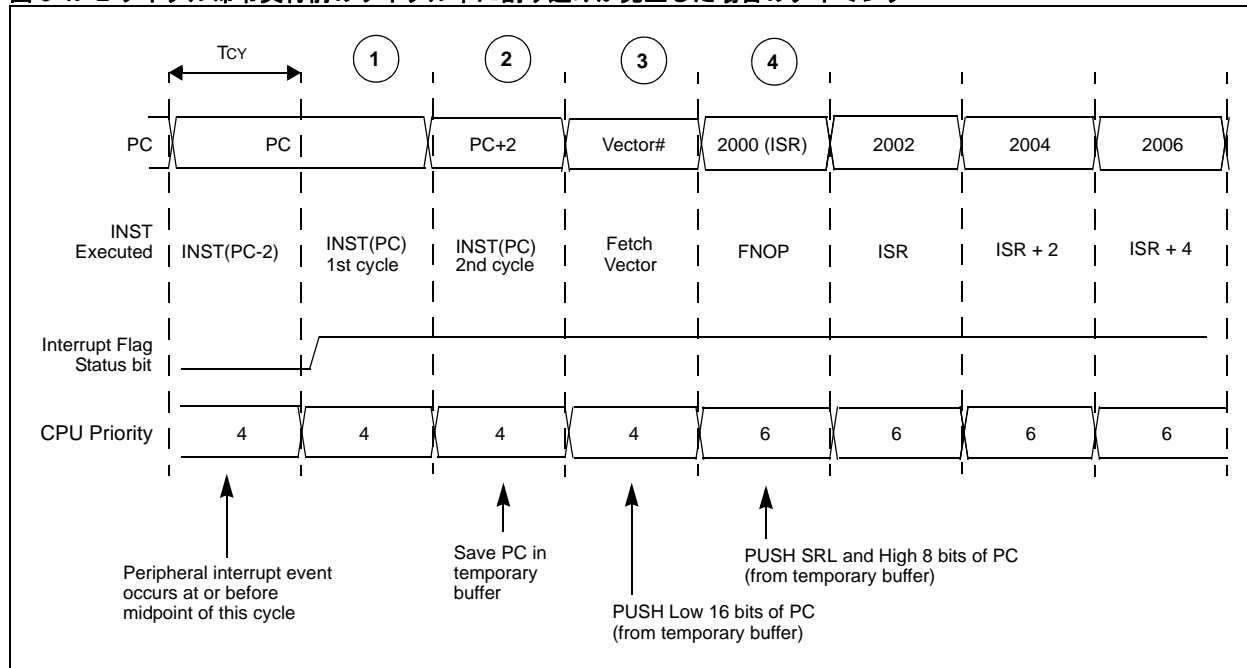
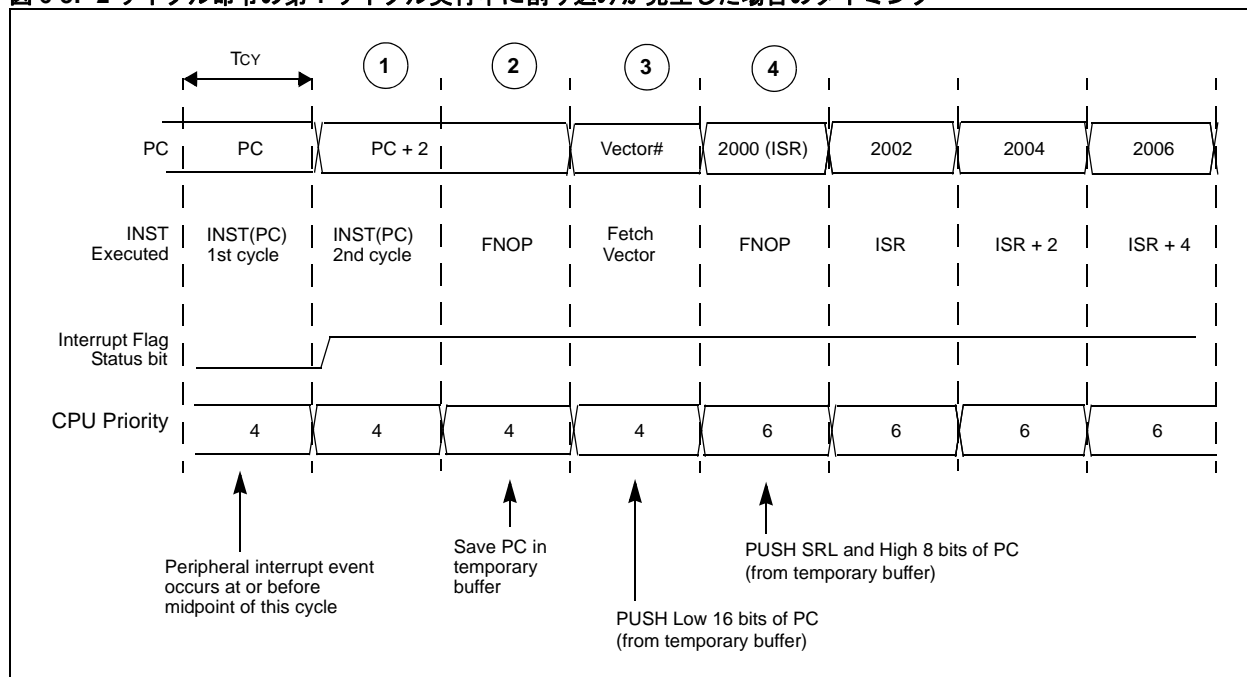


図 6-5: 2 サイクル命令の第 1 サイクル実行中に割り込みが発生した場合のタイミング

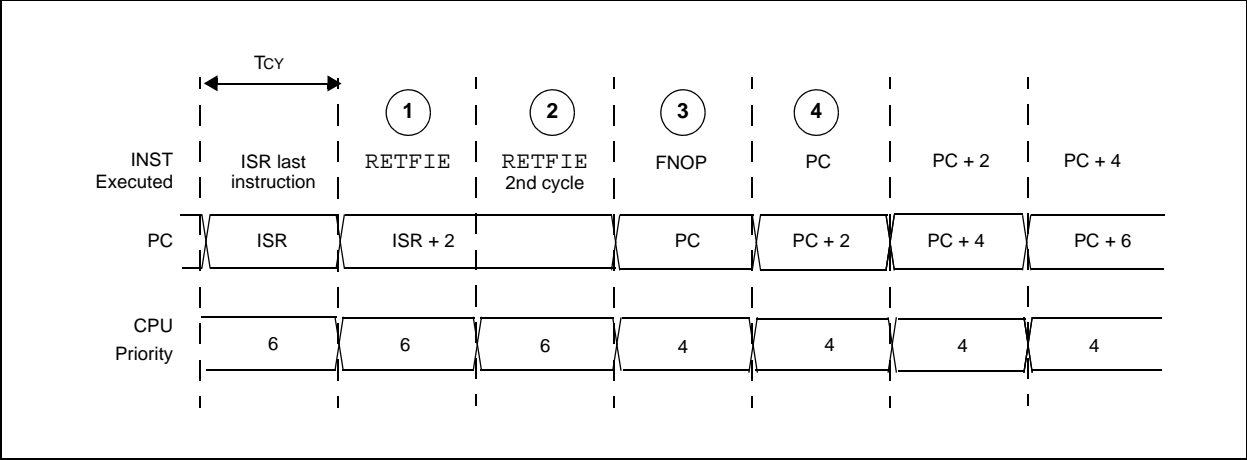


6.3.3 割り込みからの戻り

割り込みから戻るには、プログラムで RETFIE 命令を呼び出す必要があります。

RETFIE 命令のサイクル①および②では、PC と SRL レジスタの内容をスタックからポップします。サイクル③では、更新されたプログラム カウンタが指すアドレスの命令をフェッチします。このサイクルは NOP 命令として実行します。サイクル④では、割り込み発生位置からプログラム実行を再開します。

図 6-6: 割り込みからの戻り



6.3.4 割り込みレイテンシに関する特殊条件

dsPIC33F では、周辺モジュール割り込み要因が保留になる際に、実行中の命令を完了させる事ができます。1 サイクル命令でも 2 サイクル命令でも、割り込みレイテンシは同じです。ただし、割り込み発生のタイミングによっては、割り込みレイテンシが 1 サイクル増える場合があります。アプリケーションがこのようなレイテンシの変化を受け付けられない場合、下記の動作を避ける必要があります。

- PSV を使用してプログラムメモリ領域内の値へアクセスする MOV.D 命令の実行
- 2 サイクル命令に対する命令ストールサイクルの追加
- PSV アクセスを行う 1 サイクル命令に対するストールサイクルの追加
- PSV を使用してプログラムメモリ領域内の値へアクセスするビットテストおよびスキップ命令 (BTSC、BTSS)

## 6.4 割り込み制御およびステータス レジスタ

これらは下記の割り込みコントローラを含みます。

- **INTCON1、INTCON2 レジスタ**

これらのレジスタは下記のグローバル割り込み機能を制御します。

- INTCON1 は、割り込みネスティング ディスエーブル (NSTDIS) ビットと、プロセッサ トラップ要因の制御フラグおよびステータスフラグを格納します。
- INTCON2 は、外部割り込み要求信号の挙動と代替ベクタテーブルの使用を制御します。

- **IFSx: 割り込みフラグ ステータス レジスタ**

全ての割り込み要求フラグは IFSx レジスタ内に格納されます (「x」はレジスタ番号)。各割り込み要因はそれぞれ 1 つのステータスビットを持ちます。このビットは、周辺モジュールまたは外部信号がセットし、ソフトウェアがクリアします。

- **IECx: 割り込みイネーブル制御レジスタ**

全ての割り込みイネーブル制御ビットは、IECx レジスタ内に格納されます (「x」はレジスタ番号)。これらの制御ビットを使用して、周辺モジュールまたは外部信号からの割り込みを個別に有効にできます。

- **IPCx: 割り込み優先度制御レジスタ**

各ユーザ割り込み要因には、7 段階の優先度を割り当てる事ができます。IPC レジスタは、各割り込み要因の優先度を個別に設定します。

- **SR: CPU ステータス レジスタ**

SR そのものは割り込みコントローラ ハードウェアではありませんが、現在の CPU 優先度を示す IPL<2:0> ステータスビット (SR<7:5>) を格納しています。ユーザアプリケーションから IPL ビットへ書き込む事によって CPU 優先度を変更できます。

- **CORCON: コア制御レジスタ**

CORCON レジスタそのものは割り込みコントローラ ハードウェアではありませんが、現在の CPU 優先度を示す IPL3 ステータスビットを格納しています。IPL3 は読み出し専用ビットであるため、ユーザソフトウェアからトラップイベントをマスクする事はできません。

各レジスタの詳細は以降のセクションを参照してください。

**Note:** 割り込み要因の総数とタイプはデバイスごとに異なります。詳細は各デバイスのデータシートを参照してください。

### 6.4.1 制御レジスタに対する割り込みの割り当て

割り込み要因は、表 6-1 の順番に従って IFSx、IECx、IPCx レジスタへ割り当てられます。例えば INT0 (外部割り込み 0) 要因のベクタ番号と自然順序優先度は共に 0 です。従って外部割り込み 0 のフラグステータス (INT0IF) ビットは IFS0<0> 内に格納されます。INT0 割り込みは、IEC0 レジスタ内のビット 0 をイネーブルビットとして使用します。IPC0<2:0> ビットは、INT0 割り込みの優先度を割り当てます。



レジスタ 6-1: SR: ステータス レジスタ (CPU 内)

R-0	R-0	R/C-0	R/C-0	R-0	R/C-0	R-0	R-0
OA	OB	SA	SB	OAB	SAB	DA	DC
bit 15				bit 8			
R/W-0	R/W-0	R/W-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0
IPL<2:0>			RA	N	OV	Z	C
bit 7				bit 0			

<b>凡例:</b>			
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	1 = ビットをセット	0 = ビットをクリア	x = ビットは未知

bit 15-8	<b>割り込みコントローラには使用せず</b> (SR ビットの詳細は『dsPIC30F/33F プログラマ リファレンス マニュアル』(DS70157)を参照してください)
bit 7-5	<b>IPL&lt;2:0&gt;:CPU 割り込み優先度ステータスビット<sup>(1,2)</sup></b> 111 = CPU 割り込み優先度は 7 (15)、ユーザ割り込みは無効 110 = CPU 割り込み優先度は 6 (14) 101 = CPU 割り込み優先度は 5 (13) 100 = CPU 割り込み優先度は 4 (12) 011 = CPU 割り込み優先度は 3 (11) 010 = CPU 割り込み優先度は 2 (10) 001 = CPU 割り込み優先度は 1 (9) 000 = CPU 割り込み優先度は 0 (8)
bit 4-0	<b>割り込みコントローラには使用せず</b> (SR ビットの詳細は『dsPIC30F/33F プログラマ リファレンス マニュアル』(DS70157)を参照してください)

- Note 1:** IPL<2:0> ビットは IPL<3> ビット (CORCON<3>) と連結して CPU 割り込み優先度を形成します。カッコ内の値は IPL<3> = 1 の場合の値です。
- 2:** NSTDIS = 1 (INTCON1<15>) の場合、IPL<2:0> ステータスビットは読み出し専用です。

# dsPIC33F ファミリ リファレンス マニュアル

レジスタ 6-2: CORCON: コア制御レジスタ

U-0	U-0	U-0	R/W-0	R/W-0	R-0	R-0	R-0
—	—	—	US	EDT	DL<1:0>		
bit 15						bit 8	

R/W-0	R/W-0	R/W-1	R/W-0	R/C-0	R/W-0	R/W-0	R/W-0
SATA	SATB	SATDW	ACCSAT	IPL3	PSV	RND	IF
bit 7						bit 0	

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
-n = POR 時の値      1 = ビットをセット      0 = ビットをクリア      x = ビットは未知

bit 15-4      **割り込みコントローラには使用せず**  
(CORCON ビットの詳細は『dsPIC30F/33F プログラマ リファレンス マニュアル』(DS70157)を参照してください)

bit 3      **IPL3: CPU 割り込み優先度のステータスビット 3<sup>(1)</sup>**  
1 = CPU 優先度は 8 以上  
0 = CPU 優先度は 7 以下

bit 2-0      **割り込みコントローラには使用せず**  
(CORCON ビットの詳細は『dsPIC30F/33F プログラマ リファレンス マニュアル』(DS70157)を参照してください)

**Note 1:** IPL3 ビットは IPL<2:0> ビット (SR<7:5>) と連結して CPU 割り込み優先度を形成します。

レジスタ 6-3: INTCON1: 割り込み制御レジスタ 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NSTDIS	OVAERR	OVBERR	COVAERR	COVBERR	OVATE	OVATE	COVTE
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0
SFTACERR	DIV0ERR	DMACERR	MATHERR	ADDRERR	STKERR	OSCFAIL	—
bit 7							bit 0

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値      1 = ビットをセット      0 = ビットをクリア      x = ビットは未知

- bit 15      **NSTDIS:** 割り込みネスティング ディスエーブル ビット  
 1 = 割り込みネスティングは無効  
 0 = 割り込みネスティングは有効
- bit 14      **OVAERR:** アキュムレータ A のオーバーフロー トラップフラグ ビット  
 1 = アキュムレータ A のオーバーフローによるトラップが発生した  
 0 = アキュムレータ A のオーバーフローによるトラップは発生していない
- bit 13      **OVBERR:** アキュムレータ B のオーバーフロー トラップフラグ ビット  
 1 = アキュムレータ B のオーバーフローによるトラップが発生した  
 0 = アキュムレータ B のオーバーフローによるトラップは発生していない
- bit 12      **COVAERR:** アキュムレータ A の致命的オーバーフロー トラップフラグ ビット  
 1 = アキュムレータ A の致命的オーバーフローによるトラップが発生した  
 0 = アキュムレータ A の致命的オーバーフローによるトラップは発生していない
- bit 11      **COVBERR:** アキュムレータ B の致命的オーバーフロー トラップフラグ ビット  
 1 = アキュムレータ B の致命的オーバーフローによるトラップが発生した  
 0 = アキュムレータ B の致命的オーバーフローによるトラップは発生していない
- bit 10      **OVATE:** アキュムレータ A のオーバーフロー トラップ イネーブルビット  
 1 = アキュムレータ A のオーバーフロー トラップは有効  
 0 = トラップは無効
- bit 9      **OVATE:** アキュムレータ B のオーバーフロー トラップ イネーブルビット  
 1 = アキュムレータ B のオーバーフロー トラップは有効  
 0 = トラップは無効
- bit 8      **COVTE:** 致命的オーバーフロー トラップイネーブルビット  
 1 = アキュムレータ A または B の致命的オーバーフロー トラップは有効  
 0 = トラップは無効
- bit 7      **SFTACERR:** アキュムレータ シフトエラーのステータスビット  
 1 = 無効なアキュムレータ シフトによる算術エラートラップが発生した  
 0 = 無効なアキュムレータ シフトによる算術エラートラップは発生していない
- bit 6      **DIV0ERR:** ゼロ除算エラーのステータスビット  
 1 = ゼロ除算によるエラートラップが発生した  
 0 = ゼロ除算によるエラートラップは発生していない
- bit 5      **DMACERR:** DMAC エラーのステータスビット  
 1 = DMAC トラップが発生した  
 0 = DMAC トラップは発生していない
- bit 4      **MATHERR:** 算術エラーのステータスビット  
 1 = 算術エラートラップが発生した  
 0 = 算術エラートラップは発生していない
- bit 3      **ADDRERR:** アドレスエラー トラップのステータスビット  
 1 = アドレスエラー トラップが発生した  
 0 = アドレスエラー トラップは発生していない

## レジスタ 6-3: INTCON1: 割り込み制御レジスタ 1 ( 続き )

bit 2	<b>STKERR:</b> スタックエラー トラップのステータスビット 1 = スタックエラー トラップが発生した 0 = スタックエラー トラップは発生していない
bit 1	<b>OSCFAIL:</b> オシレータ障害トラップのステータスビット 1 = オシレータ障害トラップが発生した 0 = オシレータ障害トラップは発生していない
bit 0	<b>未実装:</b> 「0」 として読み出し

レジスタ 6-4: INTCON2: 割り込み制御レジスタ 2

R/W-0	R-0	U-0	U-0	U-0	U-0	U-0	U-0
ALTIVT	DISI	—	—	—	—	—	—
bit 15							bit 8
U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	INT4EP	INT3EP	INT2EP	INT1EP	INT0EP
bit 7							bit 0

<b>凡例:</b>			
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	1 = ビットをセット	0 = ビットをクリア	x = ビットは未知

bit 15	<b>ALTIVT:</b> 代替割り込みベクタテーブルイネーブルビット 1 = 代替ベクタテーブルを使用する 0 = 代替ベクタテーブルを使用しない
bit 14	<b>DISI:</b> DISI 命令のステータスビット 1 = DISI 命令はアクティブ 0 = DISI 命令は非アクティブ
bit 13-5	<b>未実装:</b> 「0」として読み出し
bit 4	<b>INT4EP:</b> 外部割り込み 4 のエッジ検出極性選択ビット 1 = 立ち下がりエッジで割り込み 0 = 立ち上がりエッジで割り込み
bit 3	<b>INT3EP:</b> 外部割り込み 3 のエッジ検出極性選択ビット 1 = 立ち下がりエッジで割り込み 0 = 立ち上がりエッジで割り込み
bit 2	<b>INT2EP:</b> 外部割り込み 2 のエッジ検出極性選択ビット 1 = 立ち下がりエッジで割り込み 0 = 立ち上がりエッジで割り込み
bit 1	<b>INT1EP:</b> 外部割り込み 1 のエッジ検出極性選択ビット 1 = 立ち下がりエッジで割り込み 0 = 立ち上がりエッジで割り込み
bit 0	<b>INT0EP:</b> 外部割り込み 0 のエッジ検出極性選択ビット 1 = 立ち下がりエッジで割り込み 0 = 立ち上がりエッジで割り込み

# dsPIC33F ファミリ リファレンス マニュアル

レジスタ 6-5: IFS0: 割り込みフラグステータス レジスタ 0

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	DMA1IF	AD1IF	U1TXIF	U1RXIF	SPI1IF	SPI1EIF	T3IF
bit 15						bit 8	

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
T2IF	OC2IF	IC2IF	DMA0IF	T1IF	OC1IF	IC1IF	INT0IF
bit 7						bit 0	

## 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値      1 = ビットをセット      0 = ビットをクリア      x = ビットは未知

- bit 15      **未実装:** 「0」として読み出し
- bit 14      **DMA1IF:** DMA チャンネル 1 データ転送完了割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 13      **AD1IF:** ADC1 変換完了割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 12      **U1TXIF:** UART1 送信割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 11      **U1RXIF:** UART1 受信割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 10      **SPI1IF:** SPI1 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 9      **SPI1EIF:** SPI1 フォルト割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 8      **T3IF:** Timer3 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 7      **T2IF:** Timer2 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 6      **OC2IF:** 出力コンペア チャンネル 2 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 5      **IC2IF:** 入力コンペア チャンネル 2 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 4      **DMA0IF:** DMA チャンネル 0 データ転送完了割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 3      **T1IF:** Timer1 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない

### レジスタ 6-5: IFS0: 割り込みフラグステータス レジスタ 0 ( 続き )

bit 2	<b>OC1IF:</b> 出力コンペア チャンネル 1 割り込みフラグのステータスビット 1 = 割り込み要求が発生した 0 = 割り込み要求は発生していない
bit 1	<b>IC1IF:</b> 入力コンペア チャンネル 1 割り込みフラグのステータスビット 1 = 割り込み要求が発生した 0 = 割り込み要求は発生していない
bit 0	<b>INT0IF:</b> 外部割り込み 0 フラグのステータスビット 1 = 割り込み要求が発生した 0 = 割り込み要求は発生していない

# dsPIC33F ファミリ リファレンス マニュアル

レジスタ 6-6: IFS1: 割り込みフラグステータス レジスタ 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
U2TXIF	U2RXIF	INT2IF	T5IF	T4IF	OC4IF	OC3IF	DMA2IF
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0
IC8IF	IC7IF	AD2IF	INT1IF	CNIF	—	MI2C1IF	SI2C1IF
bit 7							bit 0

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値              1 = ビットをセット              0 = ビットをクリア              x = ビットは未知

- bit 15      **U2TXIF:** UART2 送信割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 14      **U2RXIF:** UART2 受信割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 13      **INT2IF:** 外部割り込み 2 フラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 12      **T5IF:** Timer5 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 11      **T4IF:** Timer4 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 10      **OC4IF:** 出力コンペア チャンネル 4 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 9      **OC3IF:** 出力コンペア チャンネル 3 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 8      **DMA2IF:** DMA チャンネル 2 データ転送完了割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 7      **IC8IF:** 入力コンペア チャンネル 8 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 6      **IC7IF:** 入力コンペア チャンネル 7 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 5      **AD2IF:** ADC2 変換完了割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 4      **INT1IF:** 外部割り込み 1 フラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない



### レジスタ 6-6: IFS1: 割り込みフラグステータス レジスタ 1 ( 続き )

bit 3	<b>CNIF:</b> 入力状態変化通知割り込みフラグのステータスビット 1 = 割り込み要求が発生した 0 = 割り込み要求は発生していない
bit 2	<b>未実装:</b> 「0」として読み出し
bit 1	<b>MI2C1IF:</b> I2C1 マスタイベント割り込みフラグのステータスビット 1 = 割り込み要求が発生した 0 = 割り込み要求は発生していない
bit 0	<b>SI2C1IF:</b> I2C1 スレーブイベント割り込みフラグのステータスビット 1 = 割り込み要求が発生した 0 = 割り込み要求は発生していない

# dsPIC33F ファミリ リファレンス マニュアル

## レジスタ 6-7: IFS2: 割り込みフラグステータス レジスタ 2

R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
T6IF	DMA4IF	—	OC8IF	OC7IF	OC6IF	OC5IF	IC6IF
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IC5IF	IC4IF	IC3IF	DMA3IF	C1IF	C1RXIF	SPI2IF	SPI2EIF
bit 7							bit 0

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値      1 = ビットをセット      0 = ビットをクリア      x = ビットは未知

- bit 15      **T6IF:** Timer6 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 14      **DMA4IF:** DMA チャンネル 4 データ転送完了割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 13      **未実装:** 「0」として読み出し
- bit 12      **OC8IF:** 出力コンペア チャンネル 8 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 11      **OC7IF:** 出力コンペア チャンネル 7 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 10      **OC6IF:** 出力コンペア チャンネル 6 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 9      **OC5IF:** 出力コンペア チャンネル 5 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 8      **IC6IF:** 入力コンペア チャンネル 6 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 7      **IC5IF:** 入力コンペア チャンネル 5 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 6      **IC4IF:** 入力コンペア チャンネル 4 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 5      **IC3IF:** 入力コンペア チャンネル 3 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 4      **DMA3IF:** DMA チャンネル 3 データ転送完了割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 3      **C1IF:** ECAN1 イベント割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない

### レジスタ 6-7: IFS2: 割り込みフラグステータス レジスタ 2 ( 続き )

- bit 2      **C1RXIF:** ECAN1 データ受信準備完了割り込みフラグのステータスビット  
1 = 割り込み要求が発生した  
0 = 割り込み要求は発生していない
- bit 1      **SPI2IF:** SPI2 割り込みフラグのステータスビット  
1 = 割り込み要求が発生した  
0 = 割り込み要求は発生していない
- bit 0      **SPI2EIF:** SPI2 エラー割り込みフラグのステータスビット  
1 = 割り込み要求が発生した  
0 = 割り込み要求は発生していない

# dsPIC33F ファミリ リファレンス マニュアル

レジスタ 6-8: IFS3: 割り込みフラグステータス レジスタ 3

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FLTAIF	—	DMA5IF	DCIIF	DCIEIF	QEIIF	PWMIF	C2IF
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
C2RXIF	INT4IF	INT3IF	T9IF	T8IF	MI2C2IF	SI2C2IF	T7IF
bit 7							bit 0

## 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値      1 = ビットをセット      0 = ビットをクリア      x = ビットは未知

- bit 15      **FLTAIF:** PWM フォルト A 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 14      **未実装:** 「0」として読み出し
- bit 13      **DMA5IF:** DMA チャンネル 5 データ転送完了割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 12      **DCIIF:** DCI イベント割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 11      **DCIEIF:** DCI エラー割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 10      **QEIIF:** QEI イベント割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 9      **PWMIF:** PWM エラー割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 8      **C2IF:** ECAN2 イベント割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 7      **C2RXIF:** ECAN2 データ受信準備完了割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 6      **INT4IF:** 外部割り込み 4 フラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 5      **INT3IF:** 外部割り込み 3 フラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 4      **T9IF:** Timer9 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 3      **T8IF:** Timer8 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない

### レジスタ 6-8: IFS3: 割り込みフラグステータス レジスタ 3 ( 続き )

bit 2	<b>MI2C2IF:</b> I2C2 マスタイベント割り込みフラグのステータスビット 1 = 割り込み要求が発生した 0 = 割り込み要求は発生していない
bit 1	<b>SI2C2IF:</b> I2C2 スレーブイベント割り込みフラグのステータスビット 1 = 割り込み要求が発生した 0 = 割り込み要求は発生していない
bit 0	<b>T7IF:</b> Timer7 割り込みフラグのステータスビット 1 = 割り込み要求が発生した 0 = 割り込み要求は発生していない

# dsPIC33F ファミリ リファレンス マニュアル

レジスタ 6-9: IFS4: 割り込みフラグステータス レジスタ 4

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15						bit 8	

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
C2TXIF	C1TXIF	DMA7IF	DMA6IF	—	U2EIF	U1EIF	FLTBFIF
bit 7						bit 0	

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値              1 = ビットをセット              0 = ビットをクリア              x = ビットは未知

- bit 15-8      **未実装:** 「0」として読み出し
- bit 7      **C2TXIF:** ECAN2 データ送信要求割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 6      **C1TXIF:** ECAN1 データ送信要求割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 5      **DMA7IF:** DMA チャンネル 7 データ転送完了割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 4      **DMA6IF:** DMA チャンネル 6 データ転送完了割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 3      **未実装:** 「0」として読み出し
- bit 2      **U2EIF:** UART2 エラー割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 1      **U1EIF:** UART1 エラー割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない
- bit 0      **FLTBFIF:** PWM フォルト B 割り込みフラグのステータスビット  
             1 = 割り込み要求が発生した  
             0 = 割り込み要求は発生していない

レジスタ 6-10: IEC0: 割り込みイネーブル制御レジスタ 0

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	DMA1IE	AD1IE	U1TXIE	U1RXIE	SPI1IE	SPI1EIE	T3IE
bit 15							bit 8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
T2IE	OC2IE	IC2IE	DMA0IE	T1IE	OC1IE	IC1IE	INT0IE
bit 7							bit 0

## 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値      1 = ビットをセット      0 = ビットをクリア      x = ビットは未知

- bit 15      **未実装:** 「0」として読み出し
- bit 14      **DMA1IE:** DMA チャンネル 1 データ転送完了割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 13      **AD1IE:** ADC1 変換完了割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 12      **U1TXIE:** UART1 送信割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 11      **U1RXIE:** UART1 受信割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 10      **SPI1IE:** SPI1 イベント割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 9      **SPI1EIE:** SPI1 エラー割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 8      **T3IE:** Timer3 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 7      **T2IE:** Timer2 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 6      **OC2IE:** 出力コンペア チャンネル 2 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 5      **IC2IE:** 入力コンペア チャンネル 2 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 4      **DMA0IE:** DMA チャンネル 0 データ転送完了割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 3      **T1IE:** Timer1 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効

## レジスタ 6-10: IEC0: 割り込みイネーブル制御レジスタ 0 ( 続き )

bit 2	<b>OC1IE:</b> 出力コンペア チャンネル 1 割り込みイネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効
bit 1	<b>IC1IE:</b> 入力コンペア チャンネル 1 割り込みイネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効
bit 0	<b>INT0IE:</b> 外部割り込み 0 イネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効



レジスタ 6-11: IEC1: 割り込みイネーブル制御レジスタ 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-C	R/W-0	R/W-0
U2TXIE	U2RXIE	INT2IE	T5IE	T4IE	OC4IE	OC3IE	DMA2IE
bit 15							bit 8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0
IC8IE	IC7IE	AD2IE	INT1IE	CNIE	—	MI2C1IE	SI2C1IE
bit 7							bit 0

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値      1 = ビットをセット      0 = ビットをクリア      x = ビットは未知

- bit 15      **U2TXIE:** UART2 送信割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 14      **U2RXIE:** UART2 受信割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 13      **INT2IE:** 外部割り込み 2 イネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 12      **T5IE:** Timer5 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 11      **T4IE:** Timer4 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 10      **OC4IE:** 出力コンペア チャンネル 4 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 9        **OC3IE:** 出力コンペア チャンネル 3 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 8        **DMA2IE:** DMA チャンネル 2 データ転送完了割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 7        **IC8IE:** 入力コンペア チャンネル 8 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 6        **IC7IE:** 入力コンペア チャンネル 7 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 5        **AD2IE:** ADC2 変換完了割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 4        **INT1IE:** 外部割り込み 1 イネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効

## レジスタ 6-11: IEC1: 割り込みイネーブル制御レジスタ 1 ( 続き )

bit 3	<b>CNIE:</b> 状態変化通知割り込みイネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効
bit 2	<b>未実装:</b> 「0」として読み出し
bit 1	<b>MI2C1IE:</b> I2C1 マスタイベント割り込みイネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効
bit 0	<b>SI2C1IE:</b> I2C1 スレーブイベント割り込みイネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効

レジスタ 6-12: IEC2: 割り込みイネーブル制御レジスタ 2

R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
T6IE	DMA4IE	—	OC8IE	OC7IE	OC6IE	OC5IE	IC6IE
bit 15							bit 8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IC5IE	IC4IE	IC3IE	DMA3IE	C1IE	C1RXIE	SPI2IE	SPI2EIE
bit 7							bit 0

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値      1 = ビットをセット      0 = ビットをクリア      x = ビットは未知

- bit 15      **T6IE:** Timer6 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 14      **DMA4IE:** DMA チャンネル 4 データ転送完了割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 13      **未実装:** 「0」として読み出し
- bit 12      **OC8IE:** 出力コンペア チャンネル 8 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 11      **OC7IE:** 出力コンペア チャンネル 7 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 10      **OC6IE:** 出力コンペア チャンネル 6 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 9      **OC5IE:** 出力コンペア チャンネル 5 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 8      **IC6IE:** 入力コンペア チャンネル 6 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 7      **IC5IE:** 入力コンペア チャンネル 5 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 6      **IC4IE:** 入力コンペア チャンネル 4 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 5      **IC3IE:** 入力コンペア チャンネル 3 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 4      **DMA3IE:** DMA チャンネル 3 データ転送完了割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 3      **C1IE:** ECAN1 イベント割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効

## レジスタ 6-12: IEC2: 割り込みイネーブル制御レジスタ 2 ( 続き )

bit 2	<b>C1RXIE:</b> ECAN1 データ受信準備完了割り込みイネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効
bit 1	<b>SPI2IE:</b> SPI2 イベント割り込みイネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効
bit 0	<b>SPI2EIE:</b> SPI2 エラー割り込みイネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効

レジスタ 6-13: IEC3: 割り込みイネーブル制御レジスタ 3

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FLTAIE	—	DMA5IE	DCIIE	DCIEIE	QEIE	PWMIE	C2IE
bit 15							bit 8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
C2RXIE	INT4IE	INT3IE	T9IE	T8IE	MI2C2IE	SI2C2IE	T7IE
bit 7							bit 0

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値      1 = ビットをセット      0 = ビットをクリア      x = ビットは未知

- bit 15      **FLTAIE:** PWM フォルト A 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 14      **未実装:** 「0」として読み出し
- bit 13      **DMA5IE:** DMA チャンネル 5 データ転送完了割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 12      **DCIIE:** DCI イベント割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 11      **DCIEIE:** DCI エラー割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 10      **QEIE:** QEI イベント割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 9      **PWMIE:** PWM エラー割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 8      **C2IE:** ECAN2 イベント割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 7      **C2RXIE:** ECAN2 データ受信準備完了割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 6      **INT4IE:** 外部割り込み 4 イネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 5      **INT3IE:** 外部割り込み 3 イネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 4      **T9IE:** Timer9 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効
- bit 3      **T8IE:** Timer8 割り込みイネーブルビット  
             1 = 割り込み要求は有効  
             0 = 割り込み要求は無効

## レジスタ 6-13: IEC3: 割り込みイネーブル制御レジスタ 3 ( 続き )

bit 2	<b>MI2C2IE:</b> I2C2 マスタイベント割り込みイネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効
bit 1	<b>SI2C2IE:</b> I2C2 スレーブイベント割り込みイネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効
bit 0	<b>T7IE:</b> Timer7 割り込みイネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効

レジスタ 6-14: IEC4: 割り込みイネーブル制御レジスタ 4

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15				bit 8			
R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
C2TXIE	C1TXIE	DMA7IE	DMA6IE	—	U2EIE	U1EIE	FLTBIE
bit 7				bit 0			

<b>凡例:</b>			
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	1 = ビットをセット	0 = ビットをクリア	x = ビットは未知

bit 15-8	<b>未実装:</b> 「0」として読み出し
bit 7	<b>C2TXIE:</b> ECAN2 データ送信要求割り込みイネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効
bit 6	<b>C1TXIE:</b> ECAN1 データ送信要求割り込みイネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効
bit 5	<b>DMA7IE:</b> DMA チャンネル 7 データ転送完了割り込みイネーブル ステータスビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効
bit 4	<b>DMA6IE:</b> DMA チャンネル 6 データ転送完了割り込みイネーブル ステータスビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効
bit 3	<b>未実装:</b> 「0」として読み出し
bit 2	<b>U2EIE:</b> UART2 エラー割り込みイネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効
bit 1	<b>U1EIE:</b> UART1 エラー割り込みイネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効
bit 0	<b>FLTBIE:</b> PWM フォルト B 割り込みイネーブルビット 1 = 割り込み要求は有効 0 = 割り込み要求は無効

# dsPIC33F ファミリ リファレンス マニュアル

## レジスタ 6-15: IPC0: 割り込み優先度制御レジスタ 0

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	T1IP<2:0>			—	OC1IP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	IC1IP<2:0>			—	INT0IP<2:0>		
bit 7				bit 0			

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値      1 = ビットをセット      0 = ビットをクリア      x = ビットは未知

bit 15      **未実装:** 「0」として読み出し  
 bit 14-12      **T1IP<2:0>:** Timer1 割り込み優先度ビット  
                  111 = 割り込み優先度 7 (最優先割り込み)  
                  •  
                  •  
                  •  
                  001 = 割り込み優先度 1  
                  000 = 割り込み要因は無効  
 bit 11      **未実装:** 「0」として読み出し  
 bit 10-8      **OC1IP<2:0>:** 出力コンペア チャンネル 1 割り込み優先度ビット  
                  111 = 割り込み優先度 7 (最優先割り込み)  
                  •  
                  •  
                  •  
                  001 = 割り込み優先度 1  
                  000 = 割り込み要因は無効  
 bit 7      **未実装:** 「0」として読み出し  
 bit 6-4      **IC1IP<2:0>:** 入力コンペア チャンネル 1 割り込み優先度ビット  
                  111 = 割り込み優先度 7 (最優先割り込み)  
                  •  
                  •  
                  •  
                  001 = 割り込み優先度 1  
                  000 = 割り込み要因は無効  
 bit 3      **未実装:** 「0」として読み出し  
 bit 2-0      **INT0IP<2:0>:** 外部割り込み 0 優先度ビット  
                  111 = 割り込み優先度 7 (最優先割り込み)  
                  •  
                  •  
                  •  
                  001 = 割り込み優先度 1  
                  000 = 割り込み要因は無効



レジスタ 6-16: IPC1: 割り込み優先度制御レジスタ 1

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	T2IP<2:0>			—	OC2IP<2:0>		
bit 15				bit 8			
U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	IC2IP<2:0>			—	DMA0IP<2:0>		
bit 7				bit 0			

<b>凡例:</b>			
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	1 = ビットをセット	0 = ビットをクリア	x = ビットは未知

bit 15	<b>未実装:</b> 「0」として読み出し
bit 14-12	<b>T2IP&lt;2:0&gt;:</b> Timer2 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 11	<b>未実装:</b> 「0」として読み出し
bit 10-8	<b>OC2IP&lt;2:0&gt;:</b> 出力コンペア チャンネル 2 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 7	<b>未実装:</b> 「0」として読み出し
bit 6-4	<b>IC2IP&lt;2:0&gt;:</b> 入力コンペア チャンネル 2 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 3	<b>未実装:</b> 「0」として読み出し
bit 2-0	<b>DMA0IP&lt;2:0&gt;:</b> DMA チャンネル 0 データ転送完了割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効

# dsPIC33F ファミリ リファレンス マニュアル

レジスタ 6-17: IPC2: 割り込み優先度制御レジスタ 2

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	U1RXIP<2:0>			—	SPI1IP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	SPI1EIP<2:0>			—	T3IP<2:0>		
bit 7				bit 0			

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値              1 = ビットをセット              0 = ビットをクリア              x = ビットは未知

bit 15      **未実装:** 「0」として読み出し  
 bit 14-12      **U1RXIP<2:0>:** UART1 受信割り込み優先度ビット  
                  111 = 割り込み優先度 7 (最優先割り込み)  
                  •  
                  •  
                  •  
                  001 = 割り込み優先度 1  
                  000 = 割り込み要因は無効  
 bit 11      **未実装:** 「0」として読み出し  
 bit 10-8      **SPI1IP<2:0>:** SPI1 イベント割り込み優先度ビット  
                  111 = 割り込み優先度 7 (最優先割り込み)  
                  •  
                  •  
                  •  
                  001 = 割り込み優先度 1  
                  000 = 割り込み要因は無効  
 bit 7      **未実装:** 「0」として読み出し  
 bit 6-4      **SPI1EIP<2:0>:** SPI1 エラー割り込み優先度ビット  
                  111 = 割り込み優先度 7 (最優先割り込み)  
                  •  
                  •  
                  •  
                  001 = 割り込み優先度 1  
                  000 = 割り込み要因は無効  
 bit 3      **未実装:** 「0」として読み出し  
 bit 2-0      **T3IP<2:0>:** Timer3 割り込み優先度ビット  
                  111 = 割り込み優先度 7 (最優先割り込み)  
                  •  
                  •  
                  •  
                  001 = 割り込み優先度 1  
                  000 = 割り込み要因は無効

レジスタ 6-18: IPC3: 割り込み優先度制御レジスタ 3

U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0	R/W-0
—	—	—	—	—	DMA1IP<2:0>		
bit 15					bit 8		
U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	AD1IP<2:0>			—	U1TXIP<2:0>		
bit 7					bit 0		

<b>凡例:</b>			
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	1 = ビットをセット	0 = ビットをクリア	x = ビットは未知

bit 15-11	<b>未実装:</b> 「0」として読み出し
bit 10-8	<b>DMA1IP&lt;2:0&gt;:</b> DMA チャンネル 1 データ転送完了割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 7	<b>未実装:</b> 「0」として読み出し
bit 6-4	<b>AD1IP&lt;2:0&gt;:</b> ADC1 変換完了割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 3	<b>未実装:</b> 「0」として読み出し
bit 2-0	<b>U1TXIP&lt;2:0&gt;:</b> UART1 トランシーバ割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効

# dsPIC33F ファミリ リファレンス マニュアル

レジスタ 6-19: IPC4: 割り込み優先度制御レジスタ 4

U-0	R/W-1	R/W-0	R/W-0	U-0	U-0	U-0	U-0
—	CNIP<2:0>			—	—	—	—
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	MI2C1IP<2:0>			—	SI2C1IP<2:0>		
bit 7				bit 0			

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
-n = POR 時の値      1 = ビットをセット      0 = ビットをクリア      x = ビットは未知

bit 15      **未実装:** 「0」として読み出し  
bit 14-12      **CNIP<2:0>:** 入力状態変化通知割り込み優先度ビット  
                111 = 割り込み優先度 7 (最優先割り込み)  
                •  
                •  
                •  
                001 = 割り込み優先度 1  
                000 = 割り込み要因は無効  
bit 11-7      **未実装:** 「0」として読み出し  
bit 6-4      **MI2C1IP<2:0>:** I2C1 マスタイベント割り込み優先度ビット  
                111 = 割り込み優先度 7 (最優先割り込み)  
                •  
                •  
                •  
                001 = 割り込み優先度 1  
                000 = 割り込み要因は無効  
bit 3      **未実装:** 「0」として読み出し  
bit 2-0      **SI2C1IP<2:0>:** I2C1 スレーブイベント割り込み優先度ビット  
                111 = 割り込み優先度 7 (最優先割り込み)  
                •  
                •  
                •  
                001 = 割り込み優先度 1  
                000 = 割り込み要因は無効

レジスタ 6-20: IPC5: 割り込み優先度制御レジスタ 5

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	IC8IP<2:0>			—	IC7IP<2:0>		
bit 15				bit 8			
U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	AD2IP<2:0>			—	INT1IP<2:0>		
bit 7				bit 0			

<b>凡例:</b>			
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	1 = ビットをセット	0 = ビットをクリア	x = ビットは未知

bit 15	<b>未実装:</b> 「0」として読み出し
bit 14-12	<b>IC8IP&lt;2:0&gt;:</b> 入力コンペア チャンネル 8 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 11	<b>未実装:</b> 「0」として読み出し
bit 10-8	<b>IC7IP&lt;2:0&gt;:</b> 入力コンペア チャンネル 7 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 7	<b>未実装:</b> 「0」として読み出し
bit 6-4	<b>AD2IP&lt;2:0&gt;:</b> ADC2 変換完了割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 3	<b>未実装:</b> 「0」として読み出し
bit 2-0	<b>INT1IP&lt;2:0&gt;:</b> 外部割り込み 1 優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効

# dsPIC33F ファミリ リファレンス マニュアル

レジスタ 6-21: IPC6: 割り込み優先度制御レジスタ 6

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	T4IP<2:0>			—	OC4IP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	OC3IP<2:0>			—	DMA2IP<2:0>		
bit 7				bit 0			

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
-n = POR 時の値      1 = ビットをセット      0 = ビットをクリア      x = ビットは未知

bit 15      **未実装:** 「0」として読み出し  
bit 14-12      **T4IP<2:0>:** Timer4 割り込み優先度ビット  
                111 = 割り込み優先度 7 (最優先割り込み)  
                •  
                •  
                •  
                001 = 割り込み優先度 1  
                000 = 割り込み要因は無効  
bit 11      **未実装:** 「0」として読み出し  
bit 10-8      **OC4IP<2:0>:** 出力コンペア チャンネル 4 割り込み優先度ビット  
                111 = 割り込み優先度 7 (最優先割り込み)  
                •  
                •  
                •  
                001 = 割り込み優先度 1  
                000 = 割り込み要因は無効  
bit 7      **未実装:** 「0」として読み出し  
bit 6-4      **OC3IP<2:0>:** 出力コンペア チャンネル 3 割り込み優先度ビット  
                111 = 割り込み優先度 7 (最優先割り込み)  
                •  
                •  
                •  
                001 = 割り込み優先度 1  
                000 = 割り込み要因は無効  
bit 3      **未実装:** 「0」として読み出し  
bit 2-0      **DMA2IP<2:0>:** DMA チャンネル 2 データ転送完了割り込み優先度ビット  
                111 = 割り込み優先度 7 (最優先割り込み)  
                •  
                •  
                •  
                001 = 割り込み優先度 1  
                000 = 割り込み要因は無効

レジスタ 6-22: IPC7: 割り込み優先度制御レジスタ 7

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	U2TXIP<2:0>			—	U2RXIP<2:0>		
bit 15				bit 8			
U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	INT2IP<2:0>			—	T5IP<2:0>		
bit 7				bit 0			

<b>凡例:</b>			
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	1 = ビットをセット	0 = ビットをクリア	x = ビットは未知

bit 15	<b>未実装:</b> 「0」として読み出し
bit 14-12	<b>U2TXIP&lt;2:0&gt;:</b> UART2 トランシーバ割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 11	<b>未実装:</b> 「0」として読み出し
bit 10-8	<b>U2RXIP&lt;2:0&gt;:</b> UART2 受信割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 7	<b>未実装:</b> 「0」として読み出し
bit 6-4	<b>INT2IP&lt;2:0&gt;:</b> 外部割り込み 2 優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 3	<b>未実装:</b> 「0」として読み出し
bit 2-0	<b>T5IP&lt;2:0&gt;:</b> Timer5 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効

# dsPIC33F ファミリ リファレンス マニュアル

レジスタ 6-23: IPC8: 割り込み優先度制御レジスタ 8

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	C1IP<2:0>			—	C1RXIP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	SPI2IP<2:0>			—	SPI2EIP<2:0>		
bit 7				bit 0			

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値              1 = ビットをセット              0 = ビットをクリア              x = ビットは未知

bit 15      **未実装:** 「0」として読み出し

bit 14-12      **C1IP<2:0>:** ECAN1 イベント割り込み優先度ビット  
                  111 = 割り込み優先度 7 (最優先割り込み)  
                  •  
                  •  
                  •  
                  001 = 割り込み優先度 1  
                  000 = 割り込み要因は無効

bit 11      **未実装:** 「0」として読み出し

bit 10-8      **C1RXIP<2:0>:** ECAN1 データ受信準備完了割り込みイネーブルビット  
                  111 = 割り込み優先度 7 (最優先割り込み)  
                  •  
                  •  
                  •  
                  001 = 割り込み優先度 1  
                  000 = 割り込み要因は無効

bit 7      **未実装:** 「0」として読み出し

bit 6-4      **SPI2IP<2:0>:** SPI2 イベント割り込み優先度ビット  
                  111 = 割り込み優先度 7 (最優先割り込み)  
                  •  
                  •  
                  •  
                  001 = 割り込み優先度 1  
                  000 = 割り込み要因は無効

bit 3      **未実装:** 「0」として読み出し

bit 2-0      **SPI2EIP<2:0>:** SPI2 エラー割り込み優先度ビット  
                  111 = 割り込み優先度 7 (最優先割り込み)  
                  •  
                  •  
                  •  
                  001 = 割り込み優先度 1  
                  000 = 割り込み要因は無効



レジスタ 6-24: IPC9: 割り込み優先度制御レジスタ 9

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	IC5IP<2:0>			—	IC4IP<2:0>		
bit 15				bit 8			
U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	IC3IP<2:0>			—	DMA3IP<2:0>		
bit 7				bit 0			

<b>凡例:</b>			
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	1 = ビットをセット	0 = ビットをクリア	x = ビットは未知

bit 15	<b>未実装:</b> 「0」として読み出し
bit 14-12	<b>IC5IP&lt;2:0&gt;:</b> 入力コンペア チャンネル 5 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 11	<b>未実装:</b> 「0」として読み出し
bit 10-8	<b>IC4IP&lt;2:0&gt;:</b> 入力コンペア チャンネル 4 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 7	<b>未実装:</b> 「0」として読み出し
bit 6-4	<b>IC3IP&lt;2:0&gt;:</b> 入力コンペア チャンネル 3 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 3	<b>未実装:</b> 「0」として読み出し
bit 2-0	<b>DMA3IP&lt;2:0&gt;:</b> DMA チャンネル 3 データ転送完了割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効

# dsPIC33F ファミリ リファレンス マニュアル

レジスタ 6-25: IPC10: 割り込み優先度制御レジスタ 10

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	OC7IP<2:0>			—	OC6IP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	OC5IP<2:0>			—	IC6IP<2:0>		
bit 7				bit 0			

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
-n = POR 時の値      1 = ビットをセット      0 = ビットをクリア      x = ビットは未知

bit 15      **未実装:** 「0」として読み出し  
bit 14-12      **OC7IP<2:0>:** 出力コンペア チャンネル 7 割り込み優先度ビット  
                111 = 割り込み優先度 7 (最優先割り込み)  
                •  
                •  
                •  
                001 = 割り込み優先度 1  
                000 = 割り込み要因は無効  
bit 11      **未実装:** 「0」として読み出し  
bit 10-8      **OC6IP<2:0>:** 出力コンペア チャンネル 6 割り込み優先度ビット  
                111 = 割り込み優先度 7 (最優先割り込み)  
                •  
                •  
                •  
                001 = 割り込み優先度 1  
                000 = 割り込み要因は無効  
bit 7      **未実装:** 「0」として読み出し  
bit 6-4      **OC5IP<2:0>:** 出力コンペア チャンネル 5 割り込み優先度ビット  
                111 = 割り込み優先度 7 (最優先割り込み)  
                •  
                •  
                •  
                001 = 割り込み優先度 1  
                000 = 割り込み要因は無効  
bit 3      **未実装:** 「0」として読み出し  
bit 2-0      **IC6IP<2:0>:** 入力コンペア チャンネル 6 割り込み優先度ビット  
                111 = 割り込み優先度 7 (最優先割り込み)  
                •  
                •  
                •  
                001 = 割り込み優先度 1  
                000 = 割り込み要因は無効

レジスタ 6-26: IPC11: 割り込み優先度制御レジスタ 11

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	T6IP<2:0>			—	DMA4IP<2:0>		
bit 15				bit 8			
U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0	R/W-0
—	—	—	—	—	OC8IP<2:0>		
bit 7				bit 0			

<b>凡例:</b>			
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	1 = ビットをセット	0 = ビットをクリア	x = ビットは未知

bit 15	<b>未実装:</b> 「0」として読み出し
bit 14-12	<b>T6IP&lt;2:0&gt;:</b> Timer6 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 11	<b>未実装:</b> 「0」として読み出し
bit 10-8	<b>DMA4IP&lt;2:0&gt;:</b> DMA チャンネル 4 データ転送完了割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 7-3	<b>未実装:</b> 「0」として読み出し
bit 2-0	<b>OC8IP&lt;2:0&gt;:</b> 出力コンペア チャンネル 8 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効

# dsPIC33F ファミリ リファレンス マニュアル

レジスタ 6-27: IPC12: 割り込み優先度制御レジスタ 12

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	T8IP<2:0>			—	MI2C2IP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	SI2C2IP<2:0>			—	T7IP<2:0>		
bit 7				bit 0			

## 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値              1 = ビットをセット              0 = ビットをクリア              x = ビットは未知

bit 15      **未実装:** 「0」として読み出し  
 bit 14-12      **T8IP<2:0>:** Timer8 割り込み優先度ビット  
                  111 = 割り込み優先度 7 (最優先割り込み)  
                  •  
                  •  
                  •  
                  001 = 割り込み優先度 1  
                  000 = 割り込み要因は無効  
 bit 11      **未実装:** 「0」として読み出し  
 bit 10-8      **MI2C2IP<2:0>:** I2C2 マスタイベント割り込み優先度ビット  
                  111 = 割り込み優先度 7 (最優先割り込み)  
                  •  
                  •  
                  •  
                  001 = 割り込み優先度 1  
                  000 = 割り込み要因は無効  
 bit 7      **未実装:** 「0」として読み出し  
 bit 6-4      **SI2C2IP<2:0>:** I2C2 スレーブイベント割り込み優先度ビット  
                  111 = 割り込み優先度 7 (最優先割り込み)  
                  •  
                  •  
                  •  
                  001 = 割り込み優先度 1  
                  000 = 割り込み要因は無効  
 bit 3      **未実装:** 「0」として読み出し  
 bit 2-0      **T7IP<2:0>:** Timer7 割り込み優先度ビット  
                  111 = 割り込み優先度 7 (最優先割り込み)  
                  •  
                  •  
                  •  
                  001 = 割り込み優先度 1  
                  000 = 割り込み要因は無効

レジスタ 6-28: IPC13: 割り込み優先度制御レジスタ 13

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	C2RXIP<2:0>			—	INT4IP<2:0>		
bit 15				bit 8			
U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	INT3IP<2:0>			—	T9IP<2:0>		
bit 7				bit 0			

<b>凡例:</b>			
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	1 = ビットをセット	0 = ビットをクリア	x = ビットは未知

bit 15	<b>未実装:</b> 「0」として読み出し
bit 14-12	<b>C2RXIP&lt;2:0&gt;:</b> ECAN2 データ受信準備完了割り込みイネーブルビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 11	<b>未実装:</b> 「0」として読み出し
bit 10-8	<b>INT4IP&lt;2:0&gt;:</b> 外部割り込み 4 優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 7	<b>未実装:</b> 「0」として読み出し
bit 6-4	<b>INT3IP&lt;2:0&gt;:</b> 外部割り込み 3 優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 3	<b>未実装:</b> 「0」として読み出し
bit 2-0	<b>T9IP&lt;2:0&gt;:</b> Timer9 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効

# dsPIC33F ファミリ リファレンス マニュアル

レジスタ 6-29: IPC14: 割り込み優先度制御レジスタ 14

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	DCIEIP<2:0>			—	QEIP<2:0>		
bit 15				bit 8			

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	PWMIP<2:0>			—	C2IP<2:0>		
bit 7				bit 0			

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
-n = POR 時の値              1 = ビットをセット              0 = ビットをクリア              x = ビットは未知

bit 15      **未実装:** 「0」として読み出し  
bit 14-12    **DCIEIP<2:0>:** DCI エラー割り込み優先度ビット  
            111 = 割り込み優先度 7 (最優先割り込み)  
            •  
            •  
            •  
            001 = 割り込み優先度 1  
            000 = 割り込み要因は無効  
bit 11      **未実装:** 「0」として読み出し  
bit 10-8    **QEIP<2:0>:** QEI 割り込み優先度ビット  
            111 = 割り込み優先度 7 (最優先割り込み)  
            •  
            •  
            •  
            001 = 割り込み優先度 1  
            000 = 割り込み要因は無効  
bit 7      **未実装:** 「0」として読み出し  
bit 6-4    **PWMIP<2:0>:** PWM 割り込み優先度ビット  
            111 = 割り込み優先度 7 (最優先割り込み)  
            •  
            •  
            •  
            001 = 割り込み優先度 1  
            000 = 割り込み要因は無効  
bit 3      **未実装:** 「0」として読み出し  
bit 2-0    **C2IP<2:0>:** ECAN2 イベント割り込み優先度ビット  
            111 = 割り込み優先度 7 (最優先割り込み)  
            •  
            •  
            •  
            001 = 割り込み優先度 1  
            000 = 割り込み要因は無効

レジスタ 6-30: IPC15: 割り込み優先度制御レジスタ 15

U-0	R/W-1	R/W-0	R/W-0	U-0	U-0	U-0	U-0
—	FLTAIP<2:0>			—	—	—	—
bit 15				bit 8			
U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	DMA5IP<2:0>			—	DCIIP<2:0>		
bit 7				bit 0			

<b>凡例:</b>			
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	1 = ビットをセット	0 = ビットをクリア	x = ビットは未知

bit 15	<b>未実装:</b> 「0」として読み出し
bit 14-12	<b>FLTAIP&lt;2:0&gt;:</b> PWM フォルト A 割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 11-7	<b>未実装:</b> 「0」として読み出し
bit 6-4	<b>DMA5IP&lt;2:0&gt;:</b> DMA チャンネル 5 データ転送完了割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 3	<b>未実装:</b> 「0」として読み出し
bit 2-0	<b>DCIIP&lt;2:0&gt;:</b> DCI イベント割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効

# dsPIC33F ファミリ リファレンス マニュアル

レジスタ 6-31: IPC16: 割り込み優先度制御レジスタ 16

U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0	R/W-0
—	—	—	—	—	U2EIP<2:0>		
bit 15						bit 8	

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	U1EIP<2:0>			—	FLTBP<2:0>		
bit 7				bit 0			

## 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値      1 = ビットをセット      0 = ビットをクリア      x = ビットは未知

bit 15-11      **未実装:** 「0」として読み出し  
 bit 10-8      **U2EIP<2:0>:** UART2 エラー割り込み優先度ビット  
                 111 = 割り込み優先度 7 (最優先割り込み)  
                 •  
                 •  
                 •  
                 001 = 割り込み優先度 1  
                 000 = 割り込み要因は無効  
 bit 7      **未実装:** 「0」として読み出し  
 bit 6-4      **U1EIP<2:0>:** UART1 エラー割り込み優先度ビット  
                 111 = 割り込み優先度 7 (最優先割り込み)  
                 •  
                 •  
                 •  
                 001 = 割り込み優先度 1  
                 000 = 割り込み要因は無効  
 bit 3      **未実装:** 「0」として読み出し  
 bit 2-0      **FLTBP<2:0>:** PWM フォルト B 割り込み優先度ビット  
                 111 = 割り込み優先度 7 (最優先割り込み)  
                 •  
                 •  
                 •  
                 001 = 割り込み優先度 1  
                 000 = 割り込み要因は無効



レジスタ 6-32: IPC17: 割り込み優先度制御レジスタ 17

U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	C2TXIP<2:0>			—	C1TXIP<2:0>		
bit 15				bit 8			
U-0	R/W-1	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	DMA7IP<2:0>			—	DMA6IP<2:0>		
bit 7				bit 0			

<b>凡例:</b>			
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	1 = ビットをセット	0 = ビットをクリア	x = ビットは未知

bit 15	<b>未実装:</b> 「0」として読み出し
bit 14-12	<b>C2TXIP&lt;2:0&gt;:</b> ECAN2 データ送信要求割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 11	<b>未実装:</b> 「0」として読み出し
bit 10-8	<b>C1TXIP&lt;2:0&gt;:</b> ECAN1 データ送信要求割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 7	<b>未実装:</b> 「0」として読み出し
bit 6-4	<b>DMA7IP&lt;2:0&gt;:</b> DMA チャンネル 7 データ転送完了割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効
bit 3	<b>未実装:</b> 「0」として読み出し
bit 2-0	<b>DMA6IP&lt;2:0&gt;:</b> DMA チャンネル 6 データ転送完了割り込み優先度ビット
	111 = 割り込み優先度 7 (最優先割り込み)
	•
	•
	•
	001 = 割り込み優先度 1
	000 = 割り込み要因は無効

# dsPIC33F ファミリ リファレンス マニュアル

レジスタ 6-33: INTTREG: 割り込み制御およびステータス レジスタ

U-0	U-0	U-0	U-0	R-0	R-0	R-0	R-0
—	—	—	—	ILR<3:0>			
bit 15							bit 8

U-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
—	VECNUM<6:0>						
bit 7							bit 0

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
-n = POR 時の値      1 = ビットをセット      0 = ビットをクリア      x = ビットは未知

bit 15-12      **未実装:** 「0」として読み出し

bit 11-8      **ILR<3:0>:** 新規 CPU 割り込み優先度ビット

1111 = CPU 割り込み優先度は 15

•  
•  
•

0001 = CPU 割り込み優先度は 1

0000 = CPU 割り込み優先度は 0

bit 7      **未実装:** 「0」として読み出し

bit 6-0      **VECNUM<6:0>:** 保留中割り込みのベクタ番号ビット

1111111 = 保留中の割り込みベクタ番号は 135

•  
•  
•

0000001 = 保留中の割り込みベクタ番号は 9

0000000 = 保留中の割り込みベクタ番号は 8

## 6.5 割り込みのセットアップ手順

### 6.5.1 初期化

下記の手順で割り込み要因を設定します。

1. 割り込みのネスティングを行わない場合、NSTDIS 制御ビット (INTCON1<15>) をセットします。
2. 割り込み要因のユーザ割り当て優先度を選択します (適切な IPCx 制御レジスタ内の制御ビットへ書き込む)。優先度はアプリケーションと割り込み要因のタイプに依存します。1 レベルの優先度しか使用しない場合、有効にした全ての割り込み要因の IPCx レジスタ制御ビットを 0 以外の同一値へ設定します。

**Note:** デバイスリセットでは、全てのユーザ割り込み要因を優先度 4 に設定したものとして IPC レジスタが初期化されます。

3. 対応する IFSx ステータス レジスタ内で、周辺モジュール割り込みに関連付けた割り込みフラグのステータスビットをクリアします。
4. 対応する IECx 制御レジスタ内で、有効にする割り込み要因の割り込みイネーブル制御ビットをセットします。

### 6.5.2 割り込みサービスルーチン

ISR を宣言して割り込みベクタテーブル (IVT) を適正なベクタアドレスで初期化する方法は、プログラミング言語 (C またはアセンブラ) と、アプリケーションの開発に使用する言語 - 開発ツールによって異なります。一般的にユーザ アプリケーションは、ISR で処理する割り込み要因に対応する適切な IFSx レジスタ内で割り込みフラグをクリアする必要があります。これを怠ると、アプリケーションは ISR ルーチン終了後即座にまた同じ ISR ルーチンを再開します。ISR をアセンブラ言語でプログラミングする場合、このような動作を回避するために、RETFIE 命令を使用して保存されている PC 値、SRL 値、以前の CPU 優先度をアンスタックする必要があります。

### 6.5.3 トラップサービスルーチン

トラップサービス ルーチン (TSR) のコードは ISR と似ていますが、TSR の再実行を回避するには、INTCON1 レジスタ内で適切なトラップ ステータスフラグをクリアする必要があります。

### 6.5.4 割り込みの無効化

下記の手順で割り込みを無効にします。

1. PUSH 命令を使用して、現在の SR 値をソフトウェア スタックへプッシュします。
  2. SRL に対して値 0xE0 で論理 OR 演算を行って、CPU を優先度 7 へ強制的に設定します。
- ユーザ割り込みを再び有効にするには、POP 命令を使用して以前の SR 値を復元します。

**Note:** 優先度 7 以下のユーザ割り込みだけが無効にできます。トラップ要因 (優先度 8 ~ 15) を無効にする事はできません。

DISI 命令は優先度 1~6 の割り込みだけを一定の期間無効にします。DISI 命令は優先度 7 の割り込み要因を無効にしません。

## 6.5.5 サンプルコード

例 6-1 のコードは、割り込みネスティングの有効化、Timer1 ~ Timer4 および入力状態変化通知割り込みのセットアップ（優先度 2 ~ 6 に設定）、ステータス レジスタによる割り込みの有効化 / 無効化する仕方を示しています。このサンプルコード内に示した ISR コードは、割り込みをクリアする仕方を示しています。

### 例 6-1: 割り込みセットアップのサンプルコード

```
void enableInterrupts(void)
{
    /* Set CPU IPL to 0, enable level 1-7 interrupts */
    /* No restoring of previous CPU IPL state performed here */
    SRbits.IPL = 0;

    return;
}

void disableInterrupts(void)
{
    /* Set CPU IPL to 7, disable level 1-7 interrupts */
    /* No saving of current CPU IPL setting performed here */
    SRbits.IPL = 7;

    return;
}

void initInterrupts(void)
{
    /* Interrupt nesting enabled here */
    INTCON1bits.NSTDIS = 0;

    /* Set Timer3 interrupt priority to 6 (level 7 is highest) */
    IPC2bits.T3IP = 6;

    /* Set Timer2 interrupt priority to 5 */
    IPC1bits.T2IP = 5;

    /* Set Change Notice interrupt priority to 4 */
    IPC4bits.CNIP = 4;

    /* Set Timer4 interrupt priority to 3 */
    IPC6bits.T4IP = 3;

    /* Set Timer1 interrupt priority to 2 */
    IPC0bits.T1IP = 2;

    /* Reset Timer1 interrupt flag */
    IFS0bits.T1IF = 0;

    /* Reset Timer2 interrupt flag */
    IFS0bits.T2IF = 0;

    /* Reset Timer3 interrupt flag */
    IFS0bits.T3IF = 0;

    /* Reset Timer4 interrupt flag */
    IFS1bits.T4IF = 0;

    /* Enable CN interrupts */
    IEC1bits.CNIE = 1;
}
```

例 6-1: 割り込みセットアップのサンプルコード (続き)

```
/* Enable Timer1 interrupt */
IEC0bits.T1IE = 1;

/* Enable Timer2 interrupt (PWM time base) */
IEC0bits.T2IE = 1;

/* Enable Timer3 interrupt */
IEC0bits.T3IE = 1;

/* Enable Timer4 interrupt (replacement for Timer 2) */
IEC1bits.T4IE = 1;

/* Reset change notice interrupt flag */
IFS1bits.CNIF = 0;

return;
}

void __attribute__((__interrupt__)) _T1Interrupt(void)
{
    /* Insert ISR Code Here*/

    /* Clear Timer1 interrupt */
    IFS0bits.T1IF = 0;
}

void __attribute__((__interrupt__)) _T2Interrupt(void)
{
    /* Insert ISR Code Here*/

    /* Clear Timer2 interrupt */
    IFS0bits.T2IF = 0;
}

void __attribute__((__interrupt__)) _T3Interrupt(void)
{
    /* Insert ISR Code Here*/

    /* Clear Timer3 interrupt */
    IFS0bits.T3IF = 0;
}

void __attribute__((__interrupt__)) _T4Interrupt(void)
{
    /* Insert ISR Code Here*/

    /* Clear Timer4 interrupt */
    IFS1bits.T4IF = 0;
}

void __attribute__((__interrupt__)) _CNInterrupt(void)
{
    /* Insert ISR Code Here*/

    /* Clear CN interrupt */
    IFS1bits.CNIF = 0;
}
```

表 6-2: 割り込みコントローラのレジスタマップ

ファイル名	ADR	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	全リセット
INTCON1	0080	NSTDIS	OVAERR	OVBERR	COVAERR	COVBERR	OVATE	OVBT	COVTE	SFTACERR	DIV0ERR	DMACERR	MATHERR	ADDRERR	STKERR	OSCFAIL	—	0000
INTCON2	0082	ALTIVT	DISI	—	—	—	—	—	—	—	—	—	INT4EP	INT3EP	INT2EP	INT1EP	INT0EP	0000
IFS0	0084	—	DMA1IF	AD1IF	U1TXIF	U1RXIF	SPI1IF	SPI1EIF	T3IF	T2IF	OC2IF	IC2IF	DMA0IF	T1IF	OC1IF	IC1IF	INT0IF	0000
IFS1	0086	U2TXIF	U2RXIF	INT2IF	T5IF	T4IF	OC4IF	OC3IF	DMA2IF	IC8IF	IC7IF	AD2IF	INT1IF	CNIF	—	MI2C1IF	SI2C1IF	0000
IFS2	0088	T6IF	DMA4IF	—	OC8IF	OC7IF	OC6IF	OC5IF	IC6IF	IC5IF	IC4IF	IC3IF	DMA3IF	C1IF	C1RXIF	SPI2IF	SPI2EIF	0000
IFS3	008A	FLTAIF	—	DMA5IF	DCIIF	DCIEIF	QE1IF	PWMIF	C2IF	C2RXIF	INT4IF	INT3IF	T9IF	T8IF	MI2C2IF	SI2C2IF	T7IF	0000
IFS4	008C	—	—	—	—	—	—	—	—	C2TXIF	C1TXIF	DMA7IF	DMA6IF	—	U2EIF	U1EIF	FLTBIF	0000
IFS5	008E	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000
IFS6	0090	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000
IFS7	0092	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000
IEC0	0094	—	DMA1IE	AD1IE	U1TXIE	U1RXIE	SPI1IE	SPI1EIE	T3IE	T2IE	OC2IE	IC2IE	DMA0IE	T1IE	OC1IE	IC1IE	INT0IE	0000
IEC1	0096	U2TXIE	U2RXIE	INT2IE	T5IE	T4IE	OC4IE	OC3IE	DMA2IE	IC8IE	IC7IE	AD2IE	INT1IE	CNIE	—	MI2C1IE	SI2C1IE	0000
IEC2	0098	T6IE	DMA4IE	—	OC8IE	OC7IE	OC6IE	OC5IE	IC6IE	IC5IE	IC4IE	IC3IE	DMA3IE	C1IE	C1RXIE	SPI2IE	SPI2EIE	0000
IEC3	009A	FLTAIE	—	DMA5IE	DCIIE	DCIEIE	QE1IE	PWMIIE	C2IE	C2RXIE	INT4IE	INT3IE	T9IE	T8IE	MI2C2IE	SI2C2IE	T7IE	0000
IEC4	009C	—	—	—	—	—	—	—	—	C2TXIE	C1TXIE	DMA7IE	DMA6IE	—	U2EIE	U1EIE	FLTBIE	0000
IEC5	009E	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000
IEC6	00A0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000
IEC7	00A2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000
IPC0	00A4	—	T1IP<2:0>			—	OC1IP<2:0>			—	IC1IP<2:0>			—	INT0IP<2:0>			4444
IPC1	00A6	—	T2IP<2:0>			—	OC2IP<2:0>			—	IC2IP<2:0>			—	DMA0IP<2:0>			4444
IPC2	00A8	—	U1RXIP<2:0>			—	SPI1IP<2:0>			—	SPI1EIP<2:0>			—	T3IP<2:0>			4444
IPC3	00AA	—	—	—	—	—	DMA1IP<2:0>			—	AD1IP<2:0>			—	U1TXIP<2:0>			4444
IPC4	00AC	—	CNIP<2:0>			—	—	—	—	—	MI2C1IP<2:0>			—	SI2C1IP<2:0>			4444
IPC5	00AE	—	IC8IP<2:0>			—	IC7IP<2:0>			—	AD2IP<2:0>			—	INT1IP<2:0>			4444
IPC6	00B0	—	T4IP<2:0>			—	OC4IP<2:0>			—	OC3IP<2:0>			—	DMA2IP<2:0>			4444
IPC7	00B2	—	U2TXIP<2:0>			—	U2RXIP<2:0>			—	INT2IP<2:0>			—	T5IP<2:0>			4444
IPC8	00B4	—	C1IP<2:0>			—	C1RXIP<2:0>			—	SPI2IP<2:0>			—	SPI2EIP<2:0>			4444
IPC9	00B6	—	IC5IP<2:0>			—	IC4IP<2:0>			—	IC3IP<2:0>			—	DMA3IP<2:0>			4444
IPC10	00B8	—	OC7IP<2:0>			—	OC6IP<2:0>			—	OC5IP<2:0>			—	IC6IP<2:0>			4444
IPC11	00BA	—	T6IP<2:0>			—	DMA4IP<2:0>			—	—	—	—	—	OC8IP<2:0>			4444
IPC12	00BC	—	T8IP<2:0>			—	MI2C2IP<2:0>			—	SI2C2IP<2:0>			—	T7IP<2:0>			4444
IPC13	00BE	—	C2RXIP<2:0>			—	INT4IP<2:0>			—	INT3IP<2:0>			—	T9IP<2:0>			4444

凡例: — = 未実装、「0」として読み出し。リセット値は 16 進表記です。

表 6-2: 割り込みコントローラのレジスタマップ ( 続き )

ファイル名	ADR	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	全リセット
IPC14	00C0	—	DCIEIP<2:0>			—	QEIP<2:0>			—	PWMIP<2:0>			—	C2IP<2:0>			4444
IPC15	00C2	—	FLTAIP<2:0>			—	—	—	—	—	DMA5IP<2:0>			—	DCIIP<2:0>			4444
IPC16	00C4	—	—	—	—	—	U2EIP<2:0>			—	U1EIP<2:0>			—	FLTBIP<2:0>			4444
IPC17	00C6	—	C2TXIP<2:0>			—	C1TXIP<2:0>			—	DMA7IP<2:0>			—	DMA6IP<2:0>			4444
IPC18	00C8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	4444
IPC19	00CA	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	4444
IPC20	00CC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	4444
IPC21	00CE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	4444
IPC22	00D0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	4444
IPC23	00D2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	4444
IPC24	00D4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	4444
IPC25	00D6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	4444
IPC26	00D8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	4444
IPC27	00DA	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	4444
IPC28	00DC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	4444
IPC29	00DE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	4444

凡例： — = 未実装、「0」として読み出し . リセット値は 16 進表記です。

## 6.6 設計のヒント

- 質問 1:** 同じユーザ割り当て優先度を持つ 2 つの割り込み要因が同時に保留状態になった場合にはどのように処理されますか
- 回答** 自然順序優先度が高い方の割り込み要因が優先されます。自然順序優先度は、割り込みベクタテーブル (IVT) 内の要因のアドレス順によって決まります。IVT アドレスが低い割り込み要因ほど、自然順序優先度は高くなります。
- 質問 2:** DISI 命令を使用して割り込みとトラップの全ての要因を無効にできますか
- 回答** DISI 命令は優先度 7 の割り込み要因とトラップを無効にしません。しかし、ユーザ アプリケーション内に有効な優先度 7 の割り込みが存在しない場合には、DISI 命令を使用して簡単に全ての割り込みを無効にできます。
- 質問 3:** 周辺モジュール割り込みを DMA 要求とし使用するとどうなりますか
- 回答** ユーザ アプリケーションは任意の周辺モジュール割り込みを DMA 要求として使用できます。DMA 要求は、DMA へ向けられた IRQ です。特定の割り込みに対して DMA チャンネルが DMA 要求として応答するように設定した場合、アプリケーションは対応する CPU 割り込みを無効にする必要があります。これを怠ると、CPU 割り込みも要求されてしまいます。



### 6.7 関連アプリケーション ノート

ここでは、本セクションに関連するアプリケーション ノートを紹介します。一部のアプリケーション ノートは dsPIC33F 製品ファミリ向けではありません。ただし概念は共通しており、変更が必要であったり制限事項が存在するものの利用が可能です。割り込みモジュールに関連する現在のアプリケーション ノートは次の通りです。

タイトル

アプリケーション ノート番号

現在、関連するアプリケーション ノートはありません。

**Note:** PIC33F ファミリ関連のアプリケーション ノートとサンプルコードは弊社ウェブサイト ([www.microchip.com](http://www.microchip.com)) をご覧ください。

## 6.8 改訂履歴

### リビジョン A (2007 年 1 月)

本書の初版

### リビジョン B (2008 年 7 月)

このリビジョンでの変更内容は次の通りです。

- 例：
  - 6.1.5「割り込み優先度」の例内の「プログラマブル低電圧検出器 (PLVD)」を「UART1 Rx 割り込み」に訂正
- レジスタ：
  - (INTCON1): 割り込み制御レジスタ 1 (レジスタ 6-3) 内のビット 4/6/11/12 に関する記述を訂正。
  - IEC1: 割り込みイネーブル制御レジスタ 1 (レジスタ 6-11) 内のビット 5/6/7/8 に関する記述を訂正
  - IEC2: 割り込みイネーブル制御レジスタ 2 (レジスタ 6-12) 内のビット 0/2/3/4/14 に関する記述を訂正
  - IEC3: 割り込みイネーブル制御レジスタ 3 (レジスタ 6-13) 内の全てのビットに関する記述を訂正
  - IEC4: 割り込みイネーブル制御レジスタ 4 (レジスタ 6-14) 内の全てのビットに関する記述を訂正
  - 「NTTREG: 割り込み制御およびステータスレジスタ」(レジスタ 6-33) を新たに追加
- Notes:
  - 6.1.5「割り込み優先度」の先頭段落の後に、割り込み優先度を実行中に変更する場合の注意事項を追加
- テーブル：
  - 表 6-1 内の IRQ 番号 83 ~ 124 の IVT アドレスと AIVT アドレスを更新
- 上記に加えて、表現および体裁の変更等、本書全体の細部を修正

ISBN: 978-1-60932-501-5