

セクション 10. I/O ポート

ハイライト

本セクションには下記の主要項目を記載しています。

10.1	はじめに	10-2
10.2	I/O PORTx 制御レジスタ	10-3
10.3	周辺モジュールの多重化	10-5
10.4	状態変化通知 (CN) ピン	10-7
10.5	スリープおよびアイドルモード時の CN 動作	10-8
10.6	レジスタ	10-9
10.7	関連アプリケーション ノート	10-11
10.8	改訂履歴	10-12

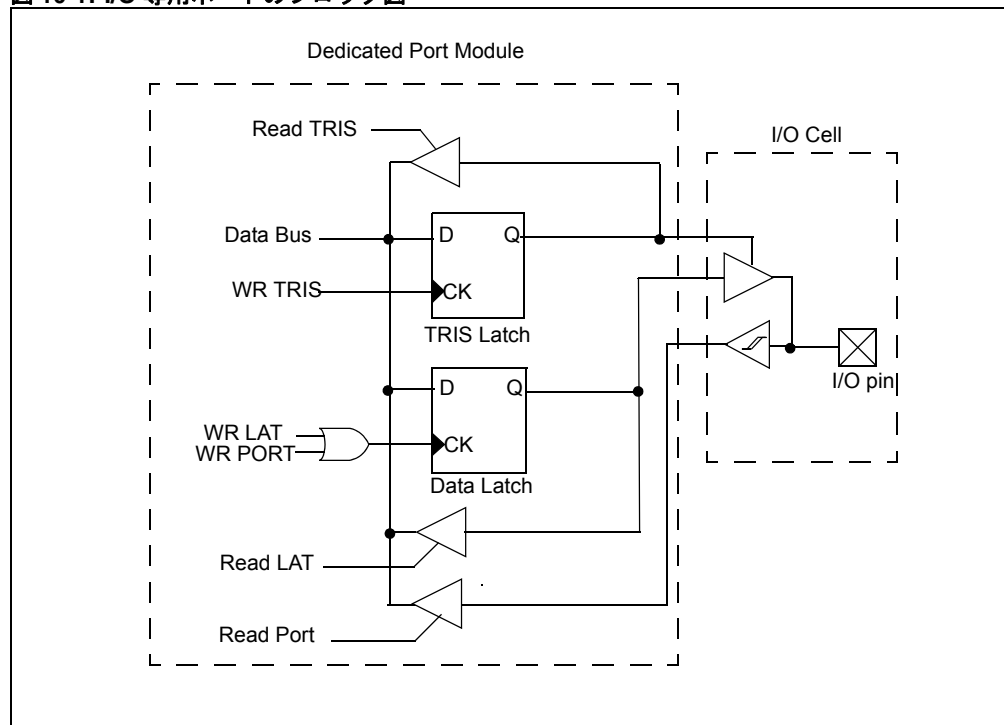
10.1 はじめに

本セクションには dsPIC33F ファミリの I/O ポートに関する説明を記載しています。周辺モジュールと汎用 I/O ポートは VDD、Vss、MCLR、OSC1/CLKI を除く全てのデバイスピンを共有します。

dsPIC33F は汎用 I/O ポートを使用して他のデバイスを監視または制御します。大部分の I/O ピンは多重化されており、複数の機能を持ちます。多重化の内容は各デバイスが備える周辺モジュールによって異なります。一般的に、周辺モジュールを動作させる場合、そのモジュールに対応するピンを汎用 I/O ピンとして使用する事はできません。

図 10-1 に代表的な I/O ポートのブロック図を示します。このブロック図のピンには、周辺モジュール機能を多重化していません。

図 10-1: I/O 専用ポートのブロック図



10.2 I/O PORTx 制御レジスタ

全ての I/O ポートは、ポート動作に直接関連する下記の 4 つのレジスタを持ちます。各レジスタ名の添え字「x」は各 I/O ポートの識別名です。

- TRISx: データ方向レジスタ
- PORTx: I/O ポートレジスタ
- LATx: I/O ラッチレジスタ
- ODCx: オープンドレイン制御レジスタ

TRIS、PORT、LAT レジスタ内の各 1 ビットは各 I/O ピンに対応します。

Note: ポートと I/O ピンの総数はデバイスごとに異なります。デバイスによっては、ポート制御レジスタ内に一部のビットしか備えていません。詳細は各デバイスのデータシートを参照してください。

10.2.1 TRIS レジスタ

TRISx レジスタ内の制御ビットは、各ピンに対応する I/O ポートのデータ方向 (入力 / 出力) を指定します。TRIS ビットが「1」の場合、その I/O ピンは入力ピンとして機能します。TRIS ビットが「0」の場合、その I/O ピンは出力ピンとして機能します。「1」はアルファベットの「I」 (Input = 入力)、「0」はアルファベットの「O」 (Output = 出力) として覚えておくくと便利です。リセット後は、全てのポートピンが入力ピンとして設定されます。

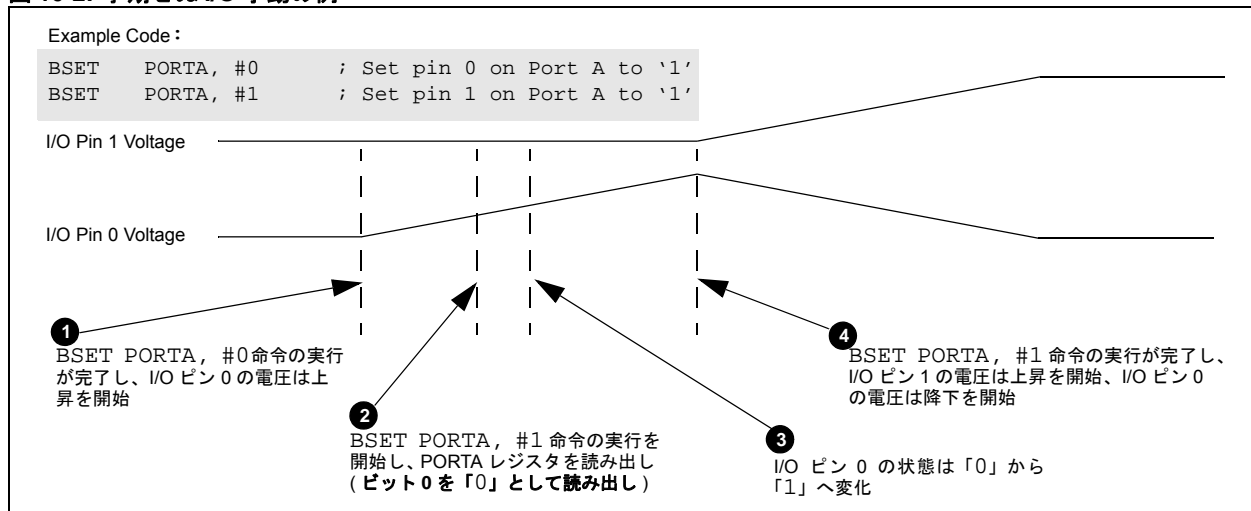
10.2.2 PORT レジスタ

PORTx レジスタを使用して各 I/O ピンのデータにアクセスします。PORTx レジスタからの読み出しにより I/O ピンの値を読み出し、PORTx レジスタへの書き込みにより値をポートのデータラッチへ書き込みます。

BSET や BCLR 等、多くの命令は「読み出し - 変更 - 書き込み」動作です。この場合、ポートへの書き込みとは「ポートピンの読み出し - 値の変更 - ポートのデータラッチへの値の書き込み」を意味します。「入力」として設定した I/O ピンの PORTx レジスタに対してこのような命令を実行する場合は注意が必要です。命令実行後にその I/O ピンのデータ方向を「出力」へ変更すると、I/O ピンが予期せぬ値を出力する可能性があります。このような現象が生じるのは、「読み出し - 変更 - 書き込み」命令が入力ピン上の瞬時値を読み出して変更し、その値をポートデータラッチへ転送するためです。

さらに、「出力」として設定した I/O ピンの PORTx レジスタに対して「読み出し - 変更 - 書き込み」命令を使用すると、デバイスの実行速度と I/O 負荷容量によっては予期せぬ I/O 挙動が発生する可能性があります。そのような例として、ユーザ アプリケーションが PORTA レジスタに対して「読み出し - 変更 - 書き込み」命令を 2 回連続して実行し、ポート A で I/O ビット 0 とビット 1 をセットしようと試みた場合に生じる挙動を図 10-2 に示します。CPU 速度が高く I/O ピンの負荷容量が高い場合にこのようなコードを実行すると、I/O ビット 1 だけが HIGH にセットされるという予期せぬ結果が生じます。

図 10-2: 予期せぬ I/O 挙動の例



最初の BSET 命令は PORTA レジスタ内のビット 0 へ「1」を書き込み、これによりピン 0 の電圧が論理レベル「1」へ向かって上昇し始めます (図 10-2 の①)。しかし、ピン 0 の電圧が論理「1」のしきい値に達する (図 10-2 の③) 前に次の BSET 命令を実行するため、この BSET (読み出し - 変更 - 書き込み) 命令はビット 0 から「0」を読み出し (図 10-2 の②)、これを PORTA レジスタへ書き戻します (図 10-2 の④)。すなわち、このようなコード実行では、値 0x0001 を読み出してこれを 0x0003 へ変更するのが本来の意図する動作であるのに対し、実際には 0x0000 を読みして 0x0002 へ変更し、その値を PORTA レジスタへ書き戻します。この結果、ピン 0 の電圧は論理「0」へ向かって降下し始め、ピン 1 の電圧は論理「1」へ向かって上昇し始めます。

10.2.3 LAT レジスタ

各 I/O ピンが備える LATx レジスタは、「読み出し - 変更 - 書き込み」命令によって生じる問題を解消します。LATx レジスタの読み出しは、I/O ピン上の瞬時値ではなくポート出力ラッチの保持値を返します。このため、I/O ポートの LAT レジスタに対する「読み出し - 変更 - 書き込み」動作では、入力ピンの値をポートラッチへ書き込む事態を回避できます。LATx レジスタへの書き込みは、PORTx レジスタへの書き込みと同じ効果を持ちます。

下記のサンプルコードでは、LATx レジスタを使用して 2 つの I/O ビットをセットします。

例 10-1: LATx レジスタを使用して I/O ピンをセットする

BSET	LATA, #0	;Set pin 0 on Port A to '1'
BSET	LATA, #1	;Set pin 1 on Port A to '1'

PORT レジスタと LAT レジスタの違いは下記のように要約できます。

- PORTx レジスタへの書き込みはデータ値をポートラッチへ書き込みます。
- LATx レジスタへの書き込みもデータ値をポートラッチへ書き込みます。
- PORTx レジスタの読み出しは、I/O ピン上のデータ値を読み出します。
- LATx レジスタの読み出しは、ポートラッチの保持値を読み出します。

デバイス上で無効なデータと無効な制御レジスタに関連する全てのビットは無効です。すなわち、それらに対応する LATx および TRISx レジスタとポートピンは全て「0」として読み出されます。

10.2.4 オープンドレイン制御レジスタ

PORT、LAT、TRIS レジスタによるデータ制御に加えて、各ポートピンを個別にデジタル出力またはオープンドレイン出力向けに設定できます。これは各ピンに対応するオープンドレイン制御レジスタ ODCx で設定します。対応するビットをセットする事により、任意のピンをオープンドレイン出力として設定できます。

オープンドレイン機能は、外部プルアップ抵抗を使用して、任意のデジタル専用ピン上で VDD (例: 5 V) を超える電圧を発生させる事ができます。オープンドレイン I/O 機能は、アナログ機能が多重化されているピンでは使用できません。オープンドレインの最大許容電圧は、V_{IH} の最大仕様値と同じです。オープンドレイン出力機能は、I/O ポート向けと周辺モジュール向けのどちらに設定したピンでも使用できます。

10.3 周辺モジュールの多重化

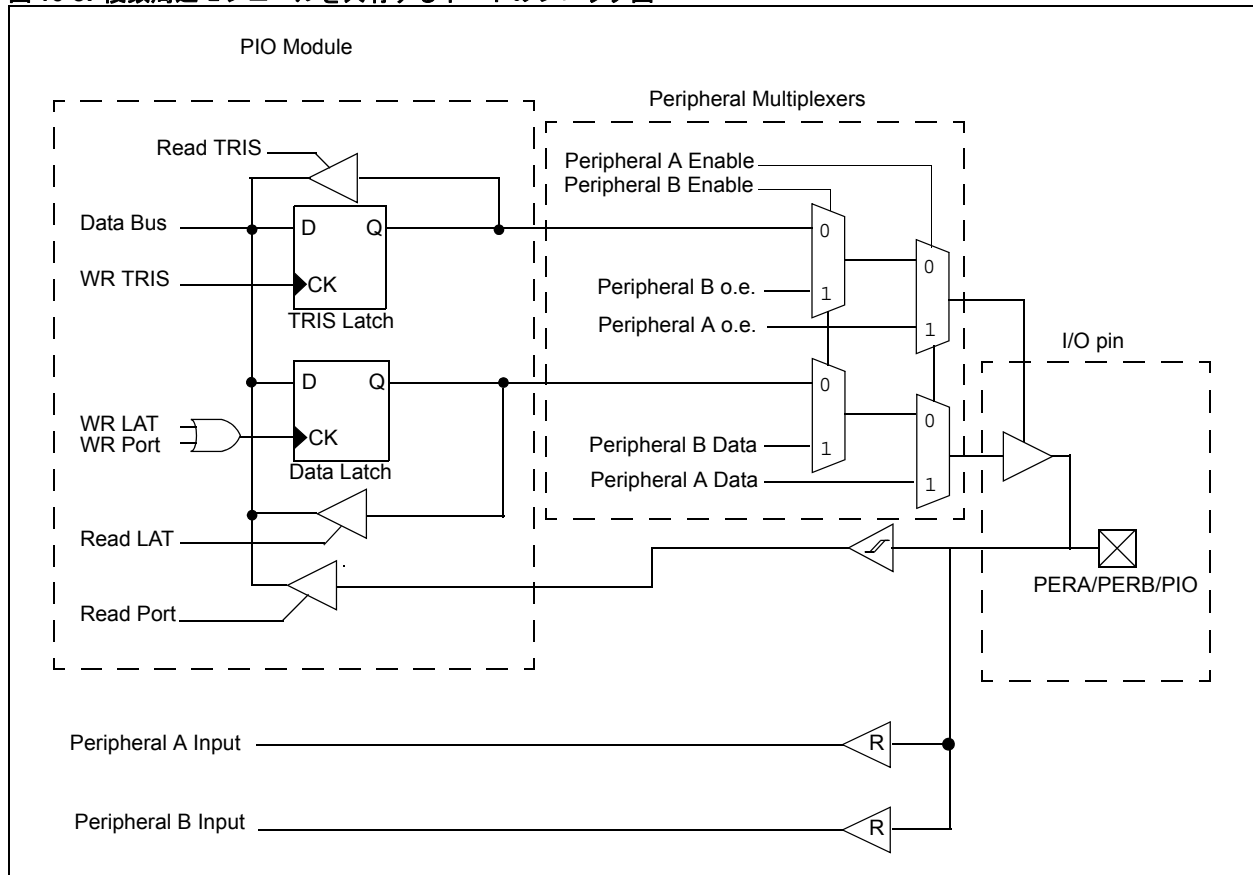
周辺モジュール向けに設定したピンの出力ドライバは、通常の場合「モジュールにより制御」されますが、一部は「ユーザ設定可能」です。「ユーザ設定可能」とは、対応する TRISx 特殊機能レジスタ (SFR) を使用して、ユーザが周辺モジュール向けポートピンの出力ドライバを設定できる事を意味します。TRISx レジスタは、周辺モジュールが正しく機能するように設定する必要があります。ユーザ設定可能な周辺モジュールピンでは、ピンの状態を PORTx SFR から常時読み出す事ができます。

I/O ピンは入力データバス経由で読み出せますが、通常 I/O ポートビット向けの出力ドライバは無効化されます。

周辺モジュールとピンを共有する I/O ポートでは、常に周辺モジュールが高い優先度を持ちます。周辺モジュールの出力バッファデータと制御信号は、一對のマルチプレクサへ供給されます。このマルチプレクサは、周辺モジュールまたはポートのどちらに出力データの所有権を持たせるかを選択し、I/O ピンの信号を制御します。図 10-3 に、1 つの I/O ピンを複数の周辺モジュールが共有する場合のブロック図を示します。

Note: ADC モジュールピンを共有するポートも存在します。ADC モジュールを使用しない場合は、モジュールを OFF にするだけでなく、そのポートを I/O ポートとして機能させるために AD1PCFG および AD2PCFG レジスタの対応するビットを「1」に設定する必要があります。

図 10-3: 複数周辺モジュールを共有するポートのブロック図



10.3.1 複数周辺モジュールの I/O 多重化

特に I/O ピンを少数しか備えない一部の dsPIC33F デバイスでは、各 I/O ピンに複数の周辺機能を多重化しています。図 10-3 の例では、同一 I/P ピンに 2 つの周辺モジュールを多重化しています。

I/O ピンの名前により、そのピンに割り当てられた各機能の優先順位が決まります。図 10-3 の I/O ピンは名前「PERA/PERB/PIO」を持ち、周辺モジュール A と B が多重化されています。

ピンに割り当てる機能をユーザ アプリケーションが容易に指定できるようにするために、I/O ピンの名前は各機能の優先順がわかるように付けられています。例えば図 10-3 の場合、周辺モジュール A がこのピンの制御に対して最高優先度を持ちます。周辺モジュール A と B を同時に有効にした場合、周辺モジュール A がこの I/O ピンを制御します。

10.3.1.1 ソフトウェア入力ピンの制御

ピン出力ドライバを制御しない入力機能を I/O ピンに割り当てる場合があります。例えば入力キャプチャ モジュールがこれに該当します。対応する TRIS 制御ビットを使用して入力キャプチャを割り当てた I/O ピンを「出力」として設定している場合、ユーザは対応する PORT レジスタを介して入力キャプチャピンの状態に手動で影響を与える事ができます。このような操作は、入力ピンへ外部信号を接続していない場合のテスト目的等に便利です。

図 10-3 の場合、周辺モジュール マルチプレクサの構成次第で、PORT レジスタを使ってソフトウェアから周辺モジュール入力ピンを操作できるかどうかが決まります。この図内のいずれかの周辺機能を有効にすると、その周辺モジュールは I/O ピンから PORT データを切り離します。

一般的に、下記の周辺モジュールの入力ピンは PORT レジスタを介して手動で制御できます。

- 外部割り込みピン
- タイマクロック入力ピン
- 入力キャプチャピン
- PWM フォルトピン

大部分のシリアル通信周辺モジュールは、有効になっている間は I/O ピンを完全に制御します。従ってそれらのモジュールを有効にした場合、PORTA レジスタを介してそれらの入力ピンへ影響を与える事はできません。このような周辺モジュールには下記が該当します。

- SPI
- I²C™
- UART
- ECAN™

Note: デバイスによって内蔵する周辺モジュールが異なります。詳細は各デバイスのデータシートを参照してください。

10.3.1.2 ピン制御のまとめ

周辺モジュールを有効にした場合、関連するピンの出力ドライバは通常の場合モジュールにより制御されますが、ユーザ設定可能な場合もあります。「モジュールにより制御される」とは、関連するポートピンの出力ドライバを無効にし、周辺モジュールのみがピンに対する制御とアクセスを行う事を意味します。

代表的なユーザ設定可能周辺モジュールとしては、入力キャプチャ周辺モジュールが挙げられます。この場合ユーザ アプリケーションは関連する TRIS レジスタへ書き込みを行って、入力キャプチャピンを入力として設定する必要があります。入力キャプチャを有効にしても I/O ピン回路は動作を続けるため、ソフトウェアを使用してキャプチャ イベントを手動で発生させる事ができます。これを行うには、関連する TRIS レジスタを使用して、入力キャプチャピンを出力として設定します。これにより、ソフトウェアは対応する LAT レジスタへ値を書き込む事によって入力キャプチャピンを内部制御し、キャプチャ イベントを強制的に発生させる事ができます。

別の例として、INTx ピンを出力として設定した場合、関連する LATx ビットへ書き込む事によって、有効な INTx 割り込みを発生させる事ができます。

UART はモジュール制御周辺モジュールの一例です。UART を有効にした場合、PORT および TRIS レジスタは効果を持たないため、RX および TX ピンへの書き込みには使用できません。dsPIC33F で利用可能な大部分の周辺通信機能はモジュール制御です。

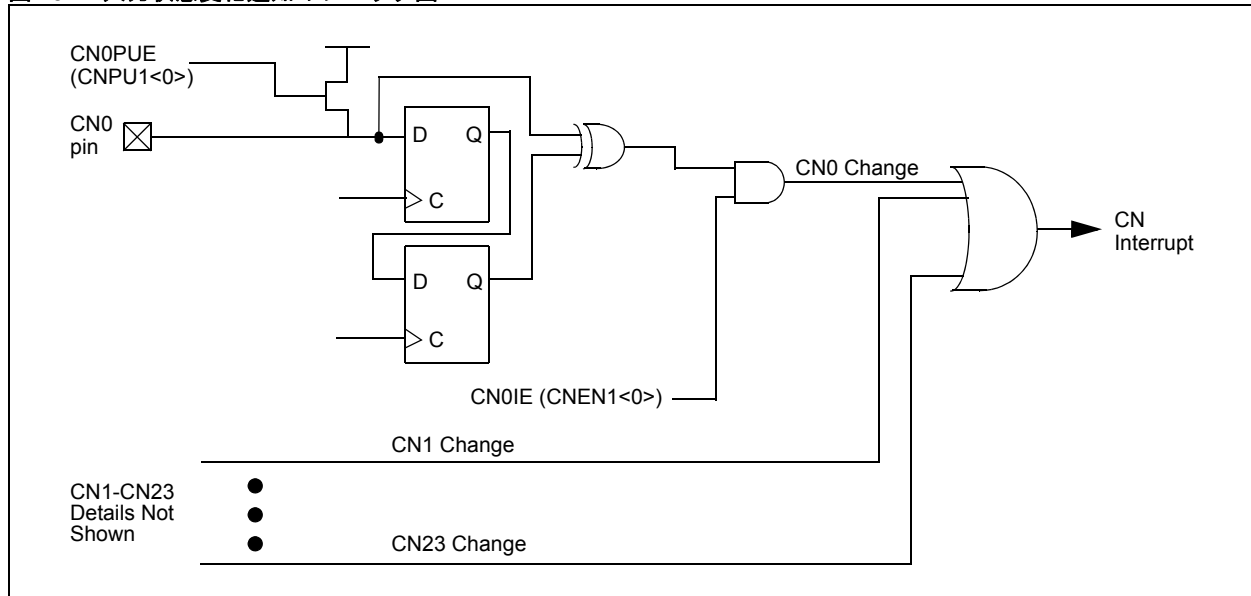
例えば SPI モジュールは、SDO ピンのみを使うマスターモードに設定できます。この場合は、関連する TRISx ビットをクリアする (論理「0」へ設定する) 事により、SDI ピンを汎用出力ピンとして設定できます。詳細なピン設定方法は各モジュールの説明を参照してください。

10.4 状態変化通知 (CN) ピン

dsPIC33F ファミリは状態変化通知 (CN) ピンを使用して特定入力ピンの状態変化を監視し、これに応じた割り込み要求をプロセッサに対して発生させる事ができます。最大 24 本の入力ピンを CN 割り込み発生用に設定 (有効化) できます。CN 入力ピンの利用可能最大数はデバイスによって異なります。詳細は各デバイスのデータシートを参照してください。

図 10-4 に CN ハードウェアの基本機能を示します。

図 10-4: 入力状態変化通知のブロック図



10.4.1 CN 制御レジスタ

CN モジュールの制御には下記の 4 つの制御レジスタを使用します。CNEN1 および CNEN2 レジスタは CNxIE 制御ビットを格納します (「x」は CN 入力ピンの番号)。CPU に対して割り込みを発生させるには、その CN 入力ピンに対応する CNxIE ビットをセットする必要があります。

CNPU1 および CNPU2 レジスタは CNxPUE 制御ビットを格納します。各 CN ピンには数 10 kΩ 相当のプルアップ抵抗が接続されており、これは CNxPUE 制御ビットを使用して有効化 / 無効化できます。これらのプルアップ抵抗はピンに対する電流源として機能し、押しボタンまたはキーパッド デバイスを接続する場合に外部抵抗を省略できます。CN プルアップ抵抗の電流仕様は、各デバイス データシート内の「電気的特性」を参照してください。

10.4.2 CN ピンの設定と動作

CN ピンは下記のように設定します。

1. TRISx レジスタ内の関連ビットを設定する事により、CN ピンをデジタル入力として設定します。
2. CNEN1 および CNEN2 レジスタ内の適切なビットを設定する事により、選択した CN ピンの割り込みを有効にします。
3. 必要に応じて、CNPU1 および CNPU2 レジスタ内の適切なビットを設定する事により、選択した CN ピンの数 10 kΩ 相当のプルアップ抵抗を有効にします。
4. IFSx レジスタ内の CNIF 割り込みフラグをクリアします。
5. IPCx レジスタ内の CNIP<2:0> 制御ビットを使用して、CN 割り込みの優先度を選択します。
6. IECx レジスタ内の CNIE 制御ビットを使用して、CN 割り込みを有効にします。

CN 割り込みが発生した場合、ユーザ アプリケーションはその CN ピンに対応する PORT レジスタを読み出す必要があります。これにより割り込み発生条件をクリアし、CN ロジックが次のピン状態変化を検出できるようにセットアップします。現在の PORT 値と直前の CN 割り込み時の PORT 読み出し値を比較する事により、状態変化が発生したピンを特定できます。

CN ピンへの入力は最小パルス幅仕様値を満たす必要があります。詳細は各デバイス データシート内の「電気的特性」を参照してください。

例 10-2: CN 割り込みの設定および使用方法

```
void configure CN(void)
{
    CNEN1bits.CN3IE = 1;           // Enable CN3 pin for interrupt detection
    IEC1bits.CNIE = 1;             // Enable CN interrupts
    IFS1bits.CNIF = 0;             // Reset CN interrupt
}

void __attribute__((__interrupt__)) _CNInterrupt(void)
{
    // Insert ISR code here

    IFS1bits.CNIF = 0;             // Clear CN interrupt
}
```

10.5 スリープおよびアイドルモード時の CN 動作

CN モジュールはスリープまたはアイドルモード時も動作を続けます。有効にした CN ピンのいずれかの状態が変化すると、IFSx レジスタ内の CNIF ステータスビットがセットされます。この際、IECx レジスタ内の CNIE ビットがセットされていれば、デバイスはスリープまたはアイドルモードからウェイクアップして動作を再開します。

CN 割り込みに割り当てた優先度が現在の CPU 優先度以下である場合、デバイスは SLEEP または IDLE 命令の直後から実行を再開します。

CN 割り込みの優先度が現在の CPU 優先度よりも高い場合、デバイスは CN 割り込みベクタアドレスから実行を再開します。

10.6 レジスタ

10.6.1 状態変化通知レジスタ

以下のレジスタは、CN 割り込みとプルアップ抵抗の有効化 / 無効化に使用します。

- CNEN1: 入力状態変化通知割り込みイネーブル レジスタ 1
- CNEN2: 入力状態変化通知割り込みイネーブル レジスタ 2
- CNPU1: 入力状態変化通知プルアップ イネーブル レジスタ 1
- CNPU2: 入力状態変化通知プルアップ イネーブル レジスタ 2

レジスタ 10-1: CNEN1: 入力状態変化通知割り込みイネーブル レジスタ 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CN15IE	CN14IE	CN13IE	CN12IE	CN11IE	CN10IE	CN9IE	CN8IE
bit 15				bit 8			

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CN7IE	CN6IE	CN5IE	CN4IE	CN3IE	CN2IE	CN1IE	CN0IE
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

bit 15-0 **CNxIE:** 入力状態変化通知割り込みイネーブルビット
 1 = 入力状態変化時の割り込みは有効
 0 = 入力状態変化時の割り込みは無効

レジスタ 10-2: CNEN2: 入力状態変化通知割り込みイネーブル レジスタ 2

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15				bit 8			

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CN23IE	CN22IE	CN21IE	CN20IE	CN19IE	CN18IE	CN17IE	CN16IE
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

bit 15-8 **未実装:** 「0」として読み出し
 bit 7-0 **CNxIE:** 入力状態変化通知割り込みイネーブルビット
 1 = 入力状態変化時の割り込みは有効
 0 = 入力状態変化時の割り込みは無効

dsPIC33F ファミリ リファレンス マニュアル

レジスタ 10-3: CNPU1: 入力状態変化通知プルアップ イネーブル レジスタ 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CN15PUE	CN14PUE	CN13PUE	CN12PUE	CN11PUE	CN10PUE	CN9PUE	CN8PUE
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CN7PUE	CN6PUE	CN5PUE	CN4PUE	CN3PUE	CN2PUE	CN1PUE	CN0PUE
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

bit 15-0 **CNxPUE:** 入力状態変化通知プルアップ イネーブルビット
1 = CNx 入力状態変化通知ピンのプルアップは有効
0 = CNx 入力状態変化通知ピンのプルアップは無効

レジスタ 10-4: CNPU2: 入力状態変化通知プルアップ イネーブル レジスタ 2

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CN23PUE	CN22PUE	CN21PUE	CN20PUE	CN19PUE	CN18PUE	CN17PUE	CN16PUE
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 1 = ビットをセット 0 = ビットをクリア x = ビットは未知

bit 15-8 **未実装:** 「0」として読み出し
bit 7-0 **CNxPUE:** 入力状態変化通知プルアップ イネーブルビット
1 = CNx 入力状態変化通知ピンのプルアップは有効
0 = CNx 入力状態変化通知ピンのプルアップは無効

10.7 関連アプリケーション ノート

本セクションに関連するアプリケーション ノートの一覧を下に記載します。一部のアプリケーション ノートは dsPIC33F ファミリ向けではありません。ただし概念は共通しており、変更が必要であったり制限事項が存在するもの利用が可能です。I/O ポートモジュールに関連する最新のアプリケーション ノートは以下の通りです。

タイトル	アプリケーション ノート番号
キー操作時ウェイクアップの実装	AN552

Note: PIC33F ファミリ関連のアプリケーション ノートやサンプルコードは弊社ウェブサイト (www.microchip.com) をご覧ください。

10.8 改訂履歴

リビジョン A (2007 年 2 月)

本書の初版

リビジョン B (2007 年 2 月)

本書全体の小規模な更新

リビジョン C (2008 年 9 月)

このリビジョンでの変更内容は以下の通りです。

- レジスタ
 - レジスタ 10-3 の bit 15-0 に関する記述を訂正
 - レジスタ 10-4 の bit 7-0 に関する記述を訂正
- 上記に加えて、表現と体裁の変更等、本書全体の細部を修正

ISBN: 978-1-60932-505-3