

## セクション 34. コンパレータ

### ハイライト

本セクションでは以下のトピックについて説明します。

34.1 はじめに .....	34-2
34.2 コンパレータのレジスタ .....	34-3
34.3 コンパレータの動作 .....	34-6
34.4 コンパレータの設定 .....	34-7
34.5 コンパレータ割り込み .....	34-8
34.6 コンパレータの基準電圧ジェネレータ .....	34-10
34.7 初期化 .....	34-12
34.8 レジスタマップ .....	34-13
34.9 設計のヒント .....	34-14
34.10 関連アプリケーション ノート .....	34-15
34.11 改訂履歴 .....	34-16

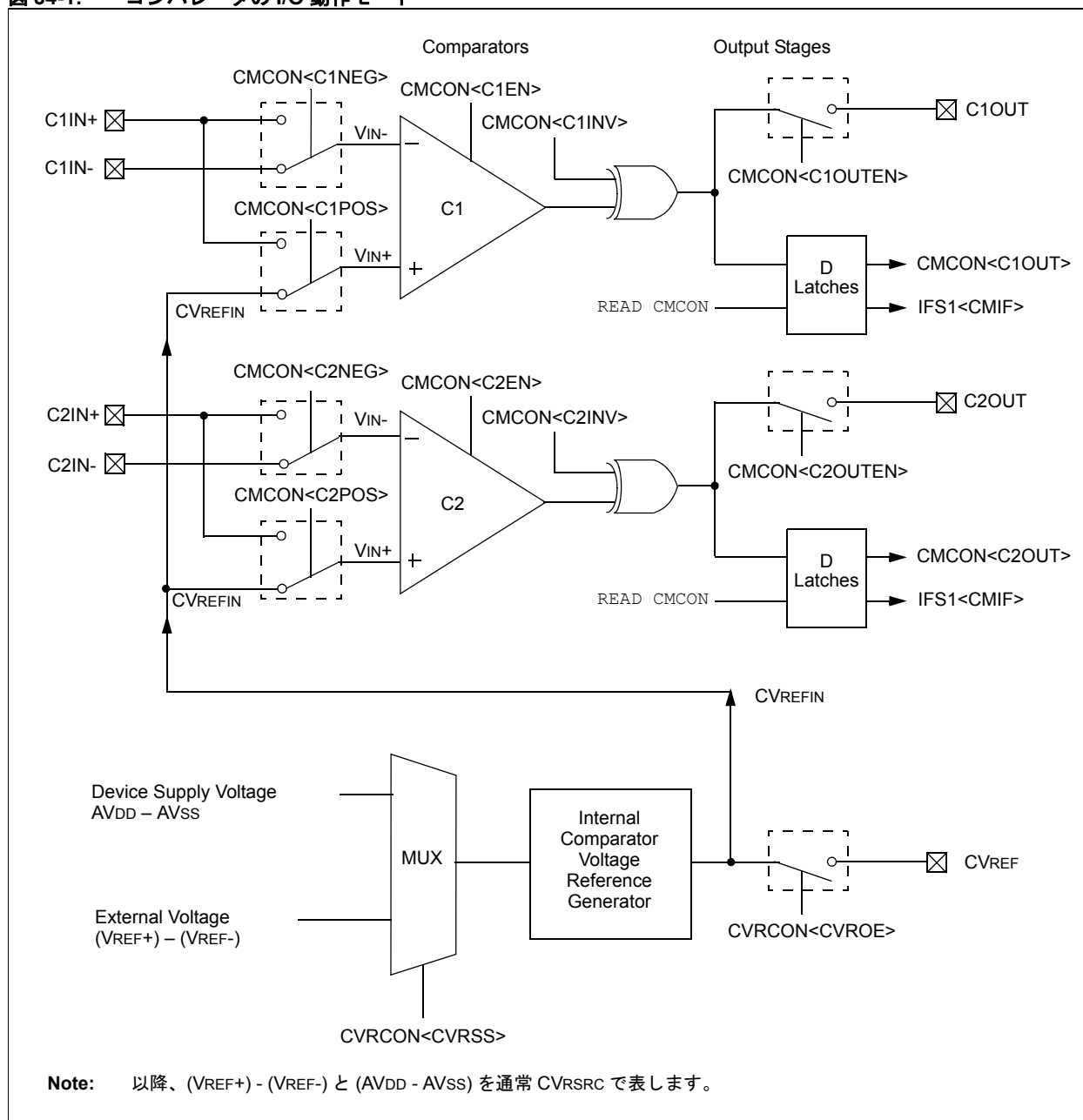
## 34.1 はじめに

dsPIC33F のコンパレータ モジュールは各種設定が可能な2つのコンパレータを備えています。図 34-1に示すように、個々のコンパレータのオプションは以下の動作となるようにコンパレータ制御 (CMCON) レジスタ内のコンフィグレーション ビットで指定します。

- コンパレータを有効にする
- 入力の組み合わせを選択する
- 出力の反転を有効にする
- I/O ピンの出力を有効にする

コンパレータの動作モードは入力選択で決まります。すなわち入力電圧を2番目の入力電圧と比較するか、内部基準電圧と比較するかです。内部基準電圧は、コンパレータ基準電圧制御 (CVRCON) レジスタで設定される抵抗ラダー回路網で生成されます。

図 34-1: コンパレータの I/O 動作モード



## 34.2 コンパレータのレジスタ

コンパレータ モジュールでは以下のレジスタを使用します。

- **CMCON: コンパレータ制御レジスタ**

このレジスタを使うと、アプリケーション プログラムから個々のコンパレータの有効化、設定、制御が可能です。

- **CVRCON: コンパレータ基準電圧制御レジスタ**

このレジスタを使うと、アプリケーション プログラムからコンパレータの内部基準電圧ジェネレータの有効化、設定、制御が可能です ( 詳細は 34.6「コンパレータの基準電圧ジェネレータ」参照 )。

レジスタ 34-1: CMCON: コンパレータ制御レジスタ

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CMIDL	—	C2EVT	C1EVT	C2EN	C1EN	C2OUTEN	C1OUTEN
bit 15							bit 8

R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
C2OUT	C1OUT	C2INV	C1INV	C2NEG	C2POS	C1NEG	C1POS
bit 7							bit 0

<b>凡例:</b>	C = クリア可能ビット		
R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	「1」= ビットをセット	「0」= ビットをクリア	x = ビットは未知

bit 15	<b>CMIDL:</b> アイドルモード時停止ビット 1 = デバイスがアイドルモードに移行する時、モジュールは割り込みを生成しない。モジュールは有効のままである 0 = アイドルモード時でもモジュールの通常動作を継続する
bit 14	<b>未実装:</b> 「0」として読み出し
bit 13	<b>C2EVT:</b> コンパレータ 2 イベント ビット 1 = コンパレータ出力状態が変化した 0 = コンパレータ出力状態は変化しなかった
bit 12	<b>C1EVT:</b> コンパレータ 1 イベント ビット 1 = コンパレータ出力状態が変化した 0 = コンパレータ出力状態は変化しなかった
bit 11	<b>C2EN:</b> コンパレータ 2 イネーブルビット 1 = コンパレータを有効にする 0 = コンパレータを無効にする
bit 10	<b>C1EN:</b> コンパレータ 1 イネーブルビット 1 = コンパレータを有効にする 0 = コンパレータを無効にする
bit 9	<b>C2OUTEN:</b> コンパレータ 2 出力イネーブルビット 1 = コンパレータ出力で出力パッドを駆動する 0 = コンパレータ出力で出力パッドを駆動しない
bit 8	<b>C1OUTEN:</b> コンパレータ 1 出力イネーブルビット 1 = コンパレータ出力で出力パッドを駆動する 0 = コンパレータ出力で出力パッドを駆動しない

## レジスタ 34-1: CMCON: コンパレータ制御レジスタ ( 続き )

bit 7	<b>C2OUT:</b> コンパレータ 2 出力ビット <u>C2INV = 0 の場合 :</u> 1 = $V_{IN+} > V_{IN-}$ 0 = $V_{IN+} < V_{IN-}$ <u>C2INV = 1 の場合 :</u> 0 = $V_{IN+} > V_{IN-}$ 1 = $V_{IN+} < V_{IN-}$
bit 6	<b>C1OUT:</b> コンパレータ 1 出力ビット <u>C1INV = 0 の場合 :</u> 1 = $V_{IN+} > V_{IN-}$ 0 = $V_{IN+} < V_{IN-}$ <u>C1INV = 1 の場合 :</u> 0 = $V_{IN+} > V_{IN-}$ 1 = $V_{IN+} < V_{IN-}$
bit 5	<b>C2INV:</b> コンパレータ 2 出力反転ビット 1 = C2 出力を反転する 0 = C2 出力を反転しない
bit 4	<b>C1INV:</b> コンパレータ 1 出力反転ビット 1 = C1 出力を反転する 0 = C1 出力を反転しない
bit 3	<b>C2NEG:</b> コンパレータ 2 負入力設定ビット 1 = 入力は C2IN+ に接続されている 0 = 入力は C2IN- に接続されている コンパレータのモードについては図 34-1 を参照してください。
bit 2	<b>C2POS:</b> コンパレータ 2 正入力設定ビット 1 = 入力は C2IN+ に接続されている 0 = 入力は CVREFIN に接続されている コンパレータのモードについては図 34-1 を参照してください。
bit 1	<b>C1NEG:</b> コンパレータ 1 負入力設定ビット 1 = 入力は C1IN+ に接続されている 0 = 入力は C1IN- に接続されている コンパレータのモードについては図 34-1 を参照してください。
bit 0	<b>C1POS:</b> コンパレータ 1 正入力設定ビット 1 = 入力は C1IN+ に接続されている 0 = 入力は CVREFIN に接続されている コンパレータのモードについては図 34-1 を参照してください。

レジスタ 34-2: CVRCON: コンパレータ基準電圧制御レジスタ

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15						bit 8	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CVREN	CVROE <sup>(1)</sup>	CVRR	CVRSS	CVR<3:0>			
bit 7						bit 0	

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値      「1」= ビットをセット      「0」= ビットをクリア      x = ビットは未知

- bit 15-8      **未実装:** 「0」として読み出し
- bit 7      **CVREN:** コンパレータ基準電圧イネーブルビット  
           1 = コンパレータ基準電圧回路を ON にする  
           0 = コンパレータ基準電圧回路を OFF にする
- bit 6      **CVROE:** コンパレータ基準電圧出力イネーブルビット<sup>(1)</sup>  
           1 = 電圧レベルを CVREF ピンに出力する  
           0 = 電圧レベルを CVREF ピンに出力しない
- bit 5      **CVRR:** コンパレータ基準電圧レンジ選択ビット  
           1 = レンジは 0 CVRSRC ~ 0.67 CVRSRC、ステップサイズは CVRSRC/24  
           0 = レンジは 0.25 CVRSRC ~ 0.75 CVRSRC、ステップサイズは CVRSRC/32
- bit 4      **CVRSS:** コンパレータ基準電圧ソース選択ビット  
           1 = コンパレータ基準電圧ソースは CVRSRC = (VREF+) – (VREF-) とする  
           0 = コンパレータ基準電圧ソースは CVRSRC = AVDD – AVSS とする
- bit 3-0      **CVR<3:0>** コンパレータ基準電圧値選択は  $0 \leq \text{CVR<3:0>} \leq 15$  ビット  
           CVRR = 1 の場合:  
            $\text{CVREFIN} = (\text{CVR<3:0>}/24) \times (\text{CVRSRC})$   
           CVRR = 0 の場合:  
            $\text{CVREFIN} = 1/4 \times (\text{CVRSRC}) + (\text{CVR<3:0>}/32) \times (\text{CVRSRC})$

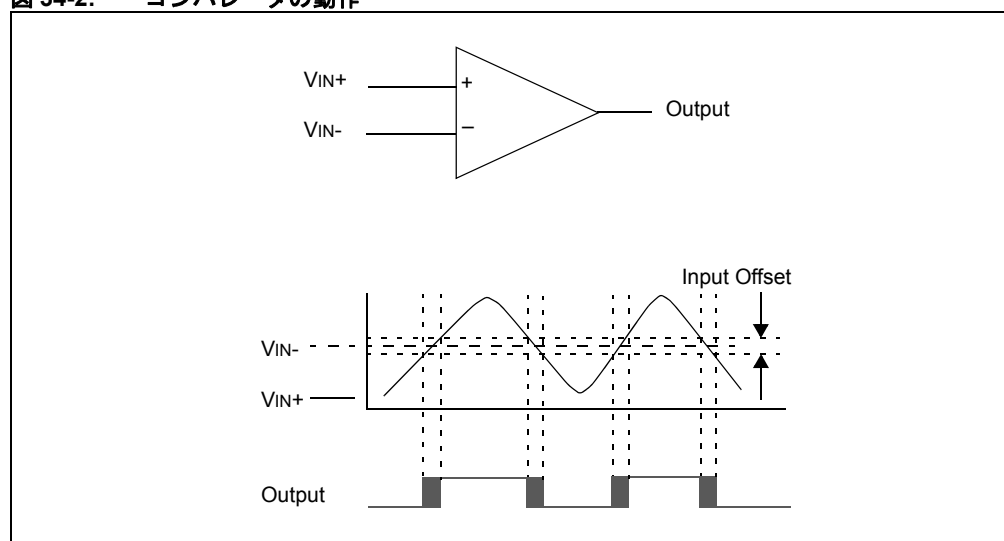
**Note 1:** CVROE は TRIS ビット設定より優先されます。

## 34.3 コンパレータの動作

図 34-2 に、代表的なコンパレータの動作と、アナログ入力レベルとデジタル出力の関係を示します。コンパレータの動作モードによって、監視するアナログ信号が外部または内部の基準電圧と比較されます。2つのコンパレータはそれぞれ、同じリファレンス ソースまたは異なるリファレンス ソースを使用するように設定可能です。例えば、一方のコンパレータは外部リファレンスを使用し、他方は内部リファレンスを使用する事もできます。しかし、両方のコンパレータが内部リファレンスを使用する場合、同じ基準電圧値 (CVREFIN) を使用する必要があります。コンパレータ動作の詳細は 34.6「コンパレータの基準電圧ジェネレータ」を参照してください。

図 34-2 で、外部リファレンス  $V_{IN-}$  は固定の外部電圧です。 $V_{IN+}$  に印加されているアナログ信号は  $V_{IN-}$  の基準信号と比較され、この両者の差が十分大きくなった時にコンパレータのデジタル出力が生成されます。 $V_{IN+}$  が  $V_{IN-}$  より小さい場合、コンパレータの出力はデジタル Low レベルです。 $V_{IN+}$  が  $V_{IN-}$  より大きい場合、コンパレータの出力はデジタル High レベルです。出力の灰色の部分には、入力オフセットと応答時間によって不確定なレンジを表しています。

図 34-2: コンパレータの動作



入力オフセットは、コンパレータのトリップポイントが発生し得る電圧レンジを表しています。出力はこのオフセットレンジのいずれかのポイントで切り換わります。応答時間はコンパレータが入力レベルの変化を認識するのに要する最小時間です。

## 34.4 コンパレータの設定

コンパレータ モジュール内の 2 つのコンパレータは、コンパレータ制御 (CMCON) レジスタのコンフィグレーション ビットでそれぞれ独立して設定します (レジスタ 34-1)。このレジスタを使うと、アプリケーション プログラムからコンパレータ モジュールに対して以下の設定が可能です。

- 入力信号ソース (CxPOS および CxNEG ビット)
- 出力信号の極性 (CxINV ビット)
- 出力信号の経路 (CxOUT ビット)

### 34.4.1 入力信号ソース

入力信号はコンパレータ端子の正側 (VIN+) または負側 (VIN-) のいずれかに接続できます。この接続は以下のコンフィグレーション ビットで定義します。

- **C1POS** – コンパレータ 1 正入力コンフィグレーション ビット (CMCON<0>)
- **C1NEG** – コンパレータ 1 負入力コンフィグレーション ビット (CMCON<1>)
- **C2POS** – コンパレータ 2 正入力コンフィグレーション ビット (CMCON<2>)
- **C2NEG** – コンパレータ 2 負入力コンフィグレーション ビット (CMCON<3>)

表 34-1 に、可能な入力信号のコンフィグレーションと、それぞれに対するコンフィグレーション ビットの設定を示します。

表 34-1: 入力信号のコンフィグレーション

コンパレータ入力端子		CxPOS	CxNEG
正 (VIN+)	負 (VIN-)		
CVREFIN	C1IN-	0	0
CVREFIN	C1IN+	0	1
C1IN+	C1IN-	1	0

**Note:** 基準電圧 CVREFIN は、デバイスの電源電圧 (AVDD - AVSS) または外部電圧 (VREF+ - (VREF-) から生成できます。この選択は CVRCON<CVRSS> ビットで行います。

### 34.4.2 出力信号の極性

出力信号の極性は以下のコンフィグレーション ビットで決定します。

- **C1INV** – コンパレータ 1 出力反転ビット (CMCON<4>)
- **C2INV** – コンパレータ 2 出力反転ビット (CMCON<5>)

これらのビットのコンフィグレーションは、対応するコンパレータ出力ビットの状態を達成する方法を指定します。

### 34.4.3 出力信号の経路

このコンパレータモジュールには、図 34-3 に示すように 2 つの出力信号経路があります。第 1 の経路は以下の CMCON レジスタビットによるものです。

- **C1OUT** – コンパレータ 1 出力 (CMCON<6>)
- **C2OUT** – コンパレータ 2 出力 (CMCON<7>)

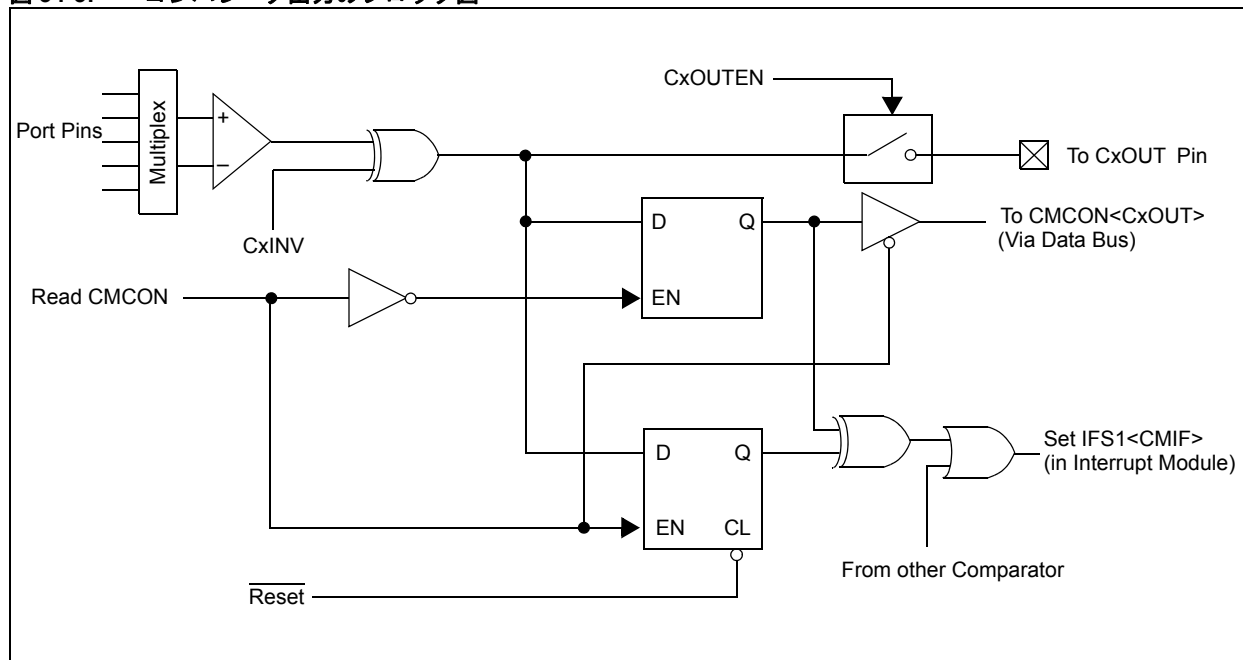
これらのビットは読み出し専用です。ビットの状態は、読み出し動作時の信号ソースと信号極性のコンフィグレーションで定義される入力信号の関係で決定されます。

第 2 の出力経路は、C1OUT および C2OUT I/O ピンを経由するものです。以下のコンフィグレーション ビットを使うと、コンパレータのリアルタイム出力を C1OUT および C2OUT I/O ピンに直接ゲート制御できます。

- **C1OUTEN** – コンパレータ 1 出力イネーブル (CMCON<8>)
- **C2OUTEN** – コンパレータ 2 出力イネーブル (CMCON<9>)

関連する TRIS ビットは、この出力信号経路が使用中である間は、I/O ピンの出力イネーブル / ディセーブルとして依然として機能します。

**図 34-3: コンパレータ出力のブロック図**



### 34.5 コンパレータ割り込み

コンパレータの割り込みフラグ CMIF (IFS1<2>) は、いずれかのコンパレータの同期された出力値が、前回の読み出し値に比べて変化した時にセットされます。以下のステータスビットは出力の変化を反映します。

- **C1EVT** – コンパレータ 1 イベント (CMCON<12>)
- **C2EVT** – コンパレータ 2 イベント (CMCON<13>)

ソフトウェアで C1EVT と C2EVT を読み出し、実際に発生した変化を判別できます。このレジスタに「1」を書き込んでソフトウェアで割り込みをシミュレートする事もできます。CMIF ビットと CxEVT ビットはいずれも、ソフトウェアでクリアしてリセットする必要があります。これらのビットのクリアは割り込みサービスルーチン (ISR) で行います。詳細は**セクション 6.「割り込み」**(DS70184)を参照してください。

**Note:** 割り込みの生成に必要な比較は、コンパレータの現在の状態と、コンパレータ出力の前の読み出し値に基づきます。CMCON レジスタ内の C1OUT ビットと C2OUT ビットを読み出すと、割り込み生成に使用される値が更新されます。

### 34.5.1 スリープ時の割り込み動作

コンパレータが有効化されており、dsPIC33F がスリープモードにある場合、コンパレータはアクティブのままです。割り込みモジュールでコンパレータ割り込みが有効になっている場合も、コンパレータは機能し続けます。このような条件下では、デバイスはコンパレータ割り込みイベントでスリープモードからウェイクアップします。

動作中の各コンパレータは電流を消費します。スリープモードでの消費電力を最小限に抑えるには、スリープモードに移行する前に C1EN ビットと C2EN ビット (CMCON<11:10>) をディセーブルしてコンパレータを OFF にします。デバイスがスリープモードからウェイクアップしても、CMCON レジスタの内容は変化しません。スリープモードの詳細は、**セクション 9. 「ウォッチドッグタイマと省電力モード」** (DS70196) を参照してください。



## 34.5.2 リセットの影響

デバイスをリセットすると、CMCON レジスタが強制的にリセット状態になり、コンパレータモジュールが OFF ( $CxEN = 0$ ) になります。しかし、アナログ入力ソースと多重化されている入力ピンは、デバイスリセット時に既定値でアナログ入力として設定されます。これらのピンの I/O 設定は、ADxPCFG レジスタの設定で決まります。従って、リセット時にアナログ入力を与えられている場合、デバイス電流は最小限に抑えられます。

## 34.5.3 アナログ入力接続に関する注意事項

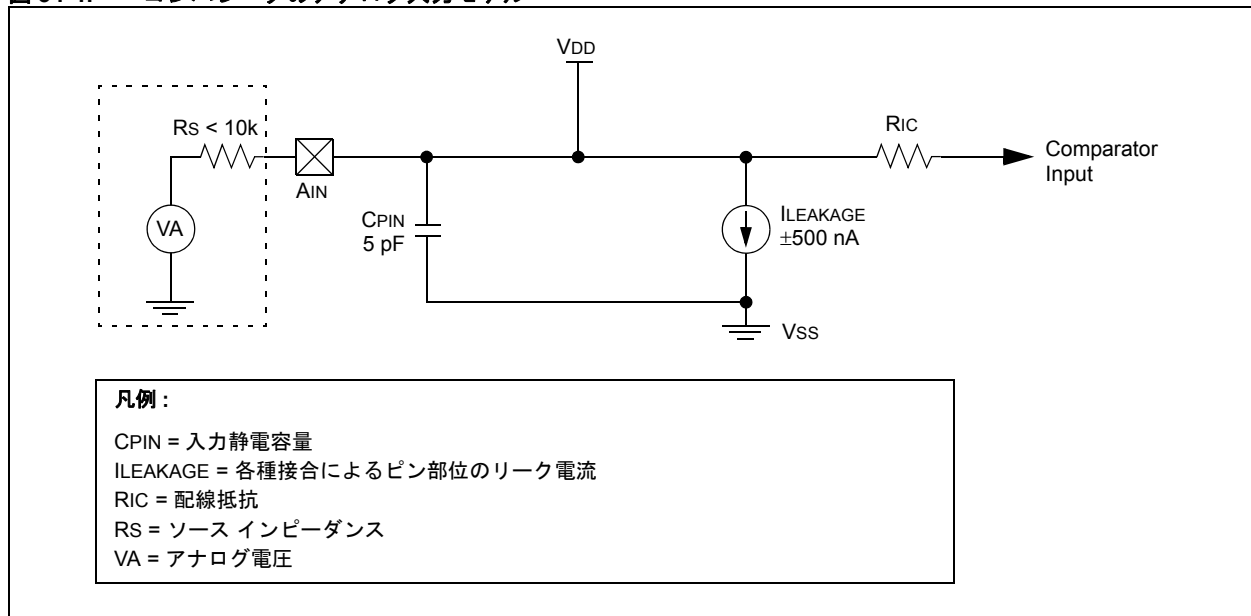
図 34-4 に、アナログ入力回路の概略図を示します。アナログソースの最大ソース インピーダンスの推奨値は  $10\text{ k}\Omega$  です。アナログ入力ピンに接続するコンデンサやツェナー ダイオード等の外部部品は、リーク電流がほとんどないようにします。

## 34.5.4 アイドル時の割り込み動作

アイドル時のコンパレータの割り込み動作は、アイドルモード時停止 (CMIDL) ビット (CMCON<15>) で制御します。CMIDL = 0 の場合、通常動作時と同じ割り込みを行います。CMIDL = 1 の場合、コンパレータは動作を継続しますが、割り込みは生成しません。アイドルモードではコンパレータはアクティブのままです。

アイドルモードの詳細は、セクション 9.「ウォッチドッグ タイマと省電力モード」(DS70196) を参照してください。

図 34-4: コンパレータのアナログ入力モデル



## 34.6 コンパレータの基準電圧ジェネレータ

コンパレータの内部基準電圧は、図 34-5 に示すように、選択可能な電圧レベルが得られる 16 段階のタップ付きの抵抗ラダー回路網で生成されます。この抵抗回路網は、アナログ コンパレータ用に内部基準電圧を生成します。

この電圧ジェネレータ回路網は、コンパレータ基準電圧制御 (CVRCON) レジスタ (レジスタ 34-2 参照) の以下の制御ビットで管理します。

- **CVREN** – コンパレータ基準電圧イネーブル (CVRCON<7>)
 

この制御ビットは基準電圧回路を有効にします。
- **CVROE** – コンパレータ基準電圧出力イネーブル (CVRCON<6>)
 

この制御ビットは基準電圧が CVREF ピンに出力されるようにします。このビットがイネーブルの時、対応する TRIS ビットの設定は無視されます。
- **CVRSS** – コンパレータ基準電圧ソース選択 (CVRCON<4>)
 

この制御ビットは、基準電圧回路のソース (CVRSS) をデバイスの電源電圧 (AVDD と AVSS) とするか、外部リファレンス (VREF+ と VREF-) とするかを指定します。
- **CVRR** – コンパレータ基準電圧レンジ選択 (CVRCON<5>)
 

この制御ビットは、16 段階の抵抗ラダー回路網がカバーする以下の 2 つの電圧レンジから 1 つを選択します。

  - 0 CVRSRC ~ 0.67 CVRSRC
  - 0.25 CVRSRC ~ 0.75 CVRSRC

このレンジ選択によって、抵抗ラダーのタップから得られる電圧の刻みも決定します (34.6.1 「コンパレータの基準電圧の設定」 参照)。
- **CVR<3:0>** – コンパレータ基準電圧値選択 (CVRCON<3:0>)
 

これらのビットは抵抗ラダーのタップ位置を指定します。

表 34-2 に、CVRSRC = 3.3 V の場合の両レンジにおける各タップの電圧を示します。

図 34-5: コンパレータの基準電圧のブロック図

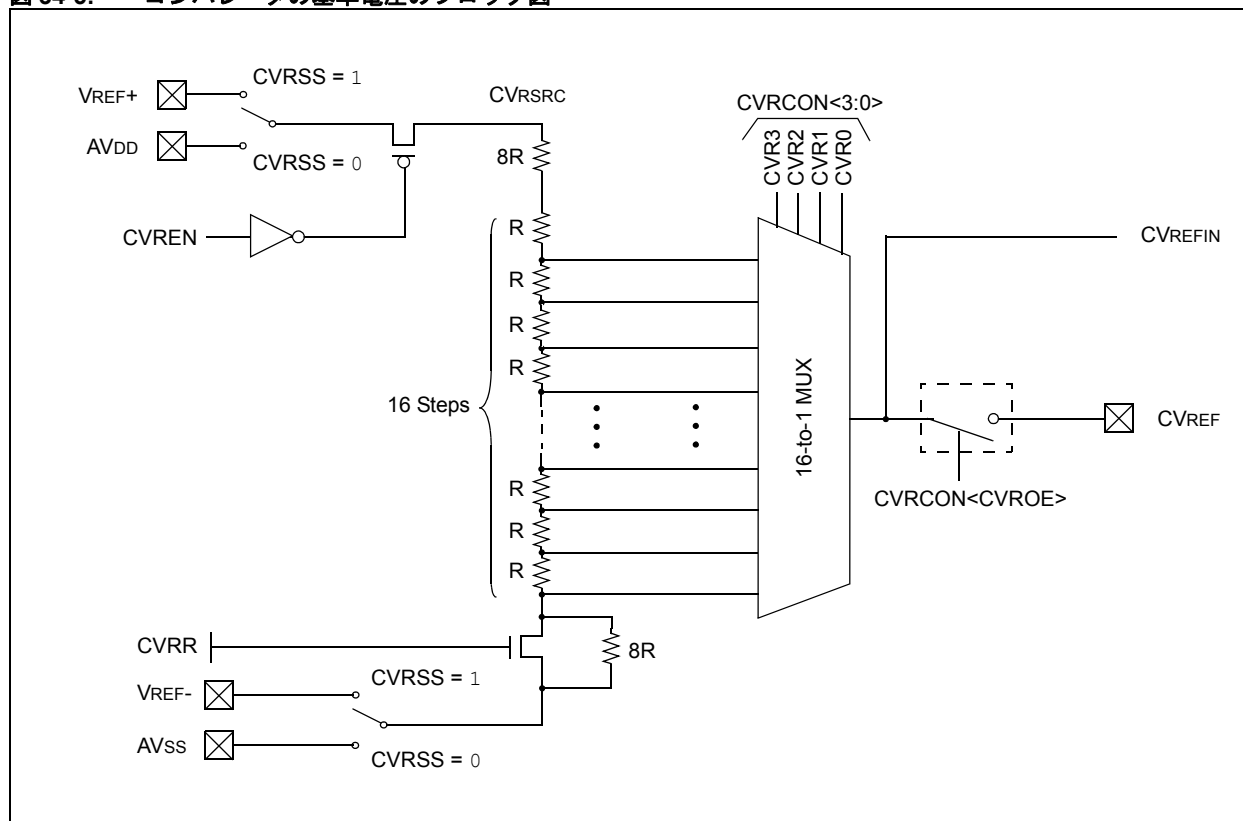


表 34-2: CV = 3.3 V の時の電圧リファレンス代表値

CVR<3:0>	タップ	基準電圧	
		CVRR = 0	CVRR = 1
0000	0	0.83 V	0.00 V
0001	1	0.93 V	0.14 V
0010	2	1.03 V	0.28 V
0011	3	1.13 V	0.41 V
0100	4	1.24 V	0.55 V
0101	5	1.34 V	0.69 V
0110	6	1.44 V	0.83 V
0111	7	1.55 V	0.96 V
1000	8	1.65 V	1.10 V
1001	9	1.75 V	1.24 V
1010	10	1.86 V	1.38 V
1011	11	1.96 V	1.51 V
1100	12	2.06 V	1.65 V
1101	13	2.17 V	1.79 V
1110	14	2.27 V	1.93 V
1111	15	2.37 V	2.06 V

## 34.6.1 コンパレータの基準電圧の設定

CVRR ビットで選択する電圧レンジは、CVR<3:0> ビットで選択するステップ サイズも決定します。一方のレンジ (CVRR = 0) では、各ステップの電圧の刻みがより小さく、細かい分解能が得られます。コンパレータの基準電圧の計算に使用する等式は以下の通りです。

- CVRR = 1 の場合:  
基準電圧 = ((CVR<3:0>)/24) x (CVRSRC)
- CVRR = 0 の場合:  
基準電圧 = (CVRSRC/4) + ((CVR<3:0>)/32) x (CVRSRC)

## 34.6.2 基準電圧の精度と誤差

抵抗ラダー回路網 (図 34-5) の上下にあるトランジスタによって、基準電圧が電源レールに接近しないよう保たれるため、基準電圧のフルレンジは得られません。基準電圧は基準電圧ソースから得るため、基準電圧ソースの出力はその電圧ソースの変動に従って変化します。基準電圧の精度は、ご使用のデバイスの電気的特性を参照してください。

## 34.6.3 スリープ時の動作

割り込みまたはウォッチドッグ タイマのタイムアウトによってデバイスがウェイクアップしても、CVRCON レジスタの内容は変化しません。スリープモード時の消費電流を最小にするには、基準電圧を無効にします。

## 34.6.4 リセットの影響

デバイスのリセットにより、以下の影響があります。

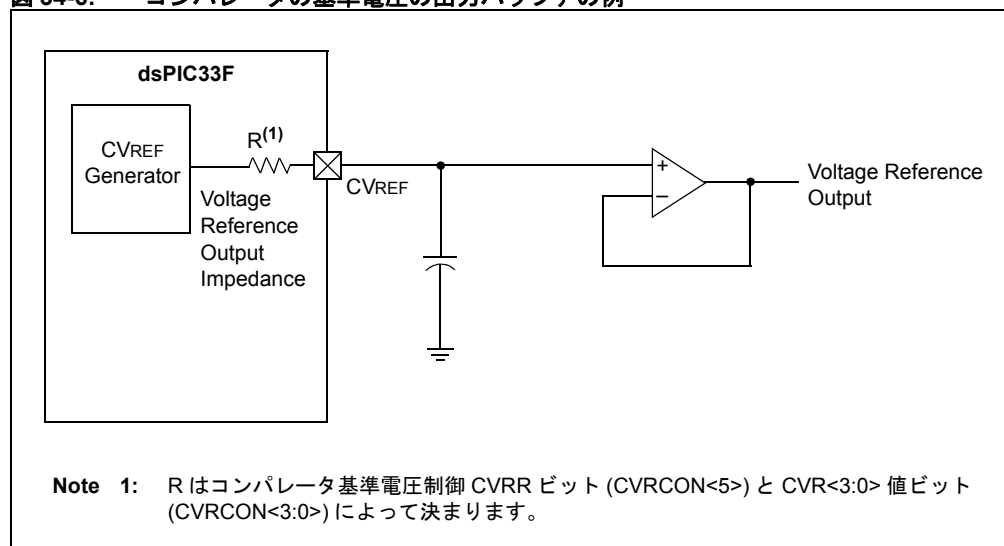
- CVREN ビット (CVRCON<7>) をクリアして、基準電圧を無効にする
- CVROE ビット (CVRCON<6>) をクリアして、基準電圧を CVREF ピンから切断する
- CVRR ビット (CVRCON<5>) をクリアして、高電圧レンジを選択する
- CVR 値ビット (CVRCON<3:0>) をクリアする

## 34.6.5 接続上の注意事項

基準電圧ジェネレータは、コンパレータ モジュールから独立して動作します。基準電圧ジェネレータの出力は、CVROE ビット (CVRCON<6>) がセットされている場合は CVREF ピンに接続されます。デジタル入力として設定されている場合に I/O に基準電圧の出力を有効にすると、消費電流が増大します。CVRSS がイネーブルされた状態で CVREF 関連のポートをデジタル出力として設定する事も、消費電流を増大させます。

CVREF 出力ピンは、駆動能力に制約のある単純な D/A 出力として使用可能です。CVREF ピンを外部に接続し基準電圧を出力する場合、電流駆動能力に制約があるため、バッファを使用する必要があります。図 34-6 にバッファの使用例を示します。

図 34-6: コンパレータの基準電圧の出力バッファの例



## 34.7 初期化

例 34-1 に示す初期化のシーケンスは、コンパレータ モジュールを 2 つの独立したコンパレータとして設定し、両方の出力を有効にし、コンパレータ 1 の出力を反転させています。コンパレータ基準電圧モジュールは、出力有効、 $0.25 \times V_{DD}$  に設定されます。この例では、8 MHz オシレータによる遅延を使用しています。

例 34-1: コンパレータと基準電圧の設定

```
CMCON = 0x0F10;           //Initialize Comparator Module

CVRCON= 0x00C0;           //Initialize Voltage Reference Module

CMCONbits.C1EVT= 0;       //Clear Comparator 1 Event
CMCONbits.C2EVT= 0;       //Clear Comparator 2 Event

asm volatile("repeat #40"); //Delay 10  $\mu$ s
Nop();
```

34.8 レジスタマップ

表 34-3 にコンパレータ モジュールに関連するレジスタの概要を示します。

表 34-3: コンパレータのレジスタマップ

レジスタ名	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	全 リセット
CMCON	CMIDL	—	C2EVT	C1EVT	C2EN	C1EN	C2OUTEN	C1OUTEN	C2OUT	C1OUT	C2INV	C1INV	C2NEG	C2POS	C1NEG	C1POS	0000
CVRCON	—	—	—	—	—	—	—	—	CVREN	CVROE	CVRR	CVRSS	CVR<3:0>				0000

凡例： — = 未実装、「0」として読み出し。リセット値は 16 進表記です。

## 34.9 設計のヒント

**質問 1:** なぜ基準電圧が予測した値にならないのですか。

**回答:** 基準電圧ソースに変動があれば、直接 CVREF ピンに現れます。また、基準電圧を生成する分圧器を正しく計算 (指定) した事を確認してください。

**質問 2:** CVREF を低インピーダンス回路に接続した時に基準電圧が予測した値にならないのはなぜですか。

**回答:** 基準電圧モジュールは大きな負荷を駆動する事を意図していません。dsPIC<sup>®</sup> DSC の CVREF ピンと負荷の間にバッファを使用する必要があります (図 34-6 参照)。

### 34.10 関連アプリケーション ノート

本セクションに関連するアプリケーション ノートの一覧を以下に示します。これらのアプリケーション ノートは dsPIC33F デバイスファミリ向けではありません。ただし概念は共通しており、変更が必要であったり制限事項が存在するものの利用が可能です。本コンパレータ モジュールに関連する最新のアプリケーション ノートは以下の通りです。

タイトル ノート番号	アプリケーション
Make a Delta-Sigma Converter Using a Microcontroller's Analog Comparator Module	AN700
A Comparator Based Slope ADC	AN863

**Note:** dsPIC33F デバイス ファミリ向けのその他のアプリケーション ノートとサンプルコードは、マイクロチップ社のウェブサイト ([www.microchip.com](http://www.microchip.com)) をご覧ください。

## 34.11 改訂履歴

### リビジョン A (2007 年 10 月)

本書の初版

### リビジョン B (2009 年 1 月)

このリビジョンでの変更内容は以下の通りです。

- 図：
  - 図 34-1 のコンパレータへの入力を更新
- Note:
  - 図 34-1 の CVRSRC に関する注釈を追加
  - 34.4.1 「入力信号ソース」の基準電圧 CVREFIN に関する注釈を追加
- セクション：
  - 34.3 「コンパレータの動作」の入力オフセットに関する記述の誤りを訂正
  - 34.6.1 「コンパレータの基準電圧の設定」の記述の誤りを削除
- 表：
  - 表 34-1 内の値の誤りを訂正
- 上記に加えて、表現および体裁の変更等、本書全体の細部を修正

ISBN: 978-1-60932-999-0