**实验3 组合逻辑设计——数据选择器**

**一．实验目的**

1．掌握数据选择器的工作原理。

2．掌握运用Verilog描述数据选择器的方法。

**二．实验任务及要求**

任务：设计一个4位八选一数据选择器，通过控制数据选择端，利用用图形方式调用模块的方法将个人学号按位输出到七段数码管上。

要求：用Verilog实现一个4位八选一数据选择器，仿真验证通过后将该电路封装成电路符号。

**三、设计思路**

根据实验题目要求，本次实验需要实现一个4位八选一数据选择器，在使能端en有效时根据选择端sel的输入选择8路输入的其中一路输出。输入数据与输出数据宽度保持一致。

因为试验台开关资源有限，所以学号的前6位用parameter预设，后两位通过开关输入。因此，有en,in1,in2,sel这4个输入信号，输出信号只有out。

1、根据功能和输入输出画出设计框图，如图1：

4位8选1数据选择器

使能端 en

固定输入in8-in3

开关输入

in2、in1

选择端

sel[2:0]

输出端out

接七段数码管

**图1：4位8选一数据选择器设计框图**

2、根据功能要求列出真值表

|  |  |  |  |
| --- | --- | --- | --- |
| 输入 | | | 输出 |
| sel[2] | sel[1] | sel[0] | out |
| 0 | 0 | 0 | In1 |
| 0 | 0 | 1 | In2 |
| 0 | 1 | 0 | In3 |
| 0 | 1 | 1 | In4 |
| 1 | 0 | 0 | In5 |
| 1 | 0 | 1 | In6 |
| 1 | 1 | 0 | In7 |
| 1 | 1 | 1 | In8 |

表2

**四、采用行为描述的方法编写Verilog HDL程序**

程序如图3所示

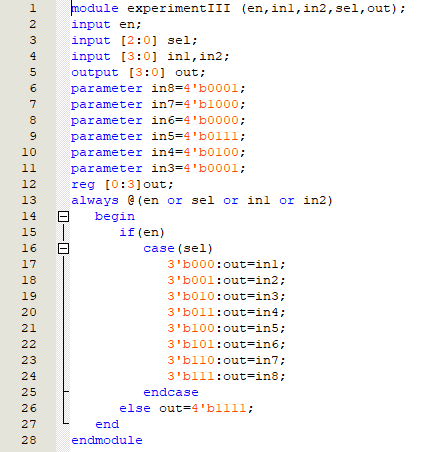
****

图3

五、进行仿真

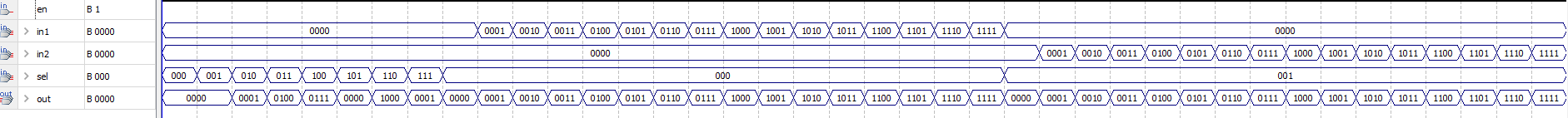


图4

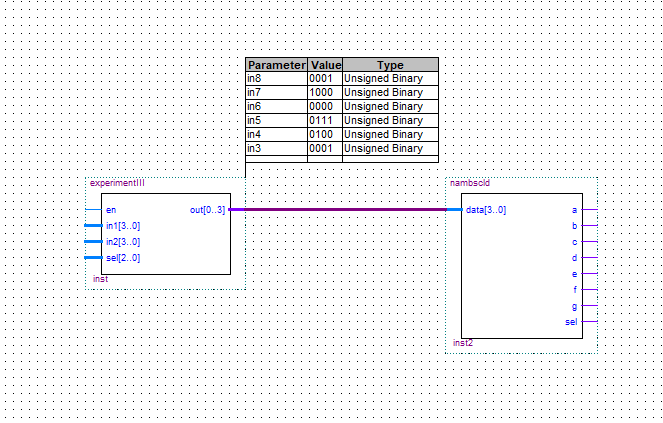


图5 封装为模块的数据选择器和调用的7段数码管模块

六、引脚分配

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 端口名称 | 输入端 | | | | | | | | | | |
| 倒数第2位学号 | | | | 倒数第1位学号 | | | | 数据选择端 | | |
| in2[3] | in2[2] | in2[1] | in2[0] | in1[3] | in1[3] | in1[3] | in1[3] | sel[2] | sel[1] | sel[0] |
| 引脚编号 | N18 | M20 | AA15 | V13 | D6 | C8 | E7 | F8 | AB17 | AB18 | C3 |
| 平台编号 | SW1 | SW2 | SW3 | SW4 | SW5 | SW6 | SW7 | SW8 | SW9 | SW10 | SW11 |

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 段、位名称 | LA | LB | LC | LD | LE | LF | LG | DS8 |
| 引脚号 | AA20 | W20 | R21 | P21 | N21 | N20 | M21 | V16 |
| 输出端名称 | a | b | c | d | e | f | g | h |