

2022 年度 3 回生前期学生実験 HW
team02 機能設計仕様書 植田健斗担当分

氏名: 植田健斗 入学年度: 2020 年度 学籍番号: 1029-32-6498

提出期限: 4 月 15 日 18 時 提出日: 2022 年 5 月 5 日

1 実験環境

導入課題の実験で使用したボードや CAD ツールを以下に記す。

- ボード

Rapid Prototyping Kit PowerMedusa

MU500-RXSET01(MU500-RX, MU500-RK, MU500-7SEG)

「」の番号の書かれたボードを使った。

- CAD ツール

Quartus Prime Version 17.1.0 Build 590 10/25/2017 SJ Lite Edition

2 全体のコンポーネント分割方法

それぞれの機能を持った回路ごとにモジュール分割した。各回路につけたファイル名は図 1 に示した通りである。(次の章の図 2 でまとめている。)

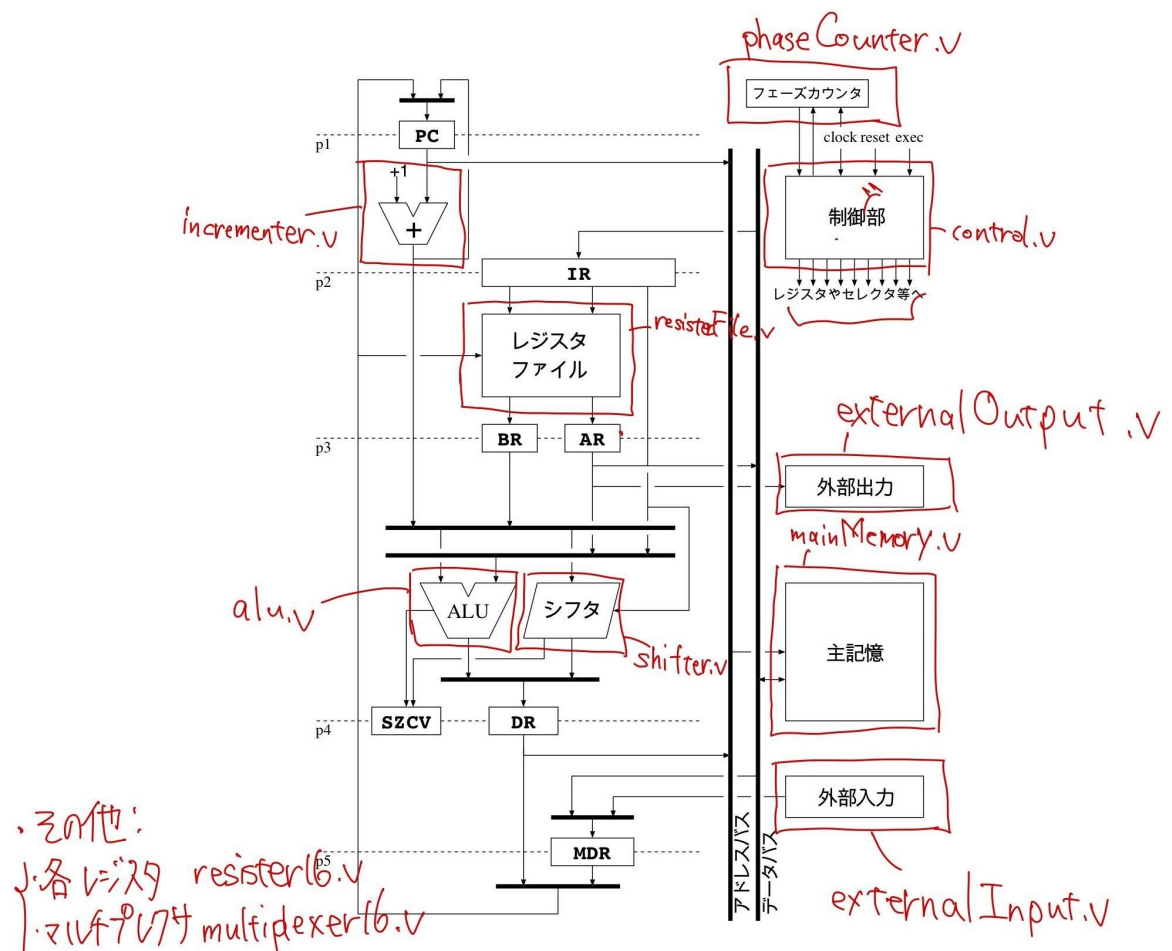


図 1: モジュール分割の方法の図

役割分担の表を以下の図 2 に示す。

モジュール名	対応ファイル名	担当
レジスタファイル	resisterFile.v	植田
フェーズカウンタ	phaseCounter.v	
制御部	control.v	
PCをインクリメントする組み合わせ回路	incrementer.v	
主記憶	mainMemory.v	
外部入力	externalInput.v	
マルチプレクサー	multiplexer16.v	
イネーブル・レジスタ	resister16.v	
ALU	alu.v	伊藤
シフター(ALUとまとめてもよい)	shifter.v	
外部出力	externalOutput.v	
全体	processsers.v	両方

図 2: 役割分担 (4 月 22 日時点)

3 設計を担当したコンポーネント

設計を担当したコンポーネントは以下である。

- レジスタファイル (registerFile.v)
- フェーズカウンタ (phaseCounter.v)
- 制御部 (control.v)
- PC をインクリメントする組み合わせ回路 (incrementer.v)
- 主記憶 (mainMemory.v)
- 外部入力 (externalinput.v)
- マルチプレクサー (multiplexer.v)
- イネーブル・レジスタ (register16.v)
- 全体 (processor.bdf)

4 レジスタファイル (registerFile.v)

4.1 回路の外部仕様

ファイルの入出力は以下の表??のようになる。

表 1: a の表す 16 進数の数字と a と out の論理関係

名前 (ファイル名)	input	input 説明	output	output 説明
	Rs[2:0]	命令中の Rs・Ra をあたえる。	AR[15:0]	Rs 番目のレジスタのアドレス
レジスタファイル (registerFile.v)	Rd[2:0]	命令中の Rd・Rb をあたえる。	BR[15:0]	Rd 番目のレジスタのアドレス
	regWrite			
	writeData[15:0]			
	writeRegister[2:0]			
	clock			
	reset			
	changeEnable			

4.2 回路の内部仕様