

2022 年度 3 回生前期学生実験 HW
team02 実施状況報告書

実施状況報告書作成者: 植田健斗

グループメンバー：

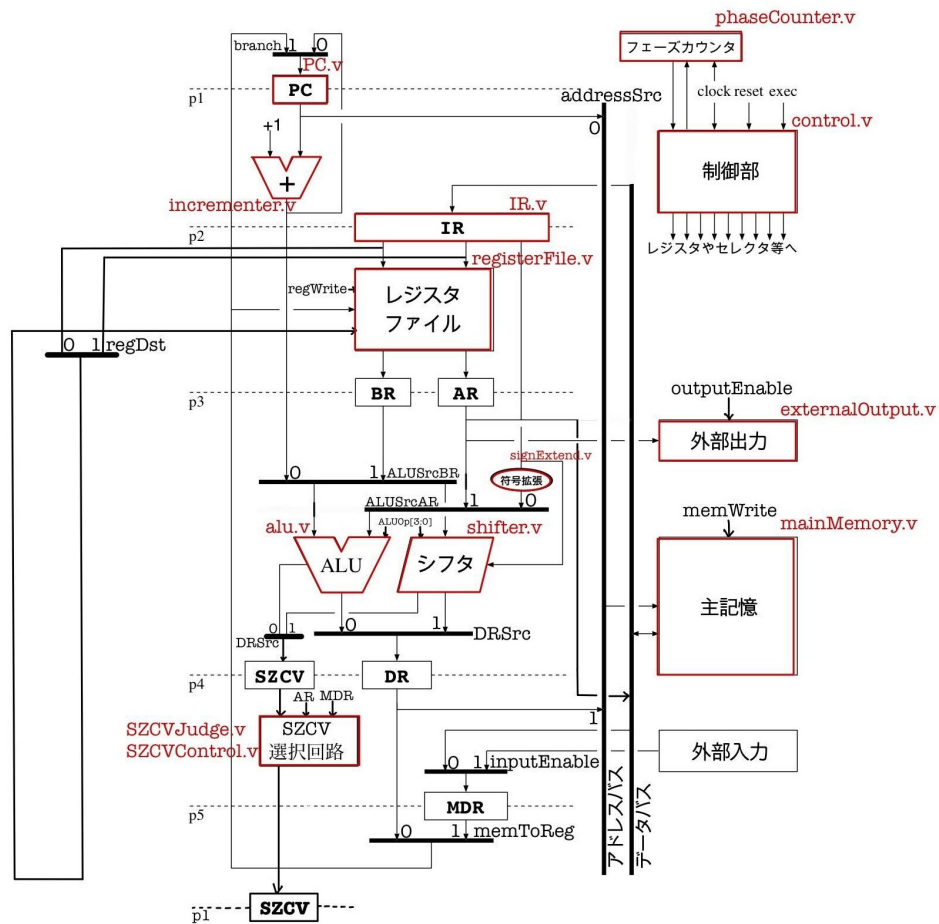
伊藤舜一郎 (学籍番号:1029-32-7548)

植田健斗 (学籍番号:1029-32-6498)

提出期限：5 月 12 日 18 時 提出日: 2022 年 5 月 6 日

1 モジュール分割

それぞれの機能を持った回路ごとにモジュール分割した。各回路につけた名前は図 1 に示した通りである。(次の章の図 2 でまとめている。) 赤色の図形で囲まれた箇所がモジュールになっており、各モジュールの名前は赤色で書いてある。外部入力は 16bit の入力ピンをあらわしている。赤色で囲われていない長方形は外部入力を除いてレジスタをあらわしている。太線はマルチプレクサを表し、その近くには書かれた文字は制御部から各マルチプレクサに送る制御信号の名前をあらわしている。マルチプレクサの近くには書かれた 0 と 1 の数字は制御信号がその値になったときにつながるデータパスを表している。



各レジスタ: `register16.v`, `register4.v`, `register3.v`
 各マルチプレクサ: `multiplexer16.v`, `multiplexer4.v`, `multiplexer3.v`
 全体: `processor.bdf`

図 1: モジュール分割

2 役割分担

役割分担の表を以下の図 2 に示す。拡張機能はまだ具体的に構成が決まっていないので、現在作成した回路の役割分担のみ記してある。

モジュール名	対応ファイル名	担当
プログラムカウンタ	PC.v	植田
インストラクションレジスタ	IR.v	
レジスタファイル	resisterFile.v	
フェーズカウンタ	phaseCounter.v	
制御部	control.v	
PCをインクリメントする組み合わせ回路	incrementer.v	
主記憶	mainMemory.v	
SZCV選択回路	SZCVJudge16.v,SZCVControl.v	
符号拡張	signExtend.v	
各マルチプレクサー	multiplexer16.v,multiplexer4.v,multiplexer3.v	
各レジスタ	register16.v,register4.v,register3.v	
全体	processser.v	
ALU	alu.v	伊藤
シフタ	shifter.v	
外部出力	externalOutput.v	

図 2: 役割分担

3 最終課題に対する現在の進捗状況

授業資料の仕様を満たし、機能の拡張を行っていない simpleb プロセッサが完成した。授業資料の simple sample の Instruction Test と BubbleSort と Fibonacci について実機で実行したところ、すべて正しく動作することが確認できた。

4 今後の進捗計画

今後、即値命令を追加する。また、パイプライン処理に必要な回路の構成を考え、それらを実装していくつもりである。パイプライン化に伴い、フェーズカウンタ、制御部などの仕様を大きく変える。