

2022 年度 3 回生前期学生実験 HW
team02 アーキテクチャ検討報告書

アーキテクチャ検討報告書作成者: 伊藤舜一郎

グループメンバー：

伊藤舜一郎 (学籍番号:1029-32-7548)

植田健斗 (学籍番号:1029-32-6498)

提出期限：5 月 12 日 18 時 提出日: 2022 年 5 月 6 日

1 要求仕様，設計目標，設計方針，特長

1.1 実現する機能

SIMPLE/B に対し以下の機能拡張を実現することを目標とする。

- 命令セットアーキテクチャの改良による機能拡張
- パイプライン化によるフェーズ並列実行による命令サイクルの短縮

これらの機能を追加するために新たな部品を作成し SIMPLE/B に組み込む。

1.2 性能の目標数値

周波数が 60MHz のプロセッサの作成を目標とする。

2 高速化/並列処理の方式

2.1 拡張命令

命令セットアーキテクチャに関しては即値オペランドの強化を少なくとも行うことを目標とする。即値オペランドの強化に関しては図 1 のような SIMPLE/B の命令セットにおいて reserved となっている命令に ADDI などの即値オペランドを強化した命令を割り当てる。

mnemonic	op2	function				
LI Rb,d	000	r[Rb] = sign_ext(d)				
(reserved)	001					
(reserved)	010					
(reserved)	011					
B d	100	PC = PC + 1 + sign_ext(d)				
(reserved)	101					
(reserved)	110					
(条件分岐命令)	111					
<div>15 14 13 11 10 8 7 0</div> <table><tr><td>10</td><td>111</td><td>cond</td><td>d</td></tr></table>			10	111	cond	d
10	111	cond	d			
mnemonic	cond	function				
BE d	000	if (Z) PC = PC + 1 + sign_ext(d)				
BLT d	001	if (S ^ V) PC = PC + 1 + sign_ext(d)				
BLE d	010	if (Z (S ^ V)) PC = PC + 1 + sign_ext(d)				
BNE d	011	if (!Z) PC = PC + 1 + sign_ext(d)				
(reserved)	100					
(reserved)	101					
(reserved)	110					
(reserved)	111					

図 1: SIMPLE/B の命令セット

2.2 動作周波数

図 2 のように、作成した SIMPLE/B が稼働可能な最大クロック周波数はおよそ 70MHz となった。だが、SIMPLE/B に機能拡張することで遅延時間が延びることを考慮すると、パイプライン化したプロセッサの稼働可能な最大周波数は 70MHz よりもさらに下回ると考えられる。よって、これから作成する機能拡張したプロセッサの周波数の目標値は 60MHz とする。過去のソートコンテストのランキングを見る限りでは、周波数が 60MHz 以上のプロセッサは少なくないので、最大周波数 60MHz 以上のプロセッサが実現可能ならばその最大値を目指す。

Slow 1200mV 100C Model				
	Fmax	Restricted Fmax	Clock Name	Note
1	69.68 MHz	69.68 MHz	clock	
2	120.39 MHz	120.39 MHz	altera reserved tck	

図 2: SIMPLE/B の最大周波数

2.3 パイプライン化

パイプライン化に関しては実現にあたり、パイプラインレジスタ、フォワーディング・パス、データ・ハザードの検出、分岐ハザードの解消を行う機能の追加とそれの伴う部品の作成が必要である。

2.4 並列化

並列化の実装は行わない方針である。

3 性能/コストの予測

3.1 SIMPLE/B に比べて性能やハードウェア量が何倍程度か、それは妥当な見積もりか

周波数が同じ条件でかつ、図 3 のようにフェーズが実行されると考えると、パイプライン化されていないプロセッサと比べてパイプライン化されたプロセッサの速度はおおよそ 5 倍となることが予測される。

また、パイプライン化にあたり、前節で述べたような部品の実装が必要であるが、機能追加による部品の作成によって増える Total logic elements の数は SIMPLE/B の Total logic elements の数よりも少ないことが予測される。SIMPLE/B の Total logic elements の数が 2,132 / 28,848(7%) であることから、新たに機能を追加する余地は残されていることがわかり、また、機能追加後のプロセッサの Total logic elements の数は全体の 10%程度になると予測した。

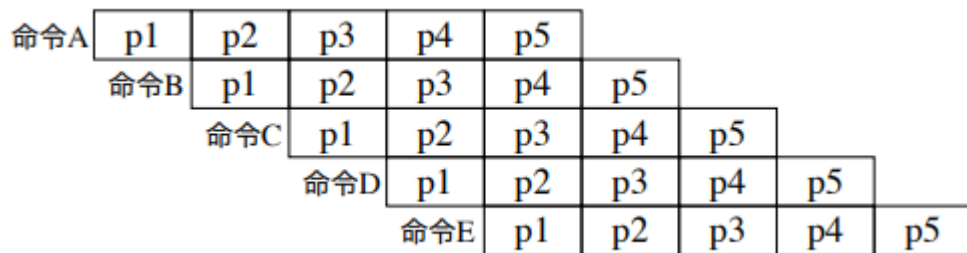


図 3: パイプライン化されたときのフェーズ実行

3.2 ソート速度コンテストでの計算時間、サイクル数の予測

即値オペランドの強化が行ない、さらにクロック周波数が 60MHz であるパイプライン化されたプロセッサが実装できたと仮定する。ソート速度コンテストにおいてバブルソートを用いると考え、2020 年のソート速度コンテストの 6 位の人の結果（図 4）と比較することでソート速度コンテストの計算時間、サイクル数の予測を立てることができる。この人は ADDI を追加し、周波数が 85MHz で 2 段パイプラインのプロセッサを実装している。そのプロセッサを使ってソート速度コンテストでは、時間が約 272ms、サイクル数が約 23075000 の結果を出している。これらの数値をもとに、自分たちのグループが実際にソート速度コンテストを行った場合の結果の見積もりを計算してみると次のようになる。

時間: $272ms * (2/5) * (85/60) \approx 154ms$

サイクル数: $23075000 * (2/5) \approx 9230000$

	(270343 / 270343 / 270343)					
271.5 ms	23074241 (23073025 / 20979785 / 25169913)		85 MHz	1197	バブルソート	2段パイプライン, ADDI

図 4: 2020 年のソート速度コンテストの 6 位の人の結果

4 考察

5 月 6 日の時点で SIMPLE/B の実装ができたことを考えると、パイプライン化の実装も最終締め切りまでに完了すると思われる。だが、パイプライン化に伴う分岐ハザードの解消を行う機能の実装のめどがグループ内で立っていないので、パイプライン化の実装が実際にできるかはわからない。