

2022 年度 3 回生前期学生実験 HW  
**team02 方式設計仕様書**

方式設計仕様書作成者: 植田健斗

グループメンバー：

伊藤舜一郎 (学籍番号:1029-32-7548)

植田健斗 (学籍番号:1029-32-6498)

提出期限：5 月 12 日 18 時 提出日: 2022 年 5 月 6 日

## 1 概要

## 2 命令セット・アーキテクチャ

命令セットアーキテクチャは以下の図 1 のようになる。

15	14	13	11	10	8	7	4	3	0
11	Rs	Rd	op3	d					
mnemonic		op3	function						
ADD	Rd, Rs	0000	$r[Rd] = r[Rd] + r[Rs]$						
SUB	Rd, Rs	0001	$r[Rd] = r[Rd] - r[Rs]$						
AND	Rd, Rs	0010	$r[Rd] = r[Rd] \& r[Rs]$						
OR	Rd, Rs	0011	$r[Rd] = r[Rd]   r[Rs]$						
XOR	Rd, Rs	0100	$r[Rd] = r[Rd] \wedge r[Rs]$						
CMP	Rd, Rs	0101	$r[Rd] = r[Rd] - r[Rs]$						
MOV	Rd, Rs	0110	$r[Rd] = r[Rs]$						
(reserved)		0111							
SLL	Rd, d	1000	$r[Rd] = \text{shift\_left\_logical}(r[Rd], d)$						
SLR	Rd, d	1001	$r[Rd] = \text{shift\_left\_rotate}(r[Rd], d)$						
SRL	Rd, d	1010	$r[Rd] = \text{shift\_right\_logical}(r[Rd], d)$						
SRA	Rd, d	1011	$r[Rd] = \text{shift\_right\_arithmetic}(r[Rd], d)$						
IN	Rd, d	1100	$r[Rd] = \text{input}$						
OUT	Rs	1101	$\text{output} = r[Rs]$						
NOP		1110							
HLT		1111	$\text{halt}()$						
15	14	13	11	10	8	7	4	3	0
op1	Ra	Rb	d						
mnemonic		op1	function						
LD	Ra, d(Rb)	00	$r[Ra] = *(r[Rb] + \text{sign\_ext}(d))$						
ST	Ra, d(Rb)	01	$*(r[Rb] + \text{sign\_ext}(d)) = r[Ra]$						
15	14	13	11	10	8	7	4	3	0
10	op2	Rb	d						
mnemonic		op2	function						
LI	Rb, d	000	$r[Rb] = \text{sign\_ext}(d)$						
(reserved)		001							
(reserved)		010							
(reserved)		011							
B	d	100	$PC = PC + 1 + \text{sign\_ext}(d)$						
(reserved)		101							
(reserved)		110							
(条件分岐命令)		111							
15	14	13	11	10	8	7	4	3	0
10	111	cond	d						
mnemonic		cond	function						
BE	d	000	$\text{if } (Z) PC = PC + 1 + \text{sign\_ext}(d)$						
BLT	d	001	$\text{if } (S \wedge V) PC = PC + 1 + \text{sign\_ext}(d)$						
BLE	d	010	$\text{if } (Z    (S \wedge V)) PC = PC + 1 + \text{sign\_ext}(d)$						
BNE	d	011	$\text{if } (!Z) PC = PC + 1 + \text{sign\_ext}(d)$						
(reserved)		100							
(reserved)		101							
(reserved)		110							
(reserved)		111							

図 1: 命令セット・アーキテクチャ

### 2.1 IN 命令

IN 命令が呼ばれると実行を一時的に中断し、外部入力で入力された値を受け取る。中間発表の段階の外部入力では、実行の中断中に 16 個のディップスイッチを変更し、16bit の値を設定し、exec ボタンを押すことで exec ボタンが押された時のディップスイッチを用いて表現された値を入力として受け取り、実行を再開するようにした。

## 2.2 OUT 命令

OUT 命令が呼ばれると、フェーズが p3 の時に外部出力に Rs フィールドで指定したレジスタの中身が渡される。中間発表の段階の外部出力では 7SEG-LED を 4 つ用いて 16 進数表示で 16bit のデータを表示する。また、過去 16 回の OUT 命令で出力されたデータを保持し、次の OUT 命令が呼ばれるか、7SEG-LED に表示し続ける。

## 2.3 HLT 命令

命令の実行を中断するための命令である。内部的には exec ボタンが押されたのと同じ動作をする。HLT 命令が呼ばれた後に、exec ボタンを押すとメモリ上で HLT 命令の次の命令から命令の実行を再開する。

## 2.4 NOP 命令 (=non operation)

レジスタ・メモリ書き込み、外部入出力などの動作を、何も行わない命令である。機器の初期化の際に、reset ボタンが押されると Instruction Register の値は 2'b 1100000011100000 となり、NOP 命令の値に設定される。

## 2.5 その他の命令

ADD,SUB,AND,OR,XOR,CMP,MOV,SLL,SLR,SRL,SRA,LD,ST,LI,B,BE,BLT,BLE,BNE については授業資料の命令セットの仕様通りに設計を行ったため、授業資料の命令セットの説明と被る箇所は割愛する (授業資料のコピーを載せることになるので割愛)。ただし、LD,ST,LI,IN,OUT 命令での SZCV のフラグについて、それぞれの命令で移動するデータの値 (LD ならばメモリからロードするデータ、ST ならばメモリに格納するデータ、LI ならばレジスタに格納する即値の値、IN ならば入力として受け取るデータ、OUT ならば出力するデータ) が、正のとき SZCV=0000、負のとき SZCV=1000、0 のとき SZCV=0100 となるように SZCV フラグを設定した。

## 3 構造と動作