

2022 年度 3 回生前期学生実験 HW
team02 実施報告書

実施報告書作成者: 伊藤舜一郎

グループメンバー：

伊藤舜一郎 (学籍番号:1029-32-7548)

植田健斗 (学籍番号:1029-32-6498)

提出期限：6 月 9 日 13 時 15 分 提出日：2022 年 6 月 2 日

1 目標と達成状況

中間報告でのアーキテクチャ検討報告書では以下の目標をたてた

- 命令セットアーキテクチャの改良による機能拡張
- パイプライン化によるフェーズ並列実行による命令サイクルの短縮
- 動作可能な最大周波数が 60MHz のプロセッサの作成

以上の中間報告時点の目標に対して以下が達成できた。

- 即値の加算を行う ADDI 命令の実装
- パイプライン化によるフェーズ並列実行による命令サイクルの短縮
- 動作可能な最大周波数が 62.21MHz のプロセッサの作成
- 基数ソートを用いたソートプログラムの作成

命令セットアーキテクチャの改良による機能拡張パイプライン化によるフェーズ並列実行による命令サイクルの短縮については目標が達成できたといえる。動作可能な最大周波数が 60MHz のプロセッサの作成については、SIMPLE/B の動作可能な最大周波数が約 70MHz であったために、60MHz で動作するプロセッサの作成は可能ではないのだろうかという見積もりが正しかったといえる。基数ソートを用いたソートプログラムの作成については、パイプライン化の実装のめどが立ったために、もともと作成しない予定を変更して作成に移った。

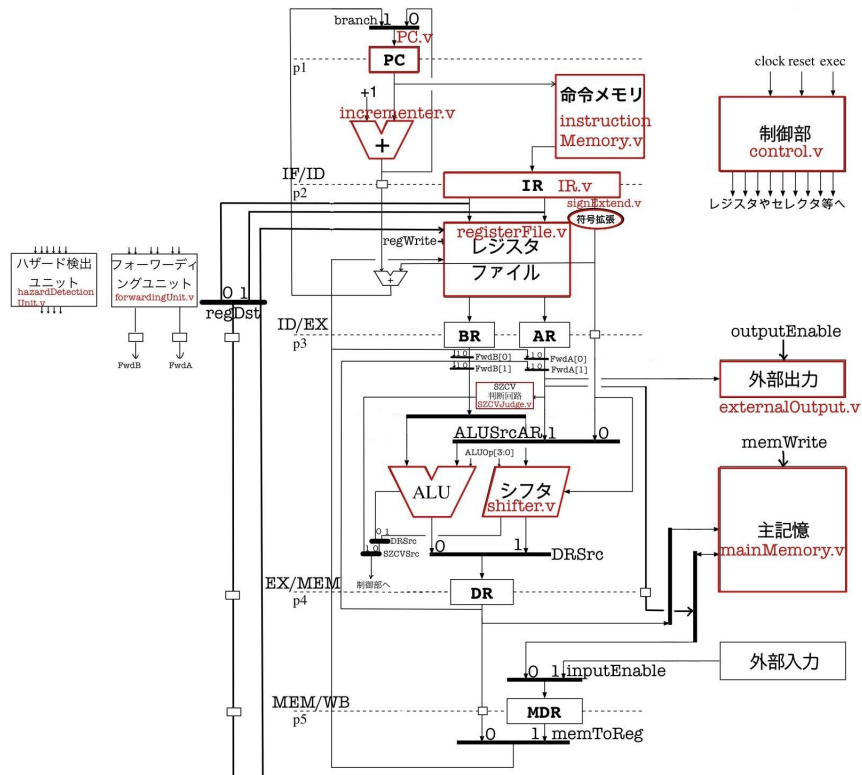
よって、今回のプロセッサの作成において目標以上の結果を達成できたといえる。

2 モジュール分割

それぞれの機能を持った回路ごとにモジュール分割した。各回路につけた名前は図 1 に示した通りである。赤色の図形で囲まれた箇所がモジュールになっており、各モジュールの名前は赤色で書いてる。外部入力は 16bit の入力ピンをあらわしている。赤色で囲われていない長方形は外部入力を除いてレジスタをあらわしている。太線はマルチプレクサを表し、その近くにかかれた文字は制御部から各マルチプレクサに送る制御信号の名前をあらわしている。マルチプレクサの近くにかかれた 0 と 1 の数字は制御信号がその値になったときにつながるデータパスを表している。

3 役割分担

役割分担の表を以下の表 1 に示す。



各レジスタ:register16.v,register4.v,register3.v
 各マルチプレクサ:multiplexer16.v,multiplexer4.v,multiplexer3.v
 全体:processor.bdf

図 1: プロセッサの設計の回路図

表 1: 役割分担 (最終報告時点)

コンポーネント	追加か変更か	担当
フォワーディングユニット	追加	伊藤
クロックカウンタ	追加	伊藤
アセンブリコード (基数ソート)	(応用プログラム)	伊藤
ハザード検出ユニット	追加	植田
パイプラインレジスタ	追加	植田
命令メモリ	追加	植田
制御部	変更	植田
レジスタファイル	変更	植田
全体	変更	植田
アセンブリコード (度数ソート)	(ソートコンテスト用)	植田 (レポートは伊藤)

4 提出について

最終的な設計設計データの GitHub Classroom 上の 2022-simple-team02 のリポジトリのタグ名は final である。