1. Воспроизведите примеры "Умножение без DSP" и "Умножение с DSP".

* Проведите синтез обоих примеров и сравните Utilization. Почему пример "без DSP" использует LUT, а пример "с DSP" не использует их? Откройте Synthesis > Schematic для обоих примеров и объясните увиденное.

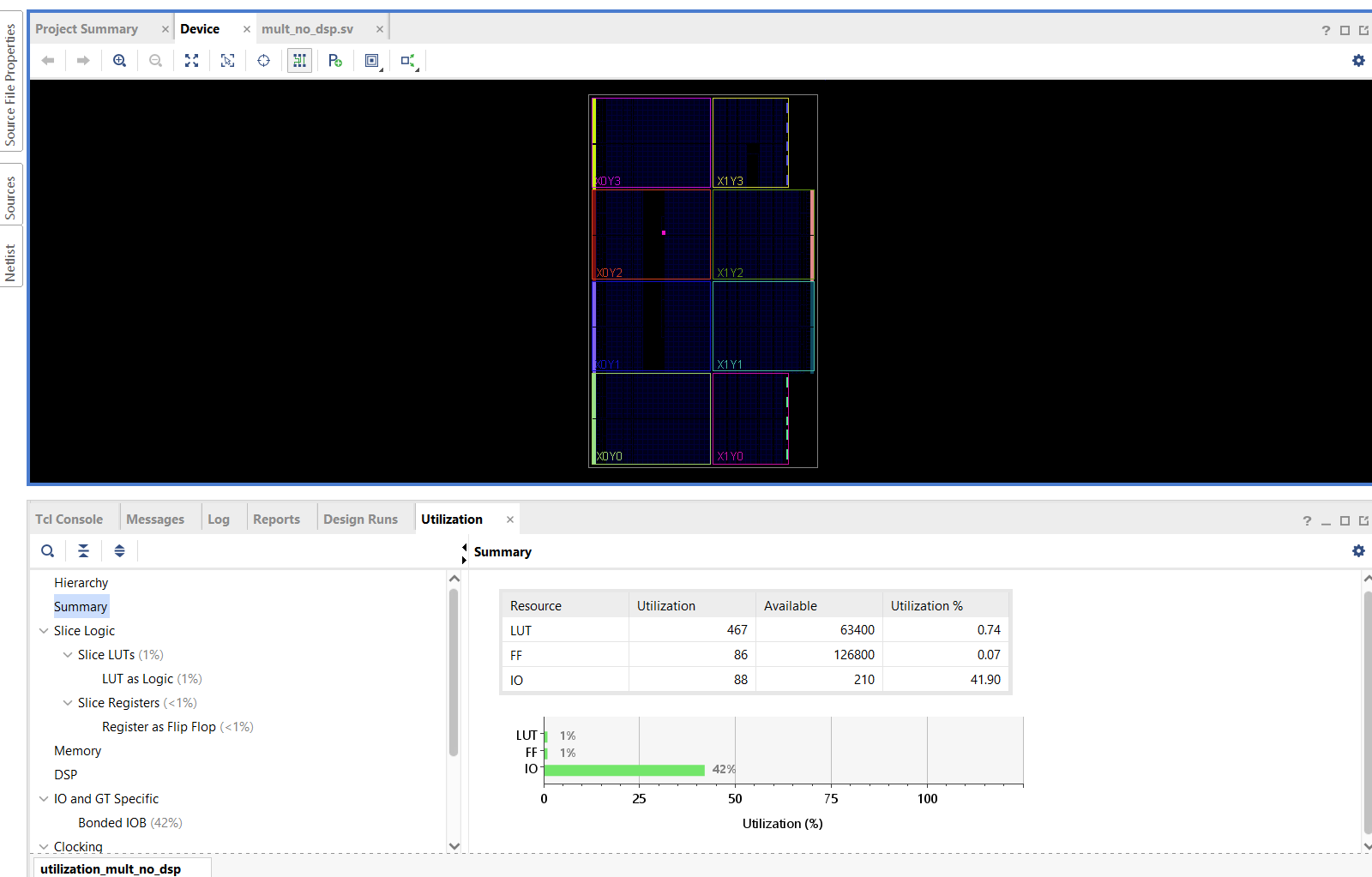


Рисунок 1 utilization report of mult\_no\_dsp

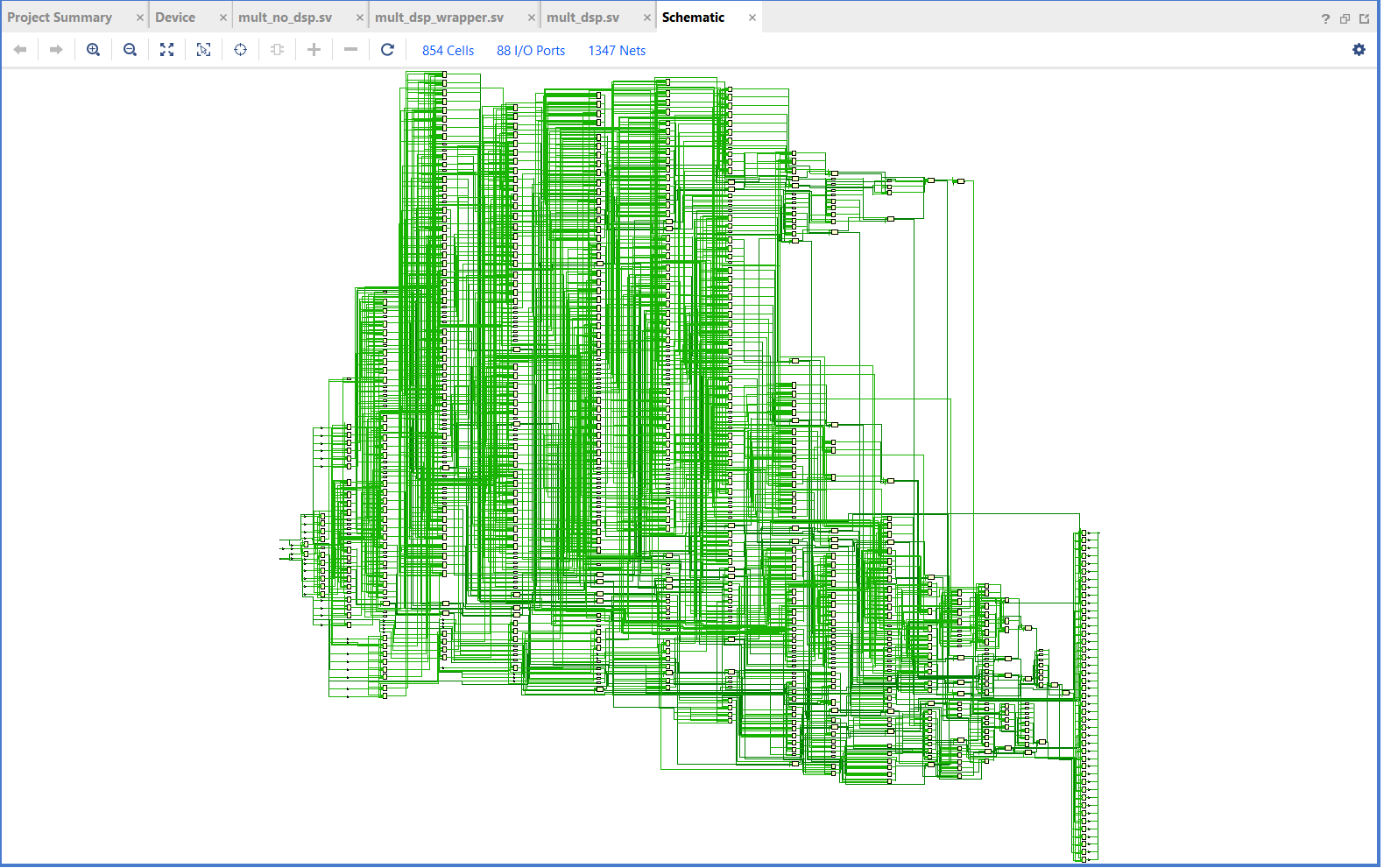


Рисунок 2 Shcematic of mult\_no\_dsp

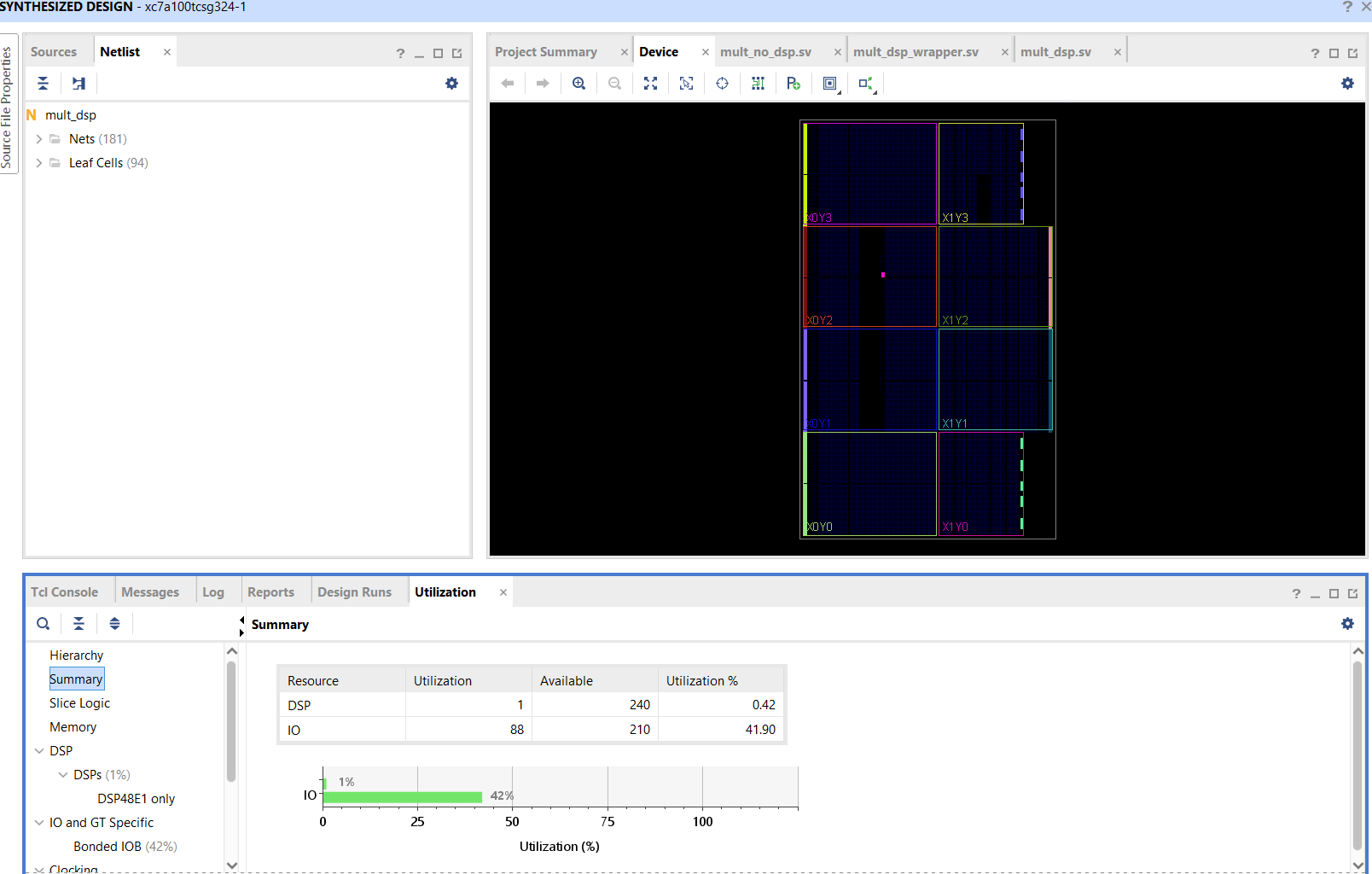


Рисунок 3 Utilization report of mult\_dsp

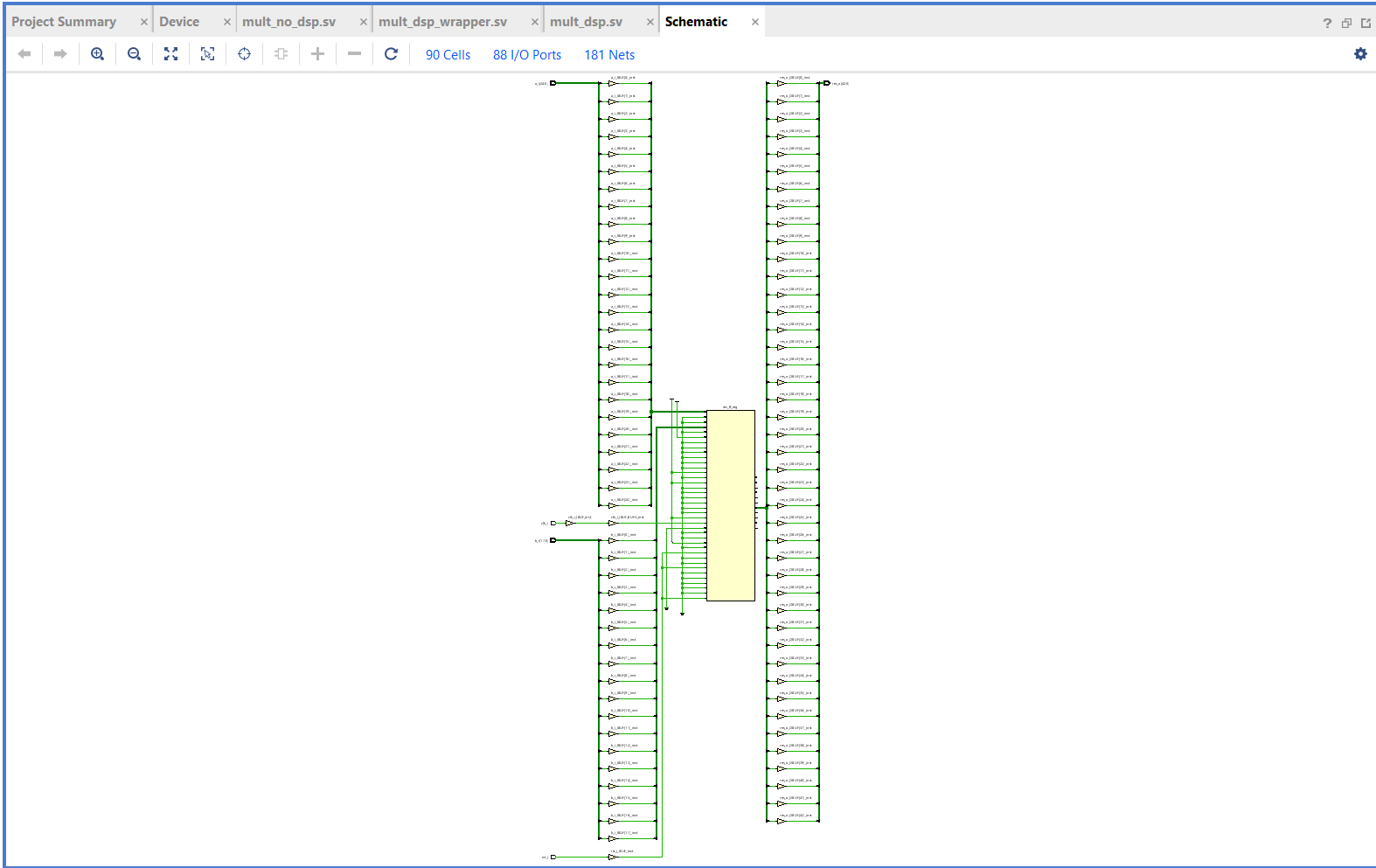
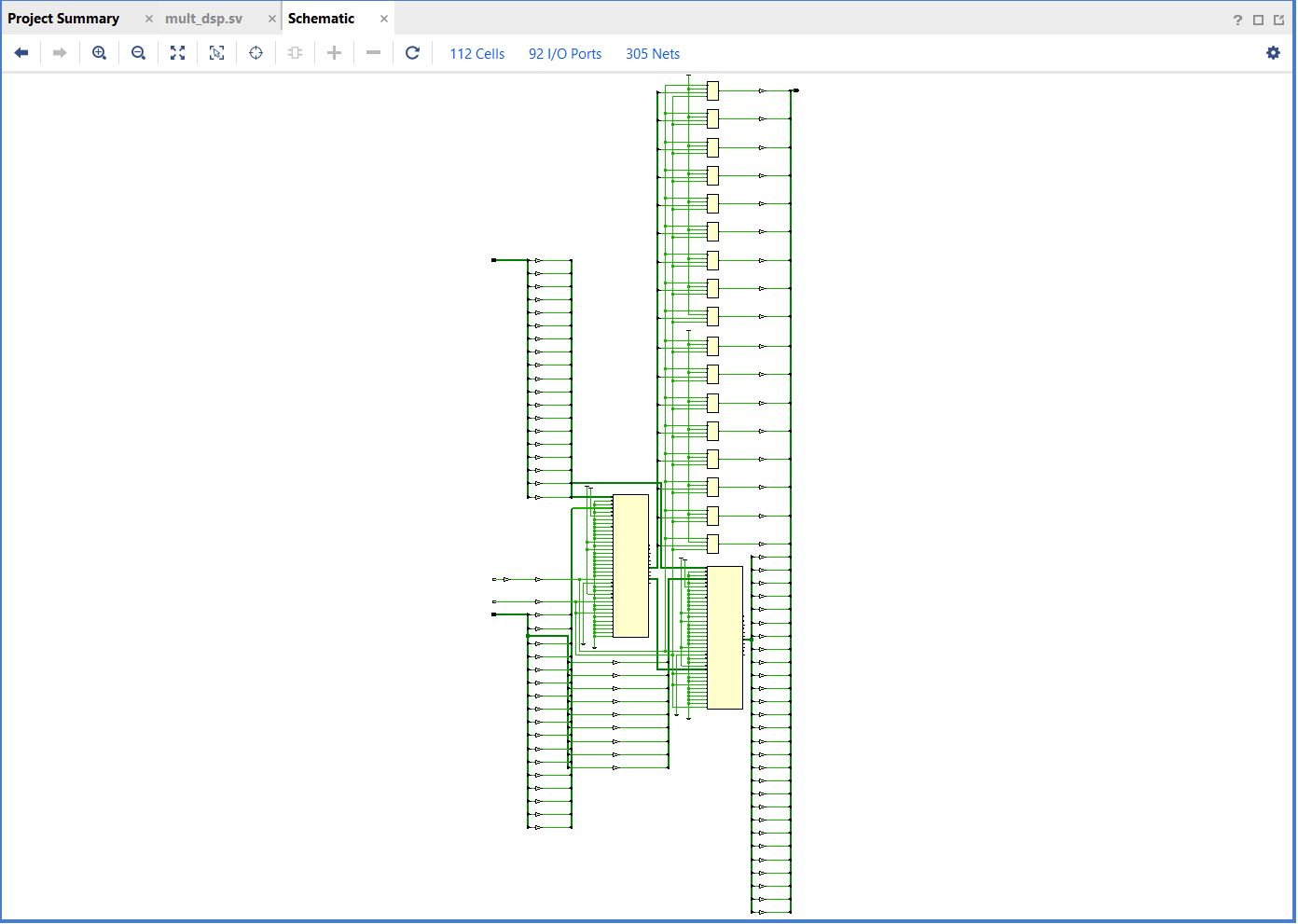
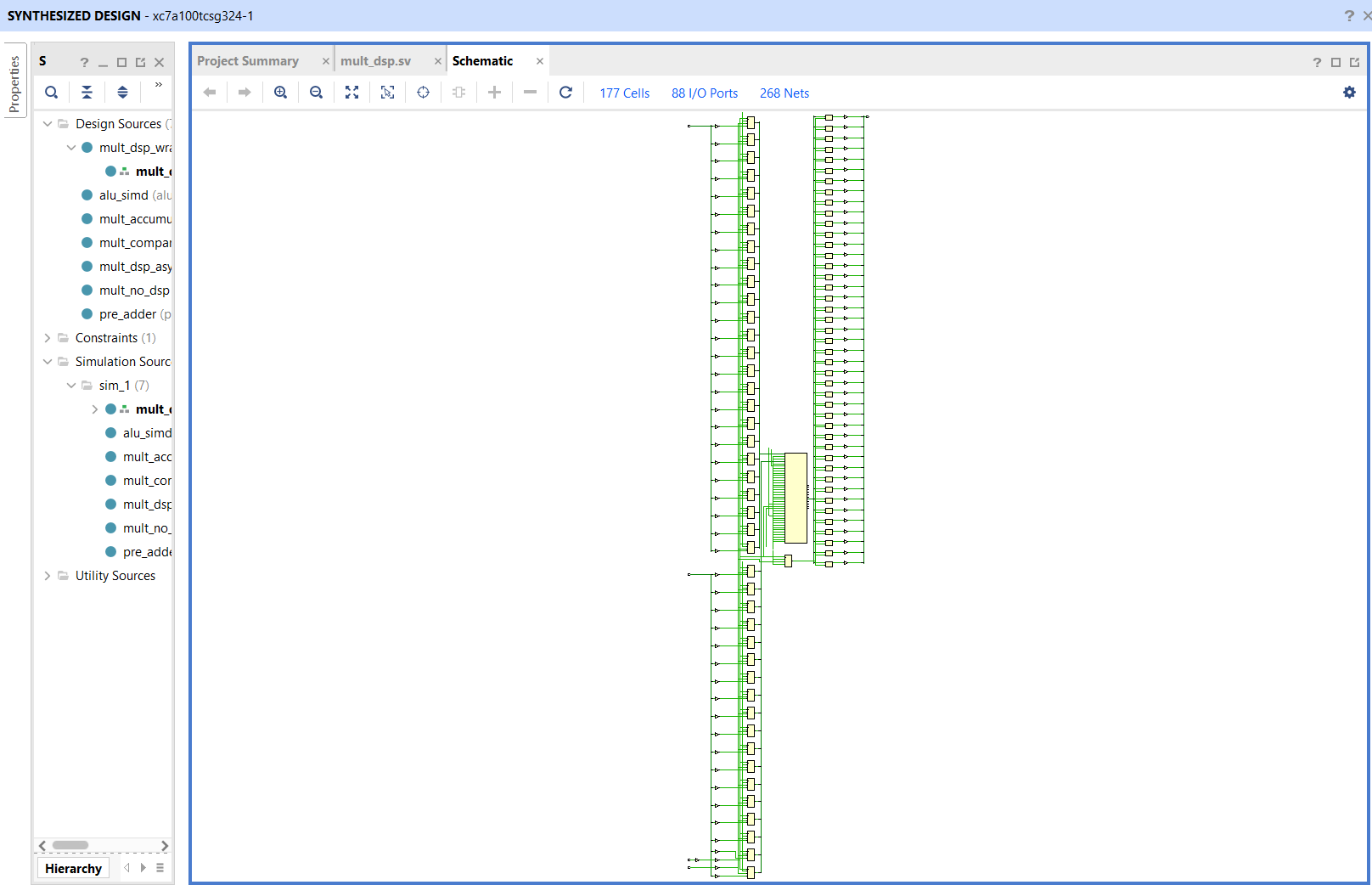


Рисунок 4 Schematic of mult\_dsp

* + Увеличьте разрядность одного или сразу двух входов в примере "Умножение с DSP". Откройте Synthesis > Schematic и объясните увиденное.



* + Почему в примере "Умножение с DSP" на схеме Synthesis > Schematic отсутствуют регистры? Куда они пропали и где находятся?  
    Ответ: регистры не пропали, они находятся внутри DSP-ячейки.
  + В примере "Умножение с DSP" поменяйте тип сброса на асинхронный. Что случилось с регистрами на схеме Synthesis > Schematic? Почему?

  
Ответ: в DSP-ячейках присутствуют только регистры с синхронным с бросом, поэтому были синтезированы дополнительные регистры с асинхронным.

* + Подключите файл [clk.xdc](https://github.com/MPSU/FPGA_pract/blob/main/Labs/03.%20DSP/examples/02_mult_dsp/clk.xdc) к проектам с примерами "Умножение без DSP" и "Умножение с DSP" и выполните сравнительный анализ тактовой частоты. **Внимание! Для примера "Умножение с DSP" используйте top-level модуль-обёртку** [**mult\_dsp\_wrapper.sv**](https://github.com/MPSU/FPGA_pract/blob/main/Labs/03.%20DSP/examples/02_mult_dsp/mult_dsp_wrapper.sv)**.** Какие получились тактовые частоты у разных примеров? Почему они отличаются?

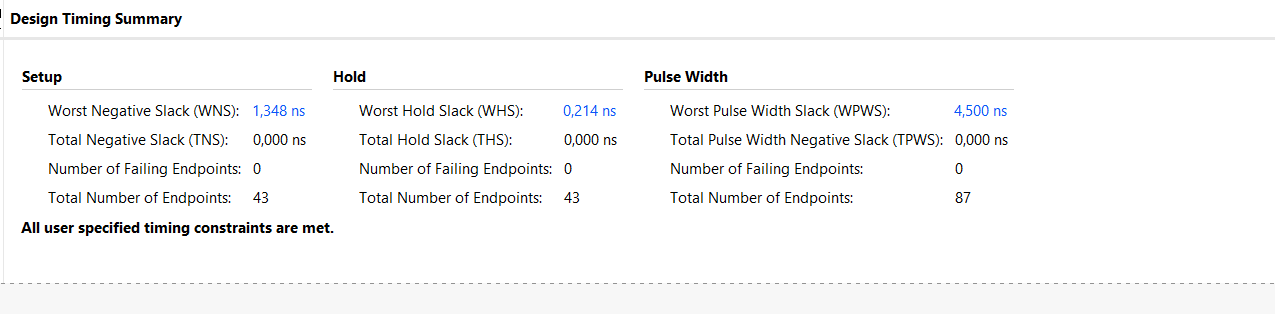


Рисунок 5 Timing summary of mult\_no\_dsp

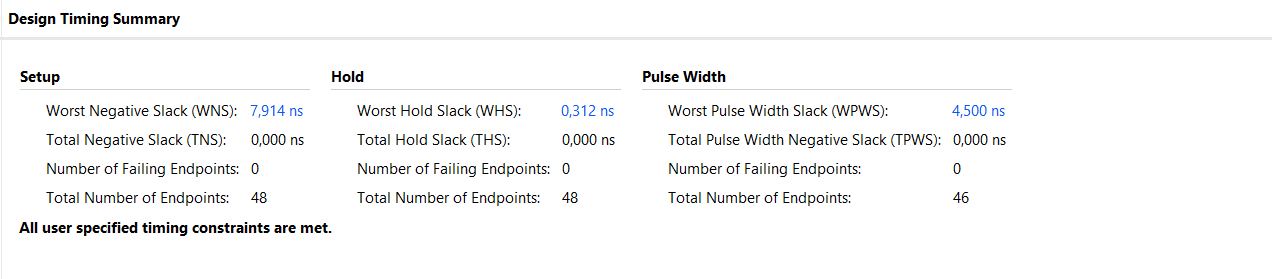
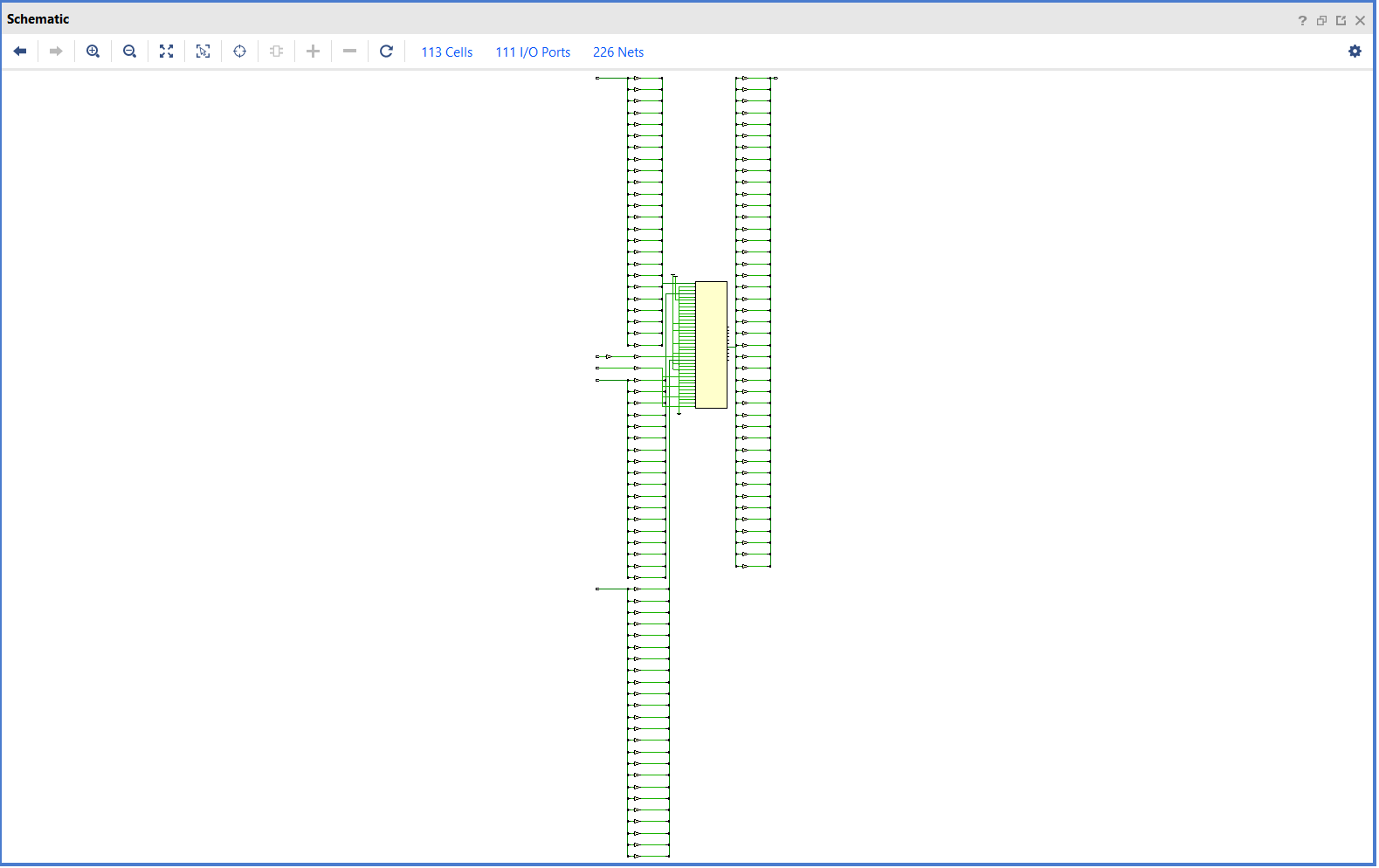
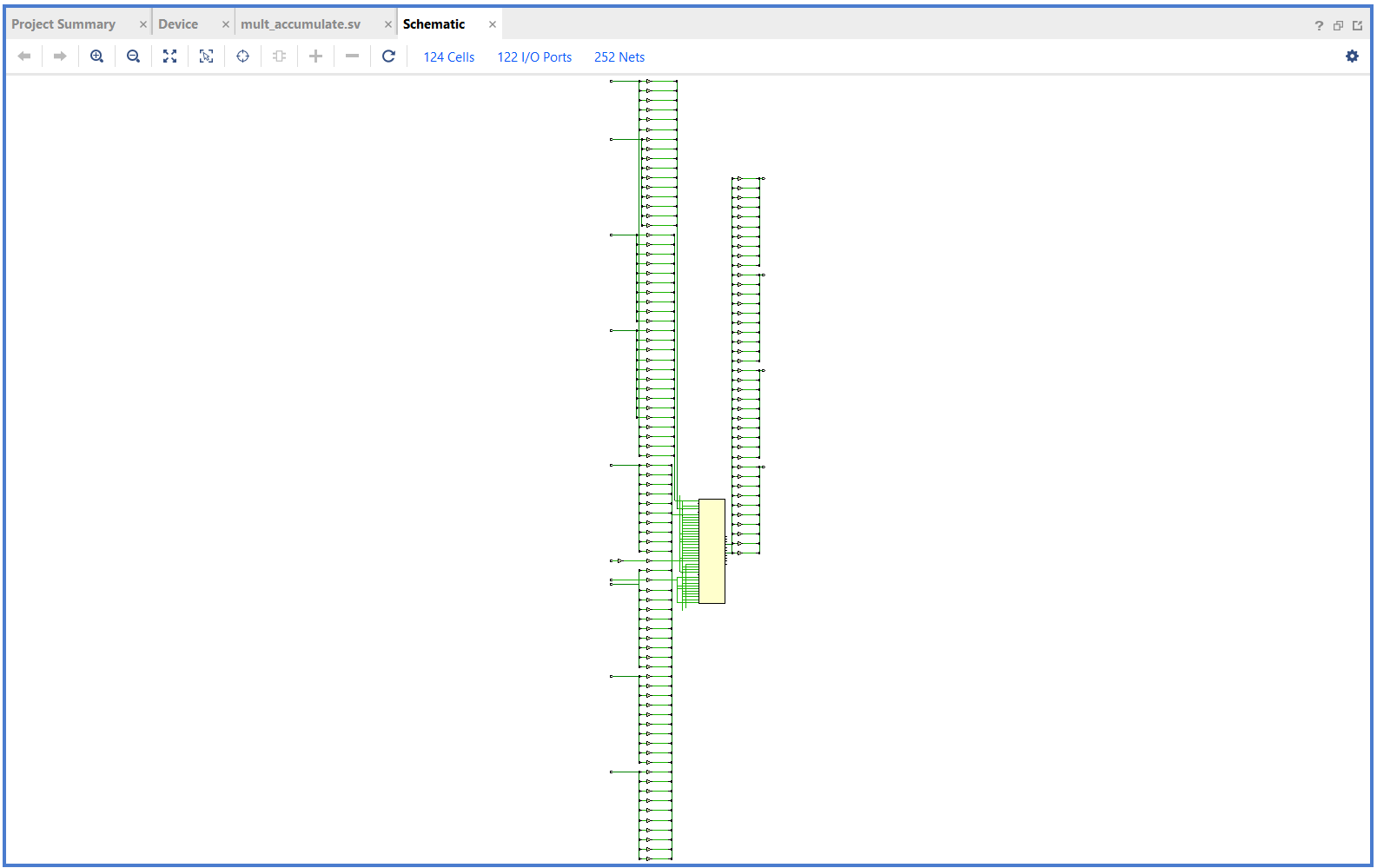


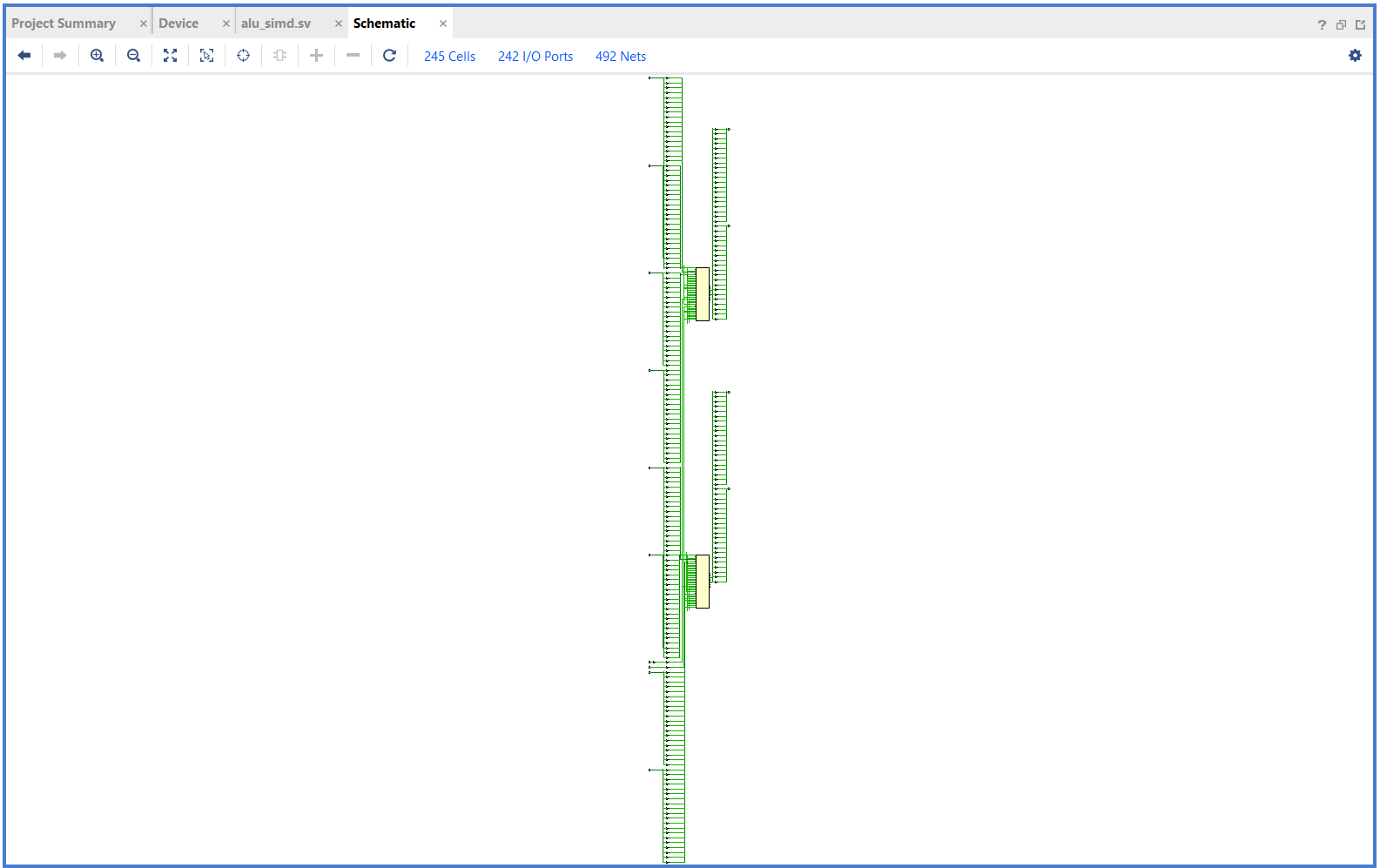
Рисунок 6 Timing summary of mult\_dsp\_wrapper

1. Воспроизведите пример "Предварительное сложение".
   * Откройте Synthesis > Schematic. Почему на схеме не видно сумматора, который появился в этом примере?
   * С помощью какого элемента DSP ячейки реализовано сложение в данном примере?



1. Воспроизведите пример "Умножение с накоплением"
   * Что в этом примере делает сигнал clear\_i? Сбрасывает накопление
   * С помощью какого элемента DSP ячейки реализовано сложение в данном примере? АЛУ DSP ячейки
2. Воспроизведите пример "SIMD в АЛУ"
   * Измените параметр W на 20. Откройте схему Synthesis > Schematic. Что поменялось? Почему?





1. Воспроизведите пример "Обнаружитель паттернов".
   * Для чего может быть использован обнаружитель паттернов?  
     обнаружение переполнения или округление чисел