

数字电路与系统设计

总复习——时序逻辑 部分

宋娟
软件学
院



jsong84@qq.com

数字电路与系统设计

第五章 触发器

宋娟
软件学
院



jsong84@qq.com



内容概要

- 时序电路概述
 - 电路特点和分类
 - 分析和设计时序电路的工具
- 基本触发器
 - 五种基本触发器
 - 基本触发器的空翻和振荡
- 集成触发器
 - 边沿触发器
 - 逻辑符号



3.1 时序电路概述

时序电路：在任何时刻电路产生的稳定输出信号不仅与该时刻电路的输入信号有关，而且还与电路过去的状态有关。由于它与过去的状态有关，所以电路中必须具有“记忆”功能的器件，

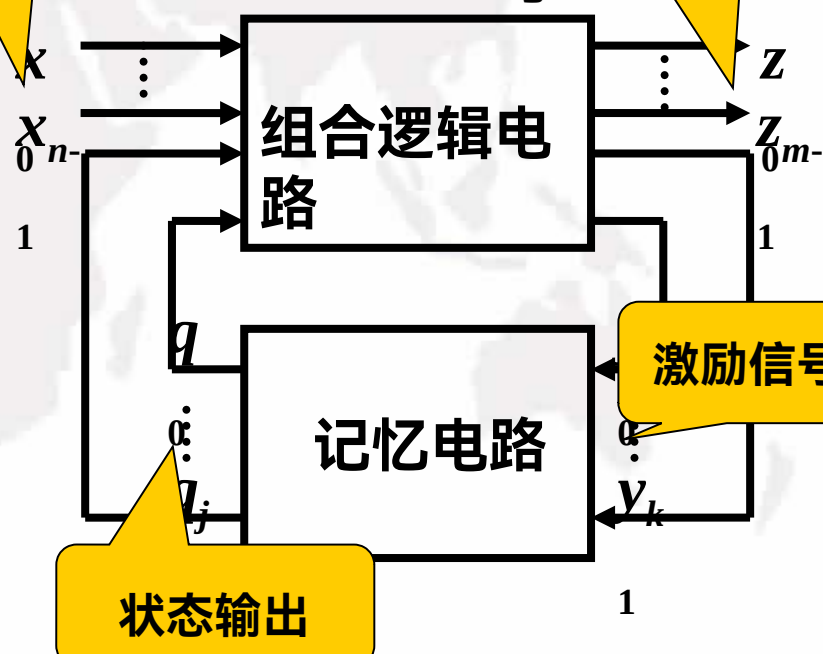
$$z_i = f_i(x_0, x_1, \dots; x_{n-1}, q_0, q_1, \dots; q_{j-1})$$

$$y_k = g_k(x_0, x_1, \dots; x_{n-1}, q_0, q_1, \dots; q_{j-1})$$

$$q_{j-1}^{n+1} = h_{j-1}(y_0, y_1, \dots; y_{n-1}, q_0, q_1, \dots; q_{j-1})$$

外部输入信号

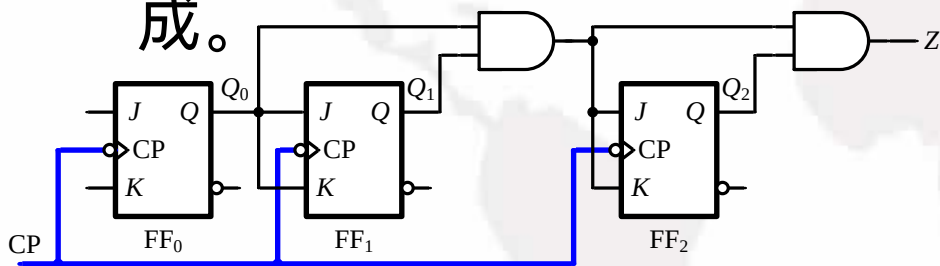
外部输出信号



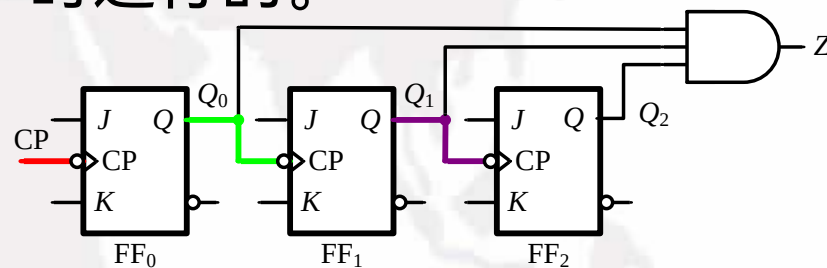


同步时序和异步时序

- 在同步时序电路中，电路状态的变化在同一个时钟脉冲的作用下发生，即各触发器状态的转换同时完成。



- 在异步时序电路中，不使用同一个时钟脉冲，即各触发器状态的转换不是同时进行的。





应用举例

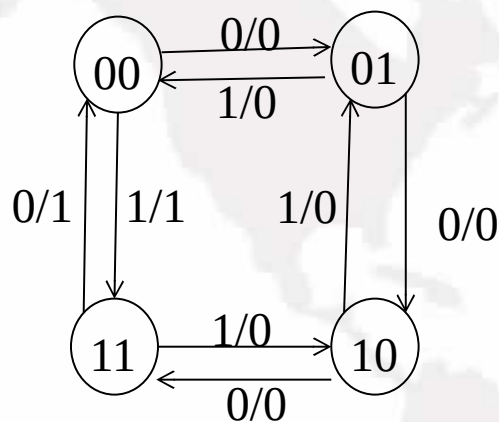
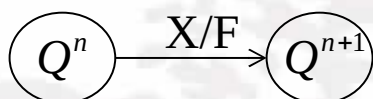
<div> <div>次态 / 输出</div> <div>Q^n</div> </div> <div>X</div>	Q^{n+1} / F	
	0	1
00	01/0	11/1
01	10/0	00/0
10	11/0	01/0
11	00/1	10/0

X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	F
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	0
1	1	0	0	1	0
1	1	1	1	0	0

状态转移表方便我们写出状态方程和输出函数



状态转移图



时序电路的
描述工具

状态迁移表 / 真值
表
状态 / 激励 / 输出方
程
状态迁移图

求方程
画逻辑电路图
分析电路功能

状态转移图有助于分析时序电路的功能

X=0 加法计数器, F 是进位

X=1 减法计数器, F 是借位

可控四进制计数器



触发器的基本性质

- 具有两个稳定的状态，分别用二进制数码的“1”和“0”表示； □
- 由一个稳态到另一稳态，必须有外界信号的触发；否则它将长期稳定在某个状态，即长期保持所记忆的信息；
- 具有两个输出端：原码输出 Q 和反码输出 \bar{Q} 。一般用 Q 的状态表明触发器的状态。如外界信号使 $\bar{Q}=Q$ ，则破坏了触发器的状态，这种情况在实际运用中是不允许出现的。



5.2 基本触发器

5.2.1 基本 RS 触发器

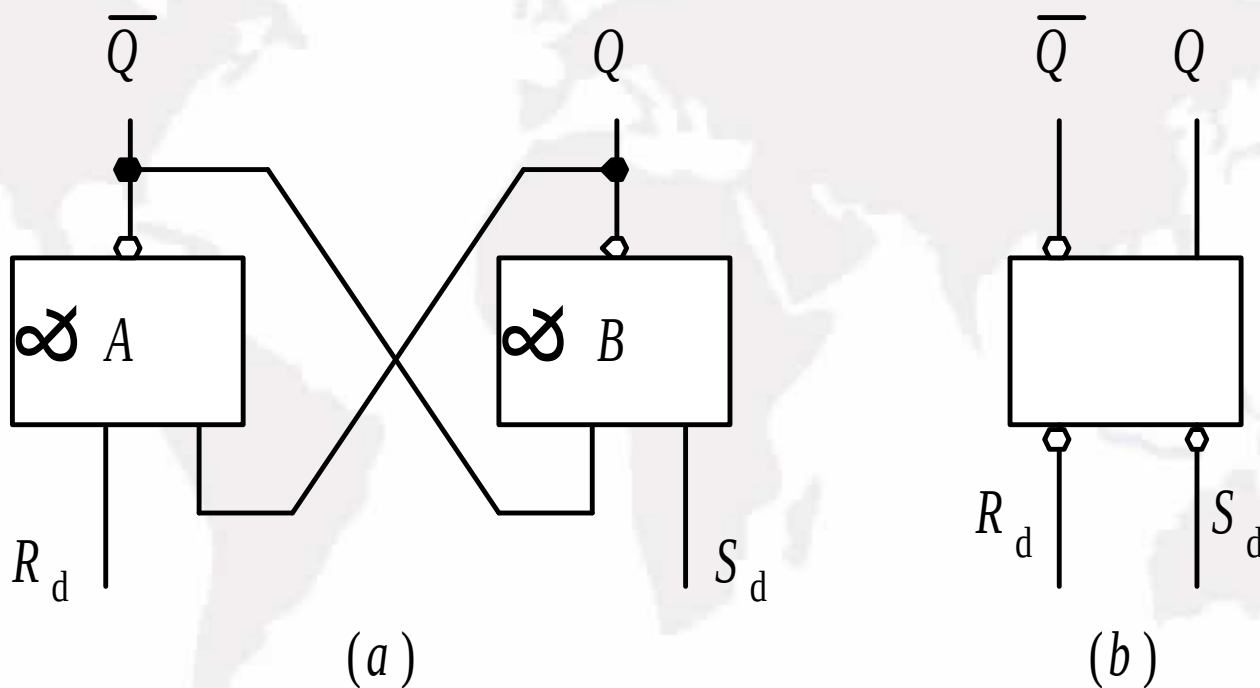


图 5-7 由与非门构成的基本 RS 触发器



表 5-7 真 值 表

$R_d \ S_d \ Q_2$	Q^{n+1}	说 明
0 0 0	1	禁止态
0 0 1	1	
0 1 0	0	置 0 $Q^{n+1}=0$
0 1 1	0	
1 0 0	1	置 1 $Q^{n+1}=1$
1 0 1	1	
1 1 0	0	保持 $Q^{n+1}=Q^n$
1 1 1	1	



(3) 特征方程。

$$Q^{n+1} = \bar{S}_d + R_d Q^n$$

特征方程又常常称为状态方程或次态方程。由于 R_d 和 S_d 不允许同时为零，因此输入必须满足

$$\bar{R}_d \bar{S}_d = 0$$

我们称该方程为约束方程，该方程规定了 R_d 和 S_d 不能同时为“0”。



5.2.2 时钟控制的 RS 触发器

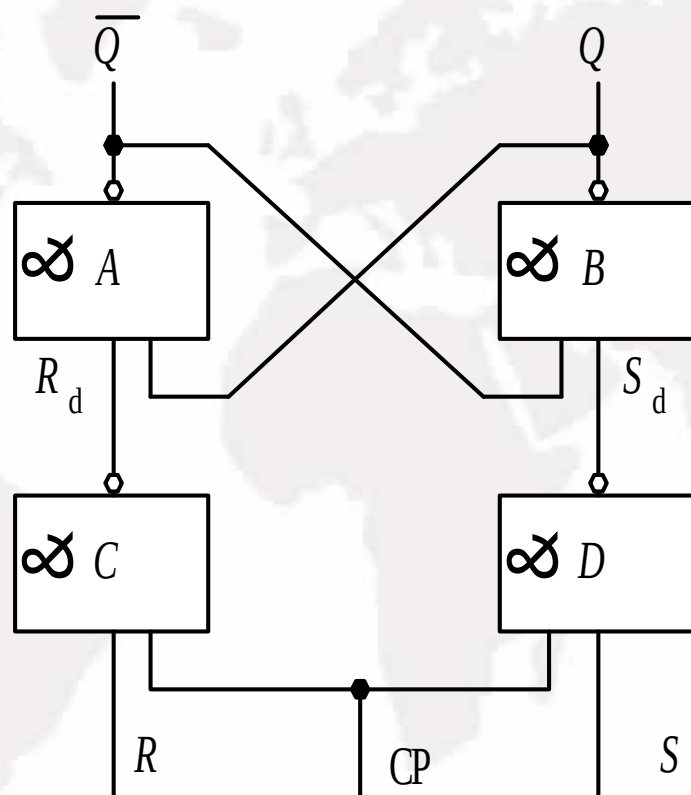


图 5-10 钟控 RS 触发器



表 5-9 钟控 RS 触发器真值表

R	S	Q^n	Q^{n+1}	说 明
0	0	0	0	保持 $Q^{n+1}=Q^n$
0	0	1	1	
0	1	0	1	置 1 $Q^{n+1}=1$
0	1	1	1	
1	0	0	0	置 0 $Q^{n+1}=0$
1	0	1	0	
1	1	0	×	禁止
1	1	1	×	

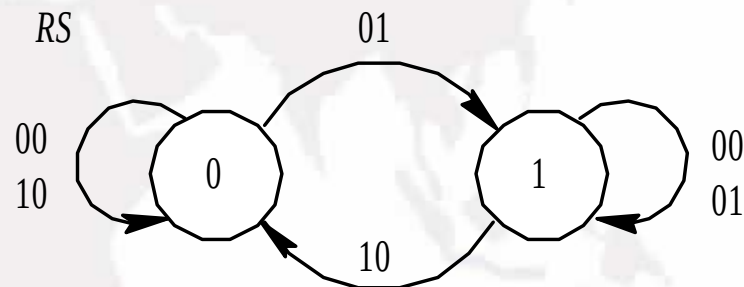


2. 状态表、状态图及特征方程

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases} \quad \text{约束条件}$$

$Q^n \backslash RS$	Q^{n+1}			
	00	01	11	10
0	0	0	1	0
1	1	1	0	0

(a)



(b)

图 5-11 钟控 RS 触发器状态表和状态图

□

(a) 状态表: (b) 状态图



5.2.3 D 触发器

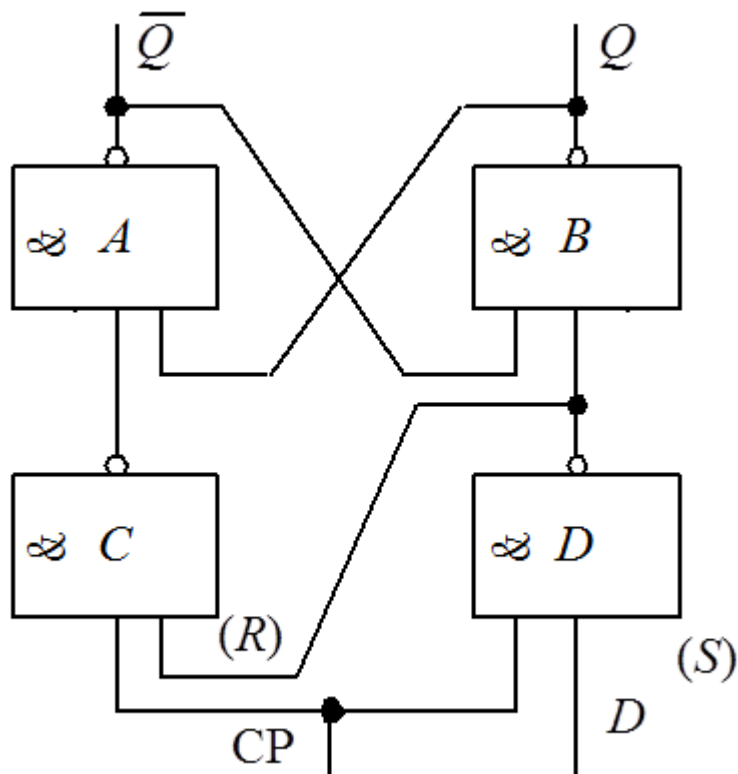


图 5-13 D 触发器



表 5-10 D 触发器真值表

D	Q^n	Q^{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

置 0
态

置 1
态



2. 状态表、状态图及特征方程

$$Q^{n+1}=D$$

即触发器向何状态翻转，由当前输入控制函数 D 确定： $D=0$ ， 则

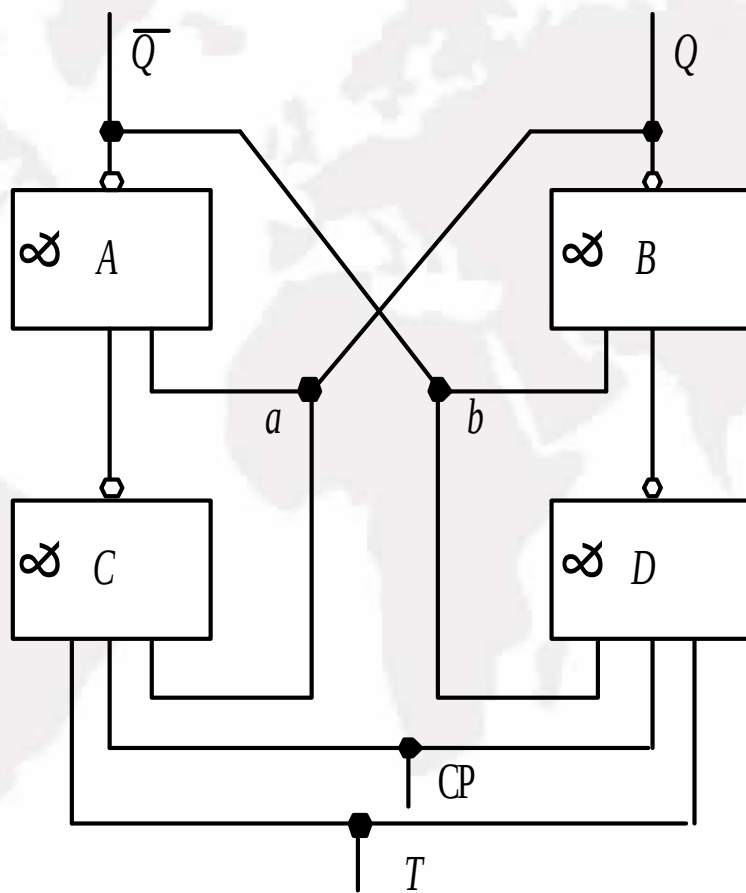
$Q^{n+1}=0$; $D=1$ ， 则 $Q^{n+1}=1$ 。 □ □

如已知 CP 、 D 端波形，则 D 触发器状态波形如图 5 - 14(c) 所示。



时钟控制的 T 触发器

逻辑电路



特征方程



1. 功能描述

当 $CP=1$ 时，功能如下：设原态 $Q^n=0$ ，经反馈线 a 使 C 门封闭，反馈线 b 使 D 门开启。当计数脉冲 T 加进来 ($T=1$)， D 门输出为 0， C 门输出为 1，则 Q 由“0”态翻为“1”态， Q 翻为“0”态，翻转一次。如原态为 1，情况正好相反，反馈线使 C 门开启， D 门关闭， C 门输出为 0， D 门输出为 1。则当 $T=1$ 时，触发器 Q 端由 1 翻为 0， Q 端由 0 翻为 1，翻转一次。其真值表如表 5 - 11 所示。



表 5-11 T 触发器真值表

T	Q^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

维持态

翻转态

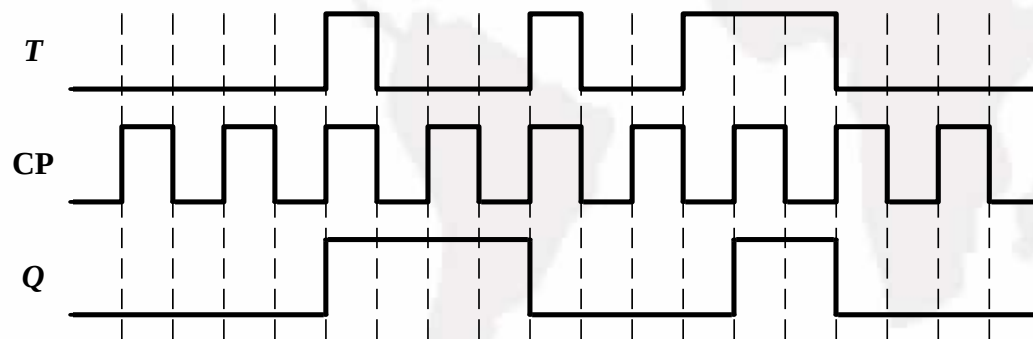


状态方程

$$Q^{n+1} = \bar{T}Q^n + T\bar{Q}^n = T \oplus Q^n$$

状态转移图

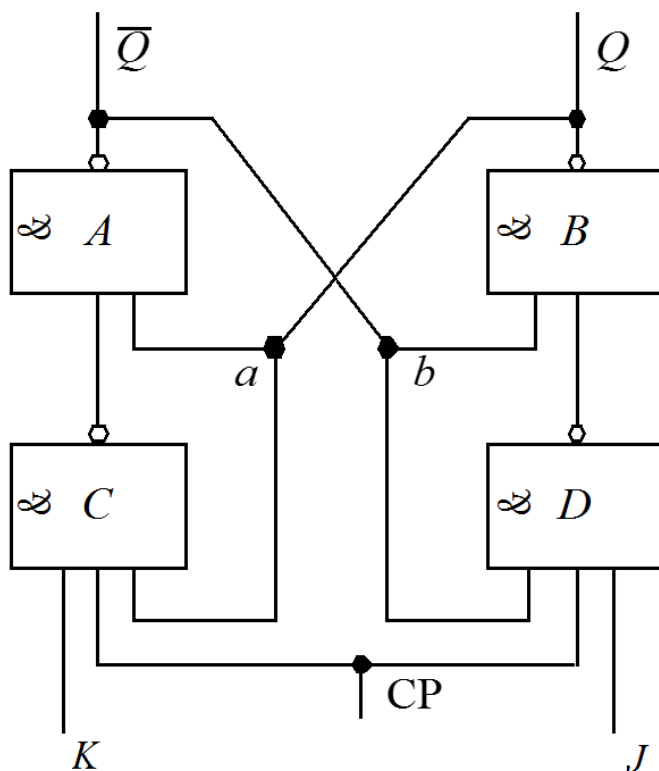
波形图





时钟控制的 JK 触发器

逻辑电路



特征方程



表 5-12 JK 触发器真值表

J K Q^n	Q^{n+1}	说明	J K Q^n	Q^{n+1}	说明
0 0 0	0	保持	100	1	置“1”
0 0 1	1		101	1	
0 1 0	0	置“0”	110	1	必翻
0 1 1	0		111	0	

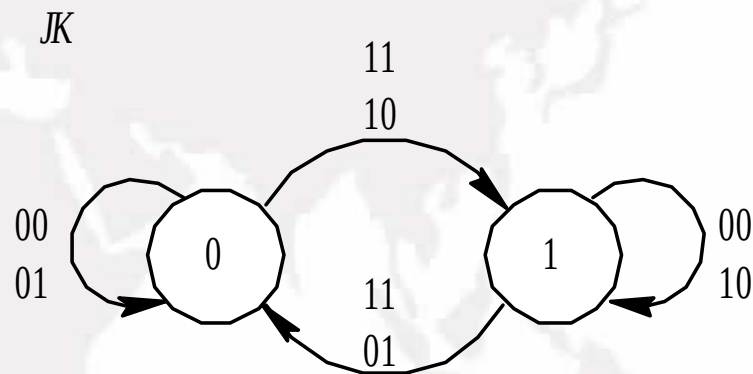


2. 状态表、状态图及特征方程

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

<div style="text-align: center;"> Q^n \ JK </div>	Q^{n+1}			
	00	01	11	10
0	0	0	1	1
1	1	0	0	1

(a)

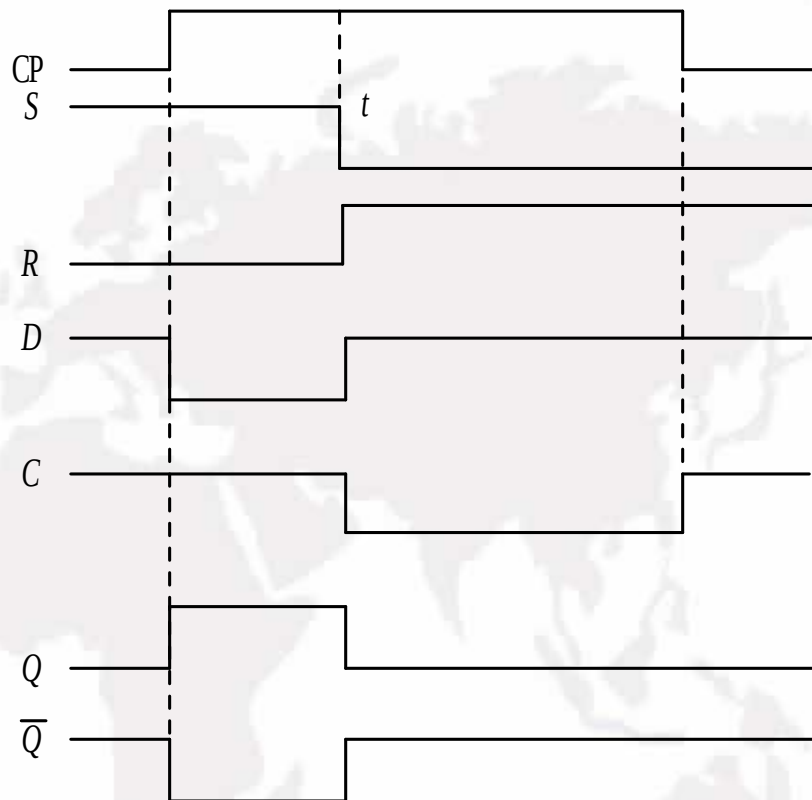
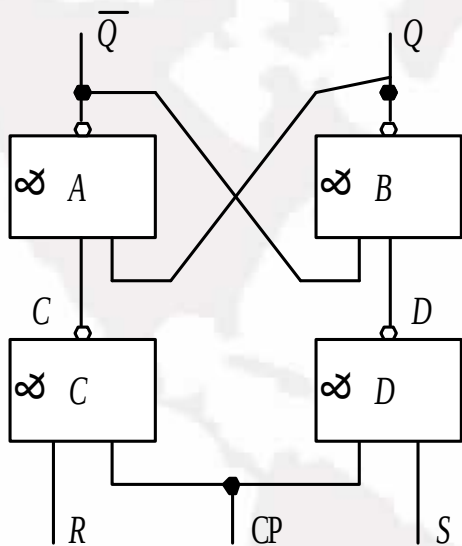


(b)

图 5-18 JK 触发器状态表和状态图



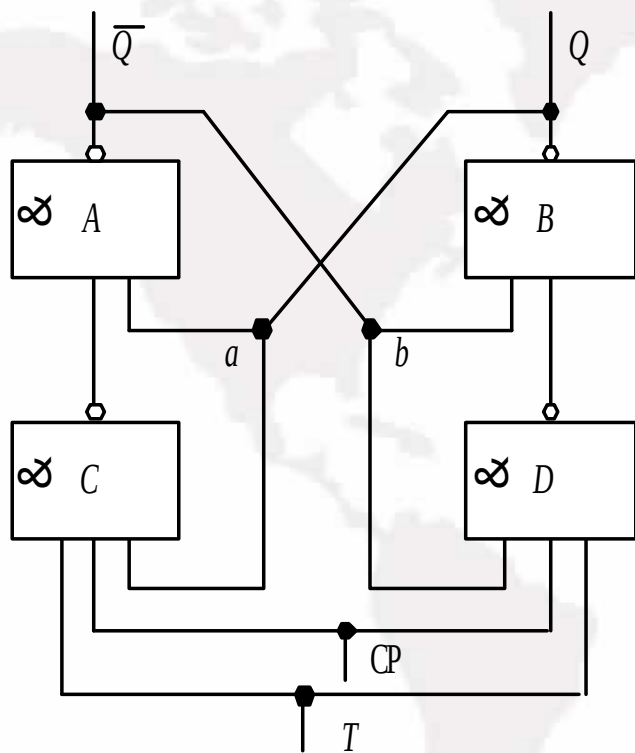
基本触发器的空翻现象



空翻现象：在一个 CP 的有效期内，触发器的状态随着激励信号发生多次翻转。但是在应用中希望在一个 CP 的有效期内，触发器的状态只翻转一次，如计数器等



基本触发器的振荡现象



振荡现象：CP 有效期内，Q 端状态反复不停的变化，导致无法确定最终触发器停在什么状态，无法正常使用，以 T 触发器和 JK 触发器为典型。



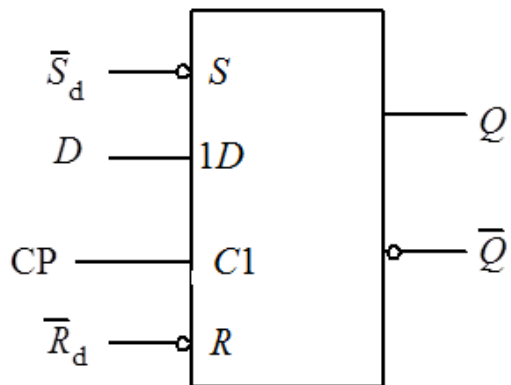
解决方法

产生原因：以上触发器都是电平触发，只要 $CP=1$ ，触发均有效；

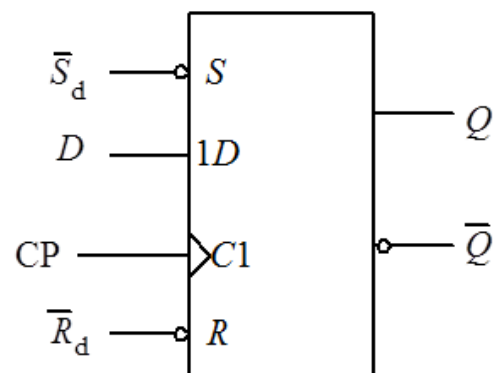
解决方法：将电平触发改成边沿触发，仅仅在 CP 的上升沿或下降沿触发有效，其余时刻均处在维持状态



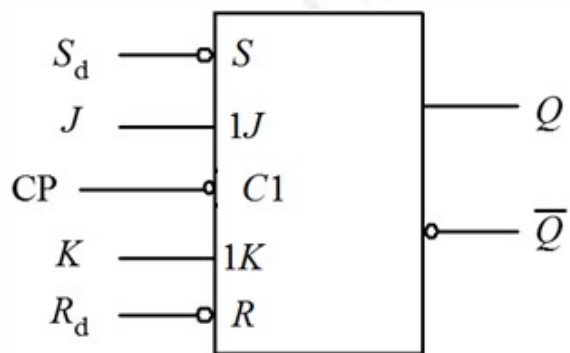
逻辑符号



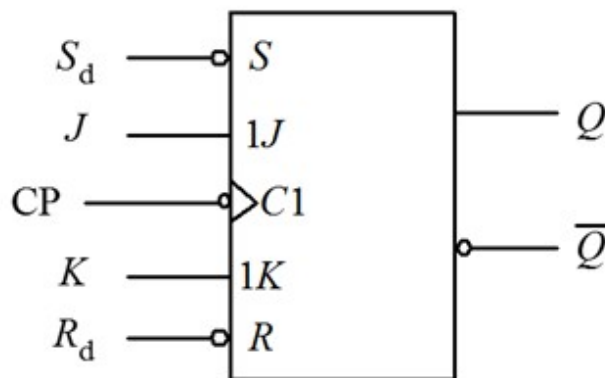
电平触发



边沿触发（上升沿触发）



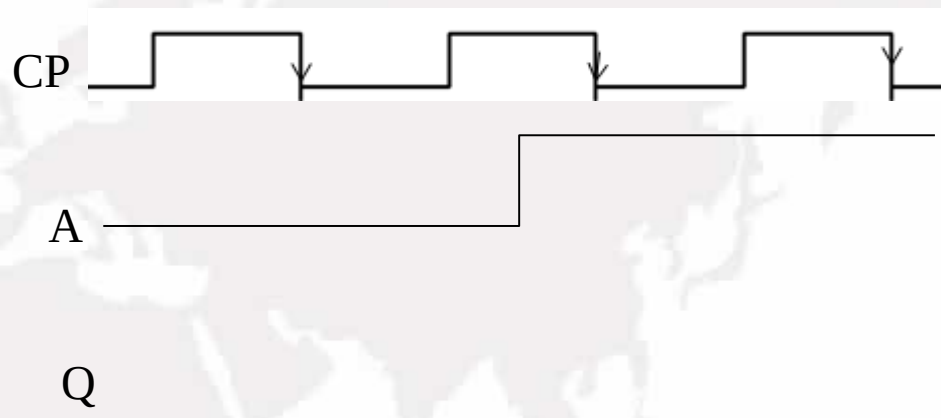
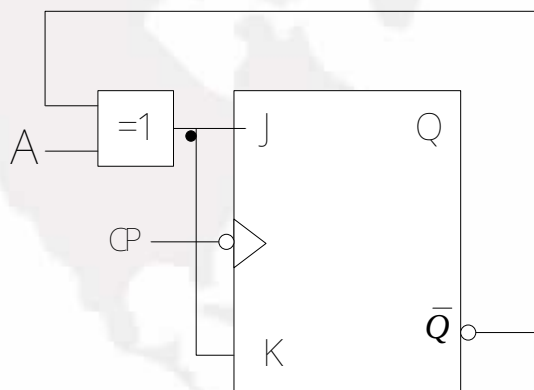
电平触发



边沿触发（下降沿触发）



例：触发器电路如图所示，求出状态方程，并画出波形，Q 的初始状态为 0



数字电路与系统设计

第六章 时序逻辑电路

宋娟
软件学
院



jsong84@qq.com



内容概要

- 时序逻辑电路的分析
 - 同步时序电路分析
 - 异步时序电路分析
- 同步时序电路设计
- 计数器
 - 计数器的分类和组成规律
 - 异步集成计数器 74LS90
 - 同步集成计数器 74LS161
- 寄存器和移位寄存器
 - 原理和组成
 - 集成移位寄存器 74LS194
- 序列信号发生器



6.1 时序电路分析

- 时序电路分析的步骤

1. 确定电路类型：同步 / 异步、莫尔型 / 米里型

2. 根据电路图写方程
 - 激励方程
 - 状态方程（激励方程代入触发器的状态方程）
 - 输出方程
 - 时钟方程（异步时序电路）

3. 根据方程得到状态真值表

4. 将真值表转换为状态迁移图

5. 根据状态迁移图描述功能，画出波形



时序分析电路举例

例 1 时序电路如图 6 - 1 所示，分析其功能。

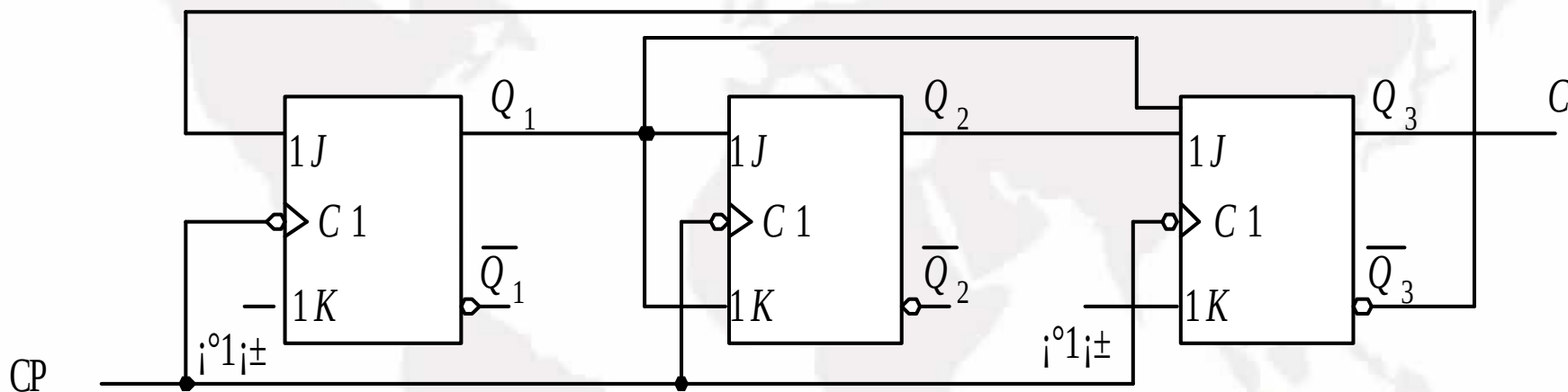


图 6 - 1 例 1
图



根据方程可得出状态迁移表，如表 6 - 2 所示，再由表得状态迁移图，如图 6 -5 所示。

表 6-2 例 1 状态表

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	C
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1
1	0	1	0	1	0	1
1	1	0	0	1	0	1
1	1	1	0	0	0	1

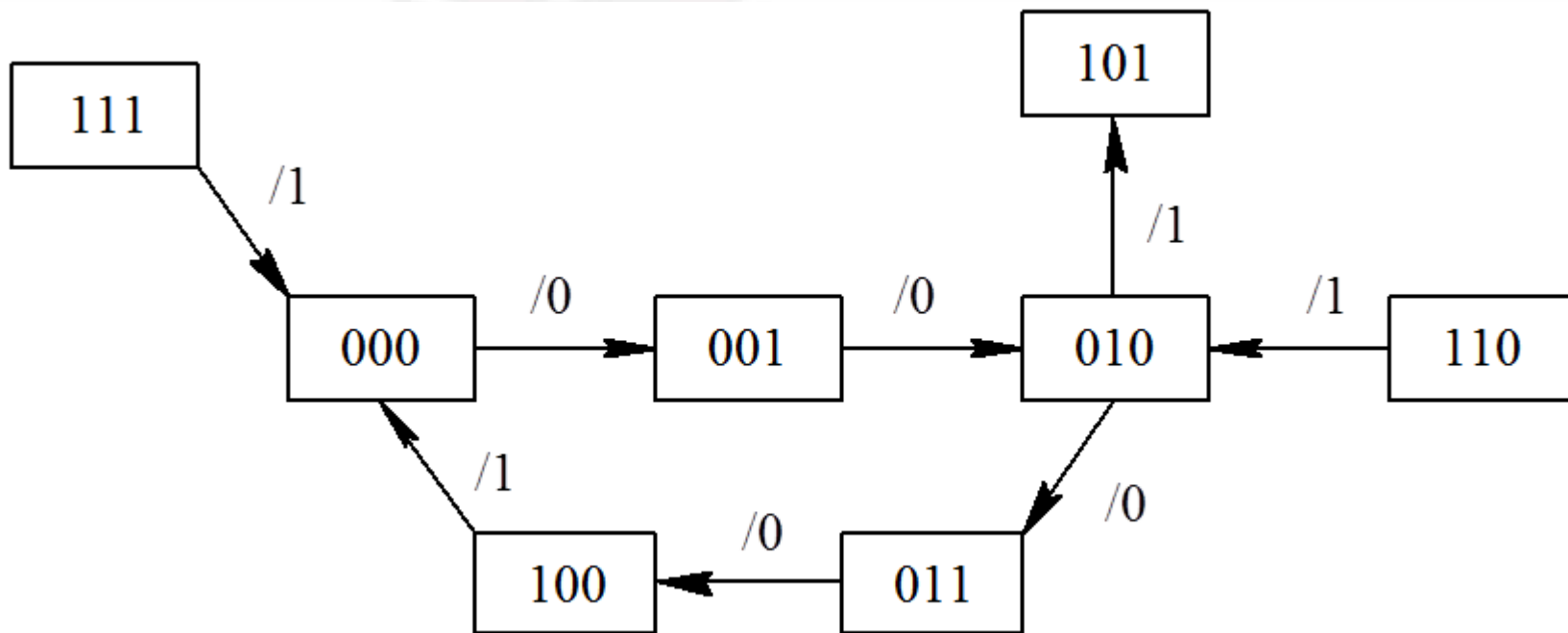


图 6-5 例 1 状态迁移图

五进制的加法计数器，而且有自启动能力



6.1.2 异步时序电路分析举例

例 4 异步时序电路如图 6-10 所示，试分析其功能。

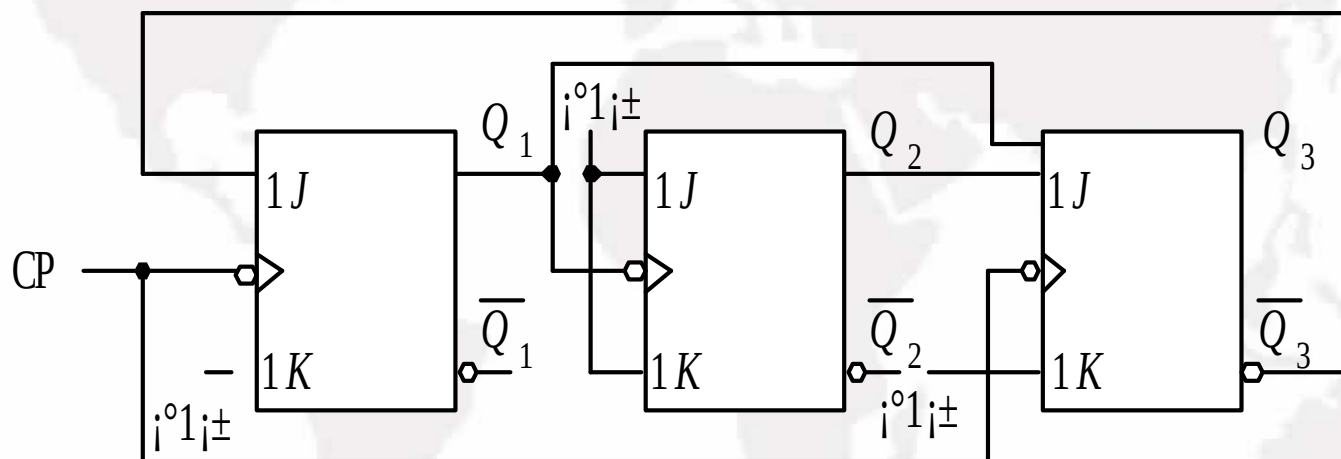


图 6-10 例 4 图



表 6-4 例 4 状态真值表

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	CP_3	CP_2	CP_1
0	0	0	0	0	1	↓	↑	↓
0	0	1	0	1	0	↓	↓	↓
0	1	0	0	1	1	↓	↑	↓
0	1	1	1	0	0	↓	↓	↓
1	0	0	0	0	0	↓	0	↓
1	0	1	0	1	0	↓	↓	↓
1	1	0	0	1	0	↓	0	↓
1	1	1	0	0	0	↓	↓	↓

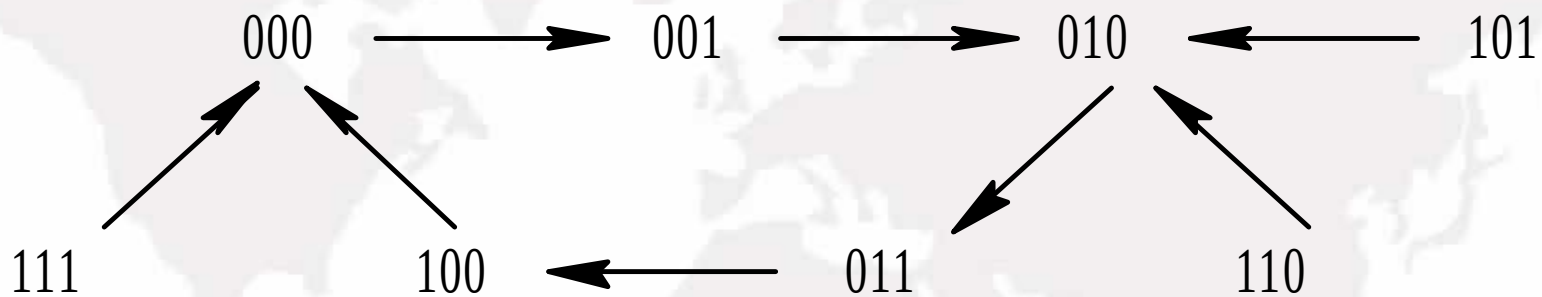
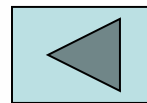


图 6-11 例 4 状态迁移图





同步时序电路设计

一般步骤:

- 1) 建立原始状态图;
- 2) 状态化简;
- 3) 状态编码;
- 4) 求激励方程和输出方程;
- 5) 画逻辑电路图



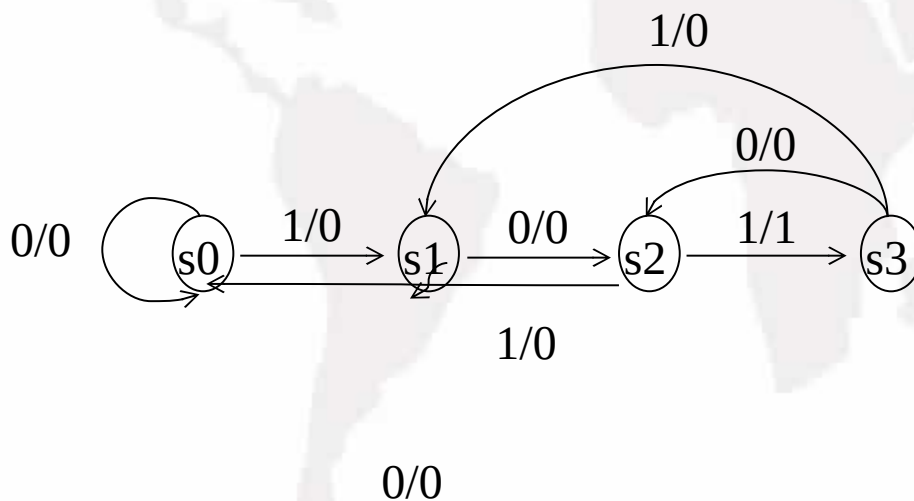
例：设计一个时序电路，检测 101 序列信号，允许重叠。请做出原始状态图

解 例： x : 00110010101

z : 00000000101

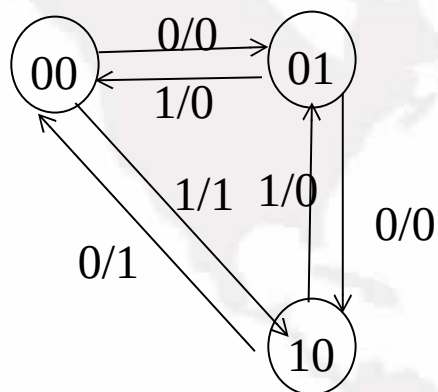
s0 : 未检测到 1 ; s1 : 检测到 1 个“ 1” ;

s2 : 检测到“ 10” ; s3 : 检测到“ 101”





例 2：已知某同步时序电路的状态迁移图如图所示，
用 JK 触发器实现



可控双向三进制计数器

X=0：加法计数

X=1：减法计数

1) 状态迁移图——状态迁移表

X	Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	F
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	1	X	X	X
1	0	0	1	0	1
1	0	1	0	0	0
1	1	0	0	1	0
1	1	1	X	X	X



2) 求激励方程和输出方程

激励方程:

$$J_1 = x \oplus Q_0^n, K_1 = 1$$

$$J_0 = x \odot Q_1^n, K_0 = 1$$

输出方程:

$$z = \overline{xQ_1^n Q_0^n} + \overline{x}Q_1^n$$



6.3 计数器

计数器：用于累计和寄存输入脉冲个数的时序逻辑器件
用于计数、分频、产生时序等

分类

{ 同步计数器
异步计数器

按模数
分类

{ 模 2 计数器
 2^n
非模 2 计数器 十进制

按计数
增减趋
势

{ 加法计数
减法计数
双向计数



6.3.2 2^n 计数器组成规律

2^n 同步计数
器
 2^n 异步计数
器

1. 2^n 同步计数器：所有触发器均接同一 CP，在 CP 作用下同时翻转

最低位：每个 CP 时钟都翻转一次
其余位：在低位全部为“1”时，低位向高位进位才翻转



6.3.2 2^n 进制计数器组成 规

$$J_0 = K_0 = 1$$

$$J_1 = K_1 = Q_0^n$$

$$J_2 = K_2 = Q_0^n Q_1^n$$

$$J_3 = K_3 = Q_0^n Q_1^n Q_2^n = J_2 Q_2^n$$

$$J_4 = K_4 = Q_0^n Q_1^n Q_2^n Q_3^n = J_3 Q_3^n$$

\vdots

$$J_m = K_m = Q_0^n Q_1^n \cdots Q_{m-2}^n Q_{m-1}^n = J_{m-1} Q_{m-1}^n$$

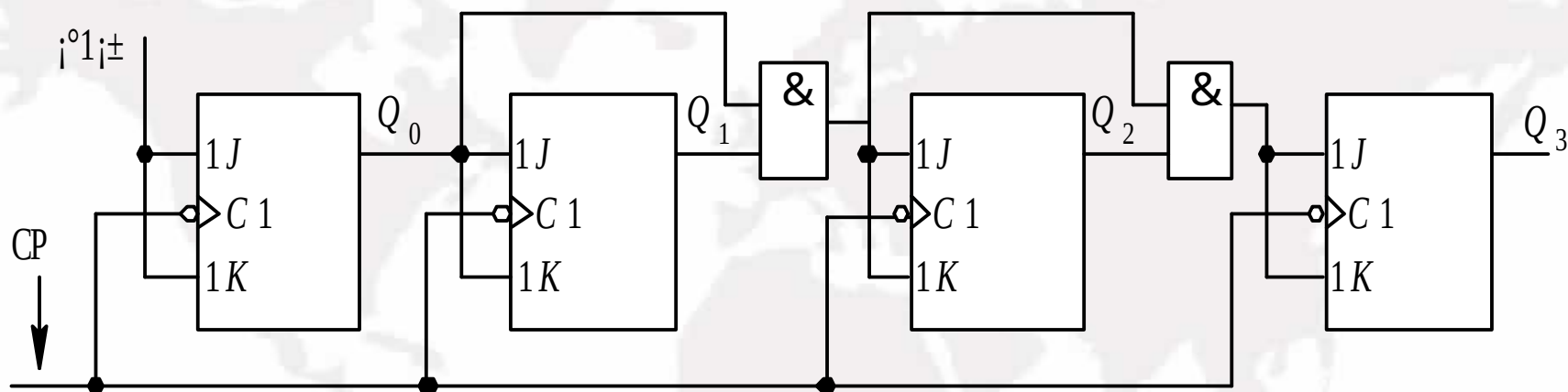


图 6-22 同步四位二进制加法计数器

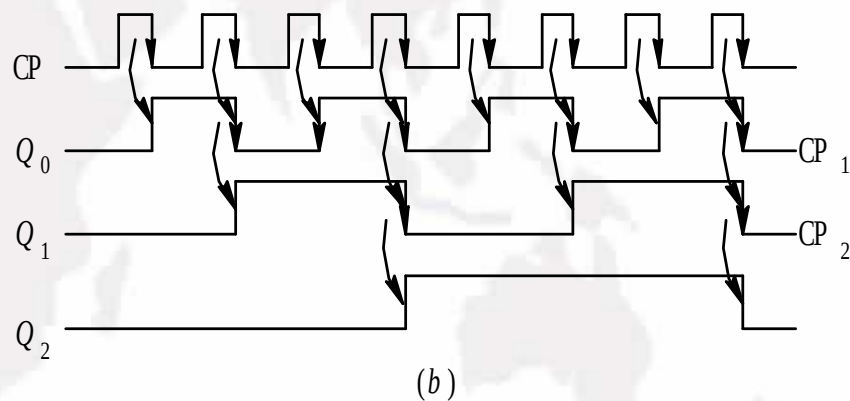
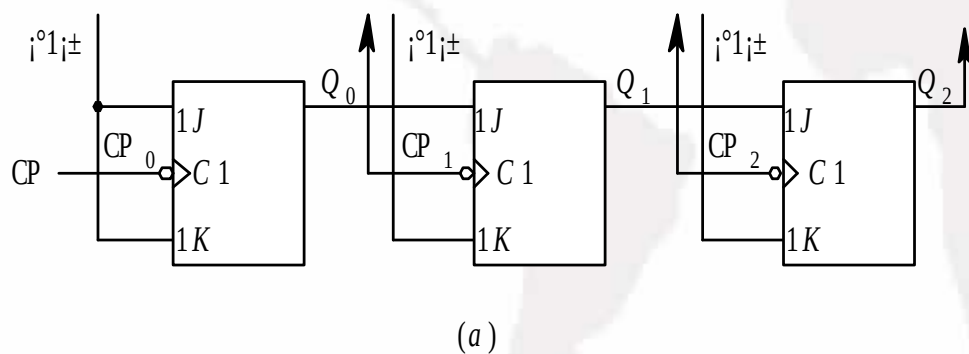


2.ⁿ 进制异步计数器

最低位：每个 CP 时钟都翻转一次

其余位：在低位从 1→0 时，产生进位，将其翻转

令低位的状态作为当前位的 CP，将其触发





6.3.3 集成计数器功能分析及其应用

表 6-11 常用 TTL 型 MSI 计数器

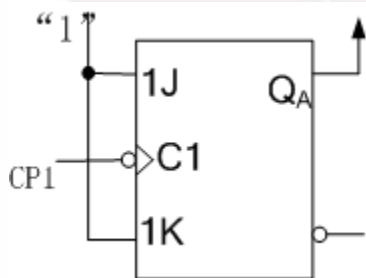
类型	名 称	型号	预置	清 0	工作频率/MHz
异步计数器	二 - 五 - 十 进制计数器	74LS90	异步置 9 高	异步 高	32
		74LS290	异步置 9 高	异步 高	32
		74LS196	异步 低	异步 低	30
	二 - 八 - 十六 进制计数器	74LS293	无	异步 高	32
		74LS197	异步 低	异步 低	30
	双四位二进制计数器	74LS393	无	异步 高	35
同步计数器	十进制计数器	74LS160	同步 低	异步 低	25
		74LS162	同步 低	同步 低	25
	十进制可逆计数器	74LS190	异步 低	无	20
		74LS168	同步 低	无	25
	十进制可逆计数器(双时钟)	74LS192	异步 低	异步 高	25
	四位二进制计数器	74LS161	同步 低	异步 低	25
		74LS163	同步 低	同步 低	25
	四位二进制可逆计数器	74LS169	同步 低	无	25
		74LS191	异步 低	无	20
	四位二进制可逆计数器(双时钟)	74LS193	异步 低	异步 高	25



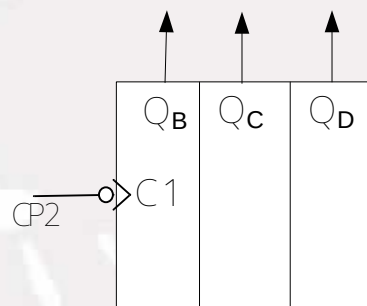
1. 异步十进制计数器 74LS90

74LS90： 2-5-10 异步计数器，由一个二进制和一个五进制

计数器级联构成



二进制计数器



五进制计数器

将二者级联构成十进制异步计数器

- 先 2 后 5, $2 \times 5 = 10$, CP 与 CP1 相连, QA 与 CP2 相连
- 先 5 后 2, $5 \times 2 = 10$, CP 与 CP2 相连, QD 与 CP1 相连



逻辑符号

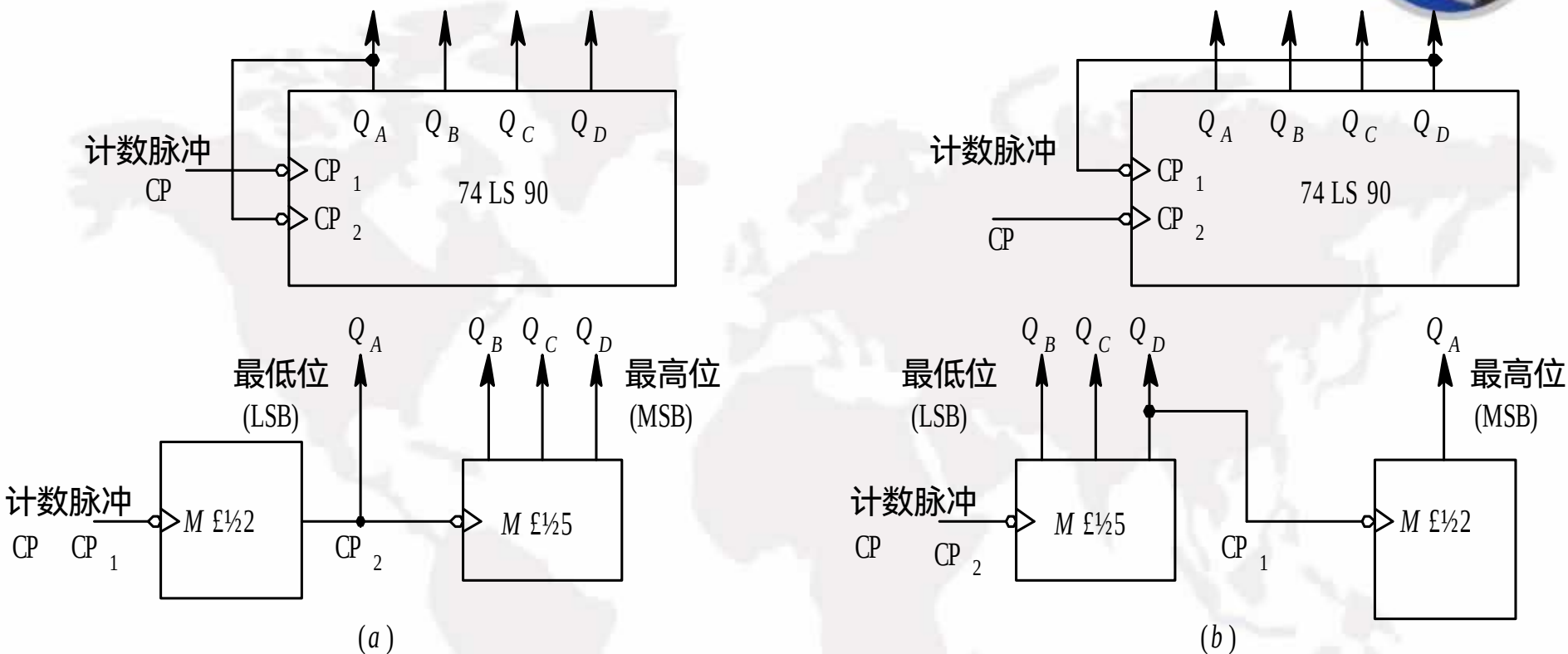


图 6 - 28 74LS90 组成十进制计数器的两种方法 □

(a) 8421BCD 码计数方式; (b) 5421BCD 码计数方式



功能表

输 入						输 出			
$R_{0(1)}$	$R_{0(2)}$	$S_{9(1)}$	$S_{9(2)}$	CP_1	CP_2	Q_D	Q_C	Q_B	Q_A
1	1	0	ϕ	ϕ	ϕ	0	0	0	0
1	1	ϕ	0	ϕ	ϕ	0	0	0	0
0	ϕ	1	1	ϕ	ϕ	1	0	0	1
ϕ	0	1	1	ϕ	ϕ	1	0	0	1
$\overline{R_{0(1)}R_{0(2)}}=1$		$\overline{S_{9(1)}S_{9(2)}}=1$		CP	0	二进制计数			
				0	CP	五进制计数			
				CP	Q_A	8421 码十进制计数			
				Q_D	CP	5421 码十进制计数			



74LS90 计数器应用

1. 二进制计数: $CP1=CP$, $CP2=0$,

QA

2. 五进制计数: $CP1=0$, $CP2=CP$,

QDQCQB

3. 8421BCD 计数: $CP1=CP$, $CP2=QA$, QDQCQB

QA

4. 5421BCD 计数: $CP1=QD$, $CP2=CP$,

QAQDQCQB

5. 任意进制计数



任意进制计数

1. 小于十进制——反馈归零法

- 当计数至所需状态时，跳过多余的状态，直接利用置零端强制归零
- 例：利用 74LS90 组成七进制计数器

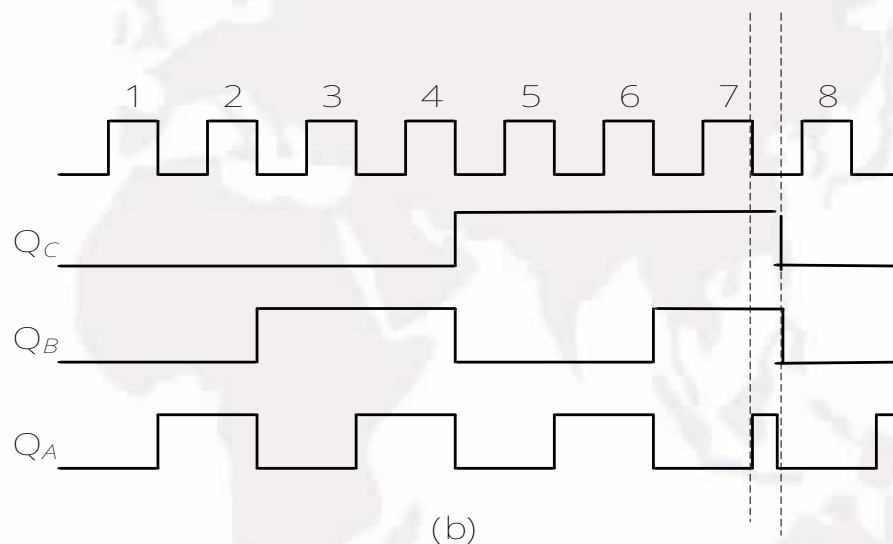
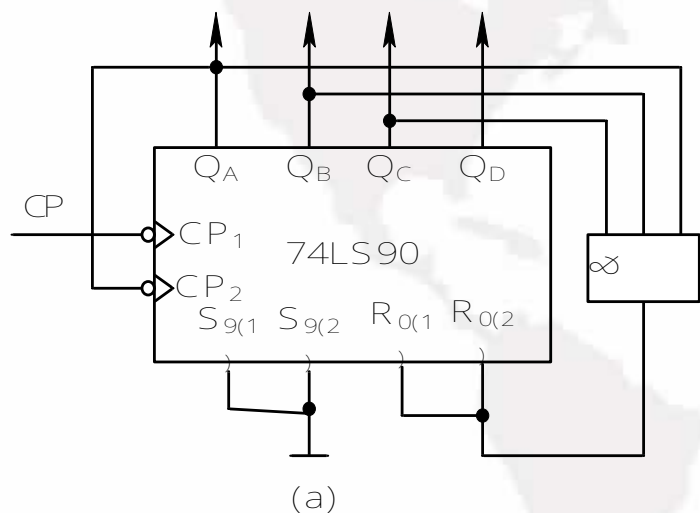


1) 8421BCD 码七进制计数 器

Q_D	Q_C	Q_B	Q_A	
0	0	0	0	
0	0	0	1	1CP
0	0	1	0	2CP
0	0	1	1	3CP
0	1	0	0	4CP
0	1	0	1	5CP
0	1	1	0	6CP
0	1	1	1	7CP



- 1) 连成 8421BCD 十进制计数器, $CP=CP_1$, $CP_2=Q_A$
- 2) 确定过渡态为 0111, 即 $QBQCQA=111$
- 3) 将过渡态中为 1 的状态端相与作为异步清零信号:
 $R_{01}=R_{02}=QCQBQA$

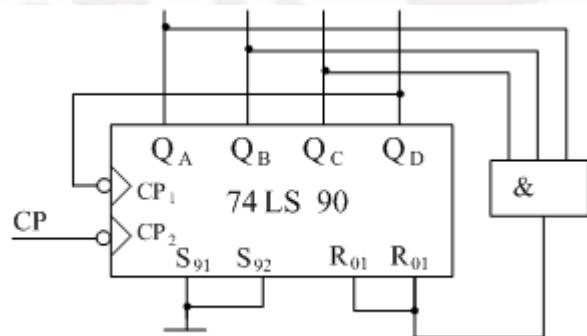


② 分别说明 (a)、(b) 电路的功能



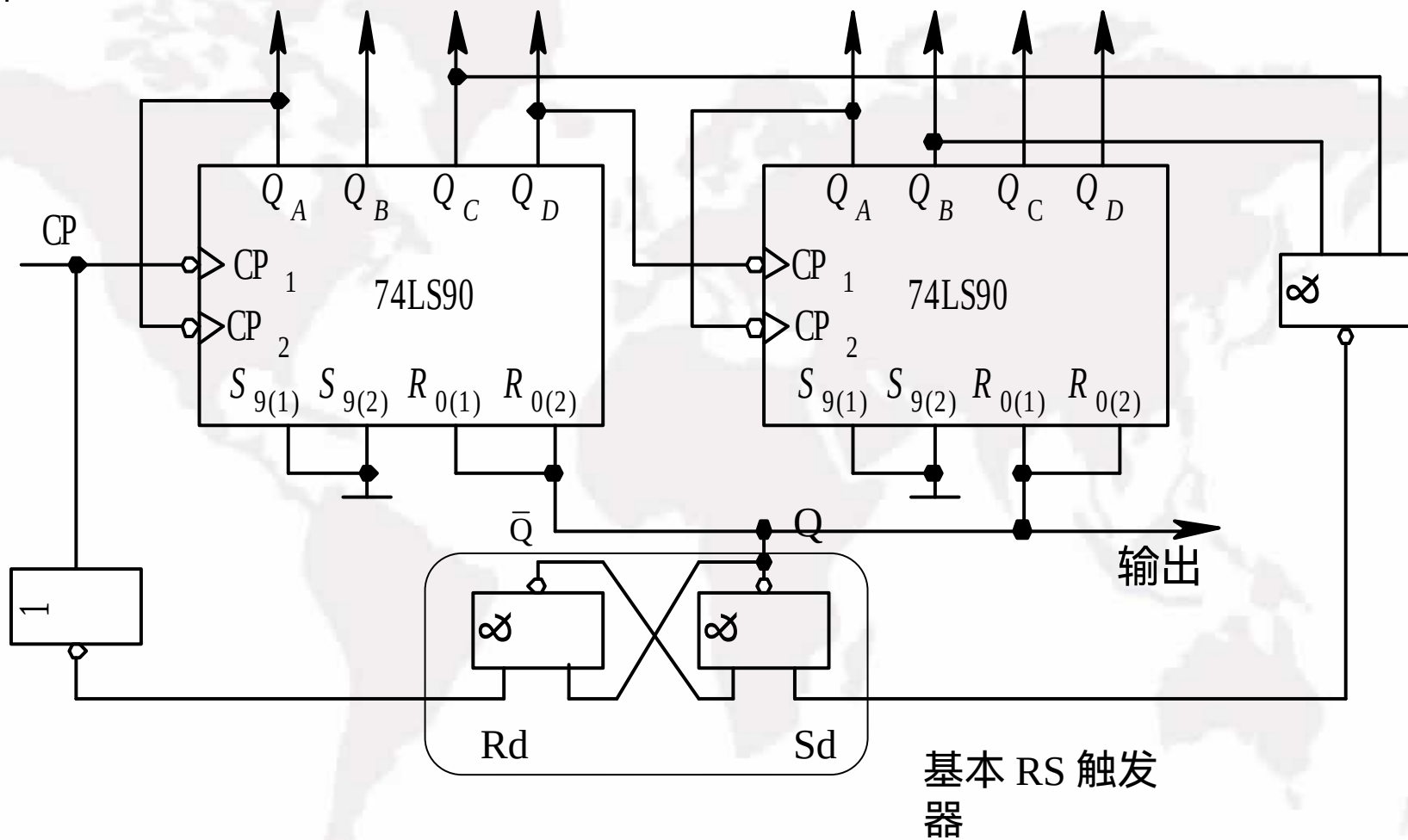
例 4:74LS90 组成电路如图所示

- 1) 列出状态迁移表
- 2) 指出其功能





组成 24 进制计数器





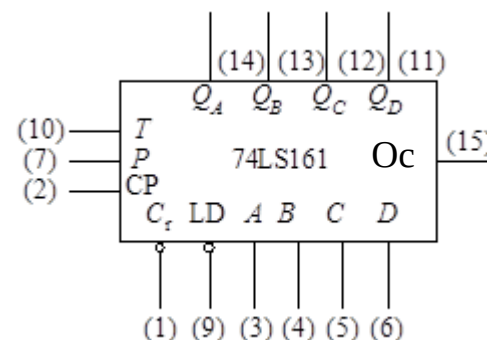
2. 同步式集成计数器

74LS161

Cr: 异步清零端，低电平有效

LD: 同步预置端，低电平有效

PT: 用于计数器级联



功能表

输 入									输 出			
CP	C _r	LD	P	T	A	B	C	D	Q _A	Q _B	Q _C	Q _D
×	0	×	×	×	×	×	×	×	0	0	0	0
↑	1	0	×	×	A	B	C	D	A	B	C	D
×	1	1	0	×	×	×	×	×	保持			
×	1	1	×	0	×	×	×	×	保持(O _c =0)			
↑	1	1	1	1	×	×	×	×	计数			



应用：组成任意进制计数器

- 反馈清零法：用异步清零端清零（同 74LS90）
- 反馈预置法：用同步预置端预置

例 9 用 74LS161 构成十进制计数器。

□ □

- 前 10 个状态：0~9，0000-1001
- 后 10 个状态：6~15，0110-1111
- 中间 10 个状态：3~12，0011-1100



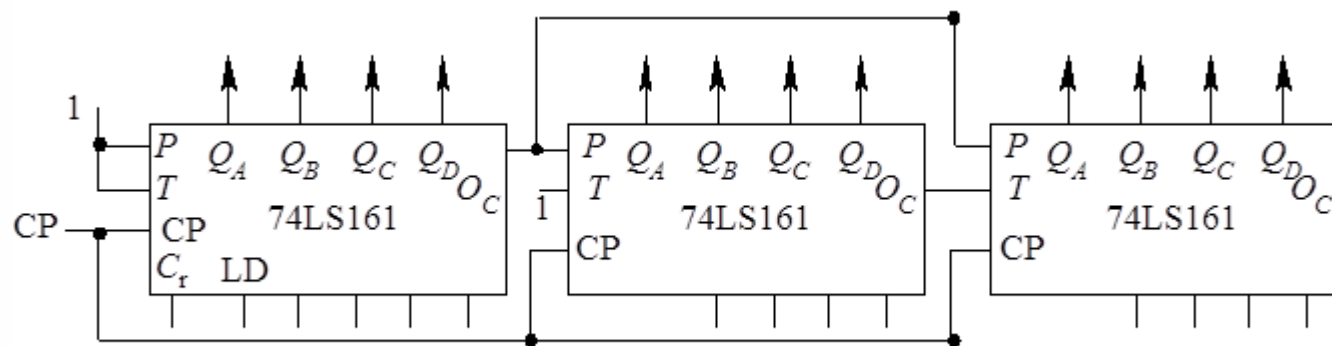
例：用 74LS161 组成起始状态为 0100 的八进制计数器

- 1) 列出状态迁移表
- 2) 画出逻辑电路图



74LS161 功能扩展

利用 P、T 端进行扩展





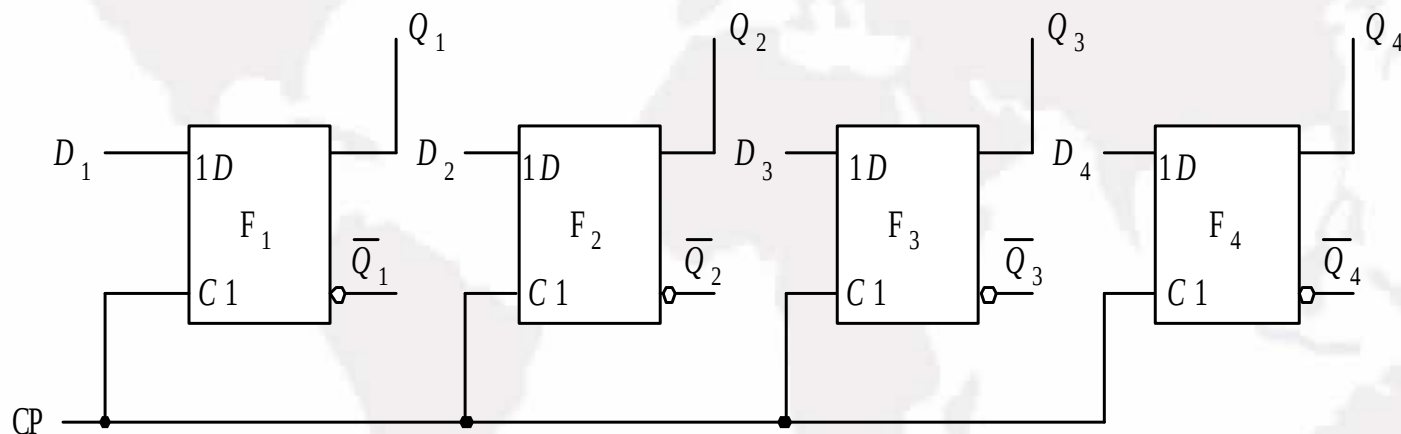
6.4 寄存器与移位寄存器

器

6.4.1 寄存器：暂存二进制代码，用于实现数据的清除、接收、保持、和输出。存放参与运算的数据中间结果

特点：存放量少、存放时间短

构成：由触发器和门电路构成



CP=1：D1~D4 送入触发器，输出

$Q_1 \sim Q_4 = D_1 \sim D_4$

CP=0：状态保持不变，达到锁存数据的目的



移位寄存器：除了具有基本寄存器的保持、输出、清除外，还具有移位功能

左移：数据向左移一位，如 0100—
1000

右移：数据向右移一位，如 0100→
0010



6.4.3 集成移位寄存器功能分析及其应用

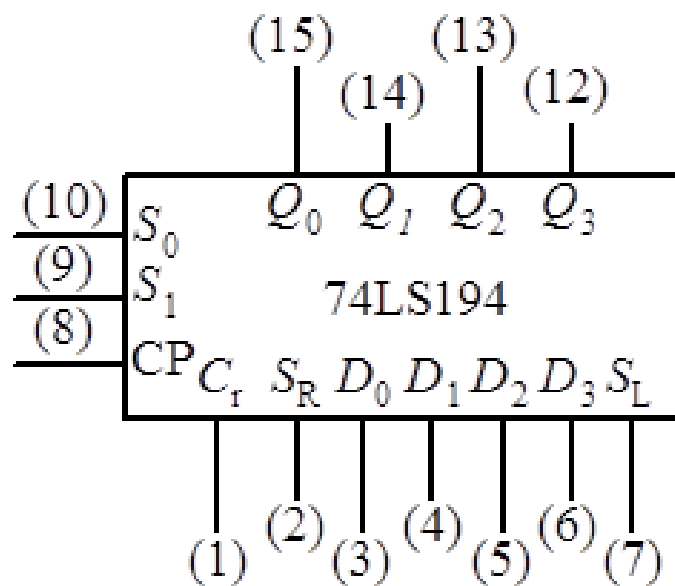




表 6-22 74LS194 功能表

功能	输 入										输 出			
	C_r	S_1	S_0	CP	S_L	S_R	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
清除	0	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	0	0	0	0
保持	1	ϕ	ϕ	0	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	保持			
送数	1	1	1	\uparrow	ϕ	ϕ	D_0	D_1	D_2	D_3	D_0	D_1	D_2	D_3
右移	1	0	1	\uparrow	ϕ	1	ϕ	ϕ	ϕ	ϕ	1	Q_0^n	Q_1^n	Q_2^n
	1	0	1	\uparrow	ϕ	0	ϕ	ϕ	ϕ	ϕ	0	Q_0^n	Q_1^n	Q_2^n
左移	1	1	0	\uparrow	1	ϕ	ϕ	ϕ	ϕ	ϕ	Q_1^n	Q_2^n	Q_3^n	1
	1	1	0	\uparrow	0	ϕ	ϕ	ϕ	ϕ	ϕ	Q_1^n	Q_2^n	Q_3^n	0
保持	1	0	0	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	保持			



74LS194 的应用

1. 数学运算：完成乘除 2 的运算

左移：数据向左移一位，如 $0100 \xrightarrow{4}$ 1000 $\xrightarrow{8}$ 乘 2

右移：数据向右移一位，如 $0100 \xleftarrow{4}$ 0010 $\xleftarrow{2}$ 除 2



3. 组成移位型计数器

通过移位构成不同的状态，形成移位型计数器

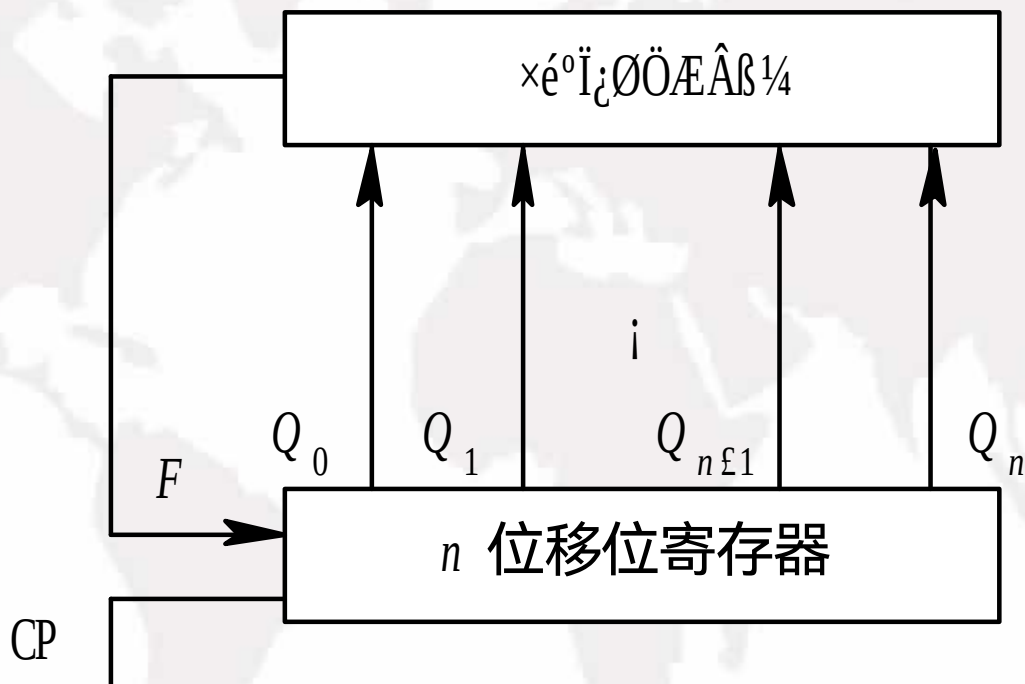
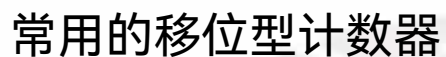


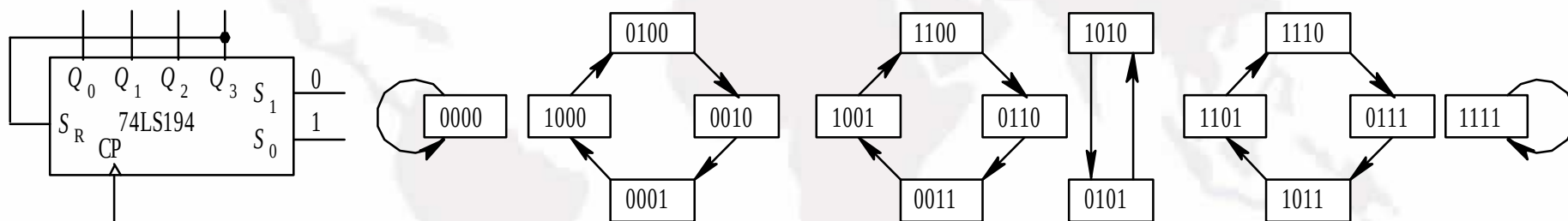
图 6-52 移位型计数器一般结构



环型计数器

扭环形型计数器

1) 环型计数器

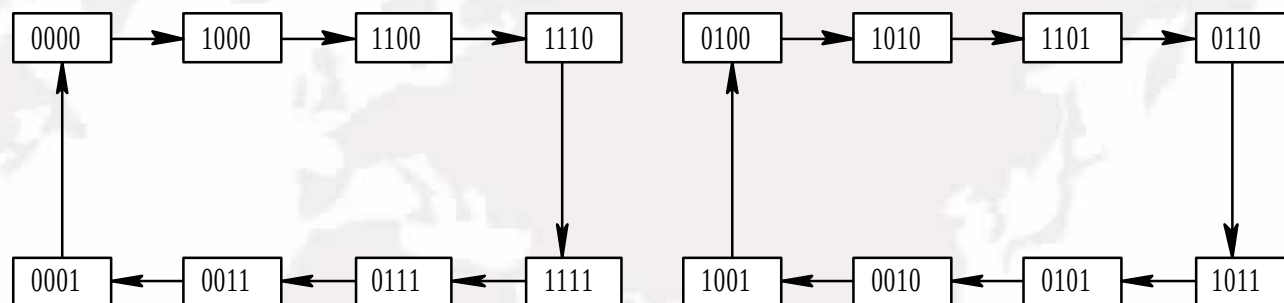
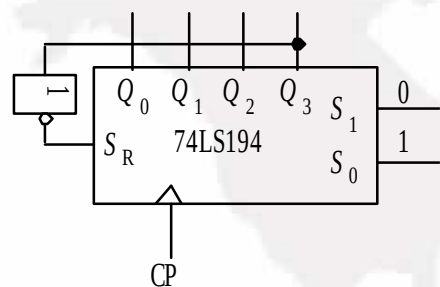


进位模数 = 触发器级数

不具有自启动能力



2) 扭环形计数器



进位模数
 $=2n$
不具有自启动能力

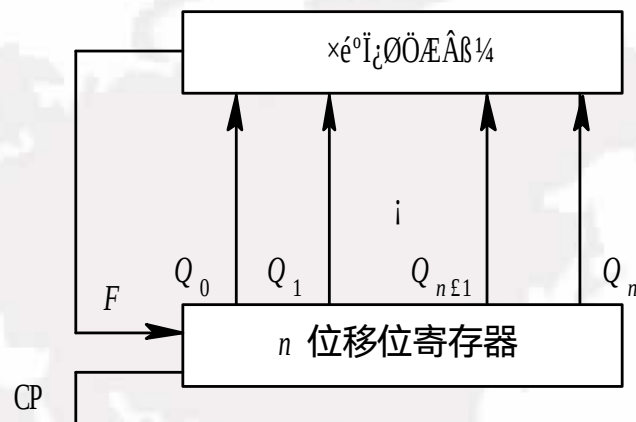


任意进制的移位型计数器

通过组合逻辑电路生成移位信号

$$S_R / S_L = F(Q_0, Q_1, \dots, Q_{n-1})$$

通过移位生成下一个状态





6.5 序列信号发生器

序列信号发生器是能够循环产生一组或多组序列信号的时序电路，它可以用移位寄存器或计数器构成

- 计数型序列信号发生器
- 移位型序列信号发生器

2. 计数型序列码发生器

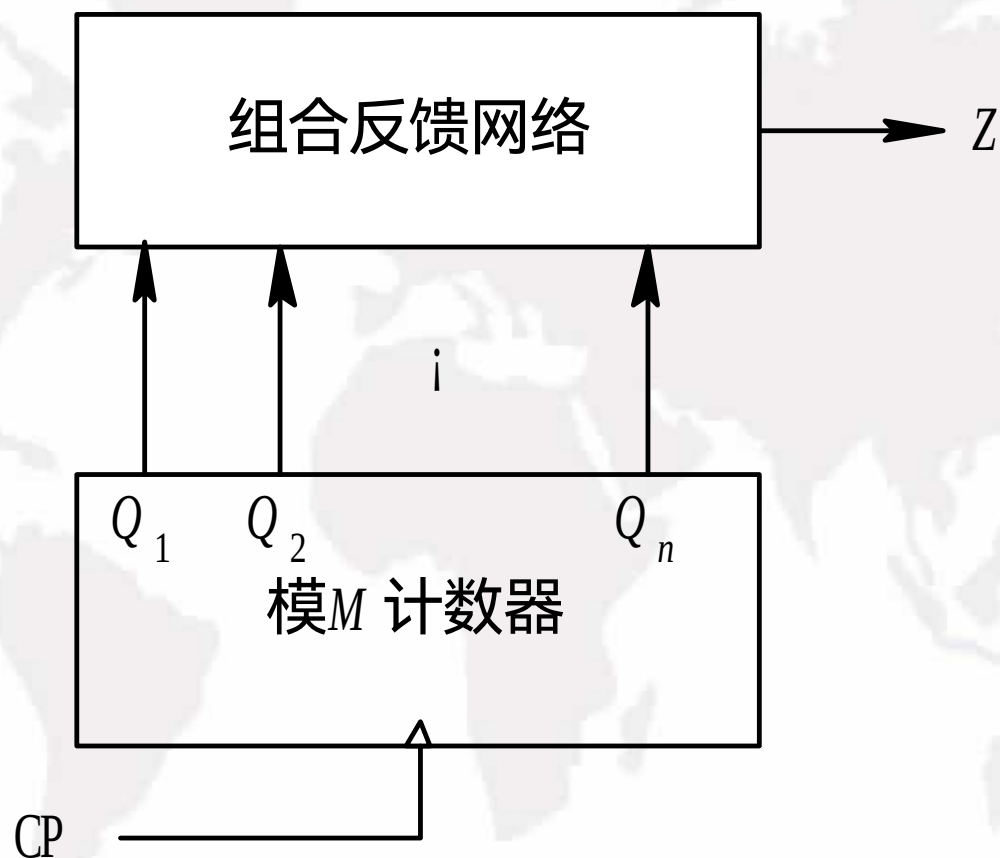


图 6-66 计数型序列码发生器结构框图



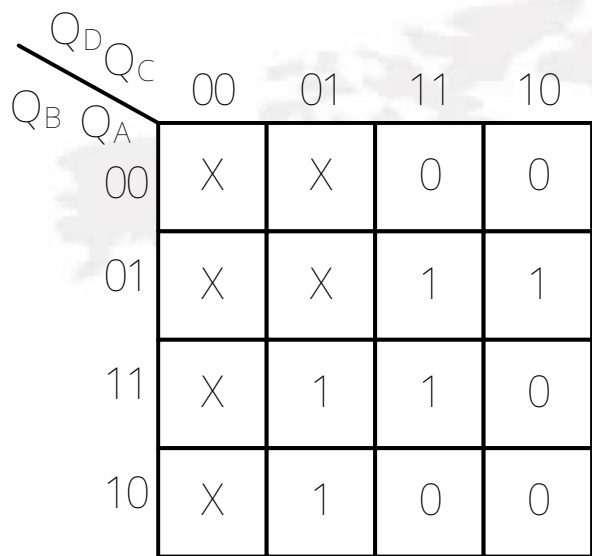
例 18 设计 1101000101 序列信号发生器。□

解 由于给定序列长度 $P=10$ ，故先用 74LS161 设计一个模 10 的计数器，我们利用 74LS161 的预置端 LD，用后 10 个状态，即 0110~1111。令该 10 个状态中每一个状态的输出符合给定序列的要求，列出其真值表如表 6-29 所示，对应的输出卡诺图如图 6-67(a) 所示。采用八选一数据选择器实现，电路如图 6 - 67(b) 所示。

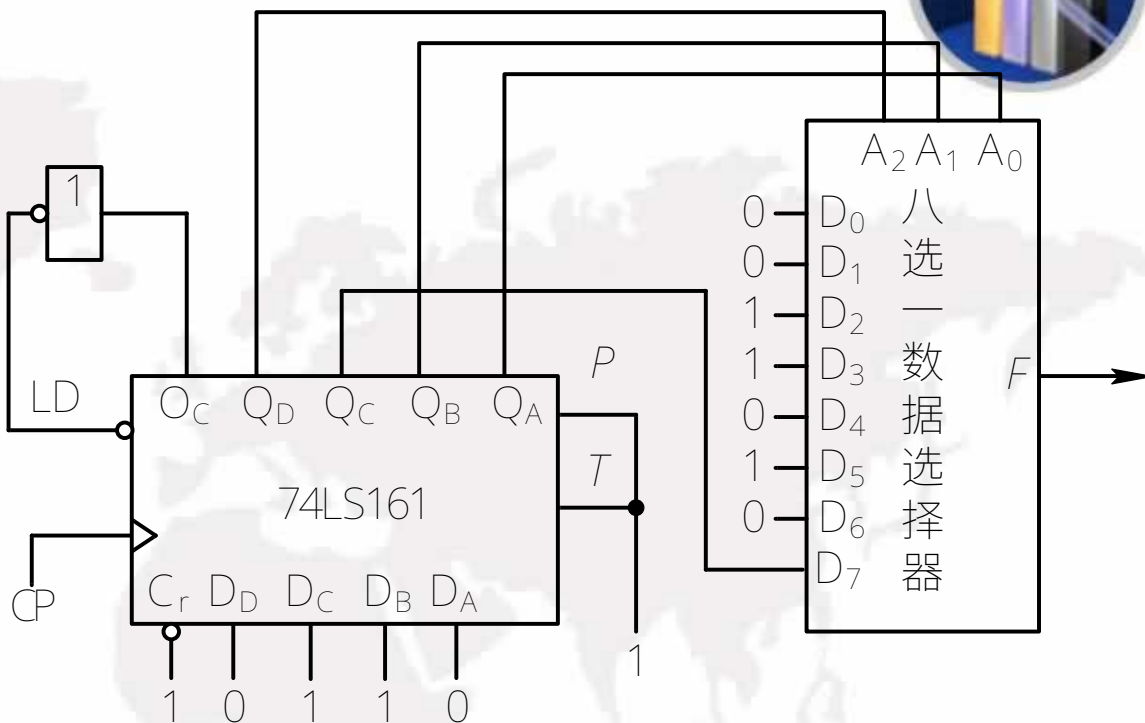


表 6-29 真值表

S	Q_D	Q_C	Q_B	Q_A	F
1	0	1	1	0	1
2	0	1	1	1	1
3	1	0	0	0	0
4	1	0	0	1	1
5	1	0	1	0	0
6	1	0	1	1	0
7	1	1	0	0	0
8	1	1	0	1	1
9	1	1	1	0	0
10	1	1	1	1	1



(a)



(b)

图 6-67 例 18 设计过程及逻辑图



2. 反馈移位型序列信号发生器

从移位寄存器的某一输出端得到周期性的序列，相当于是把周期序列转换为串行输出

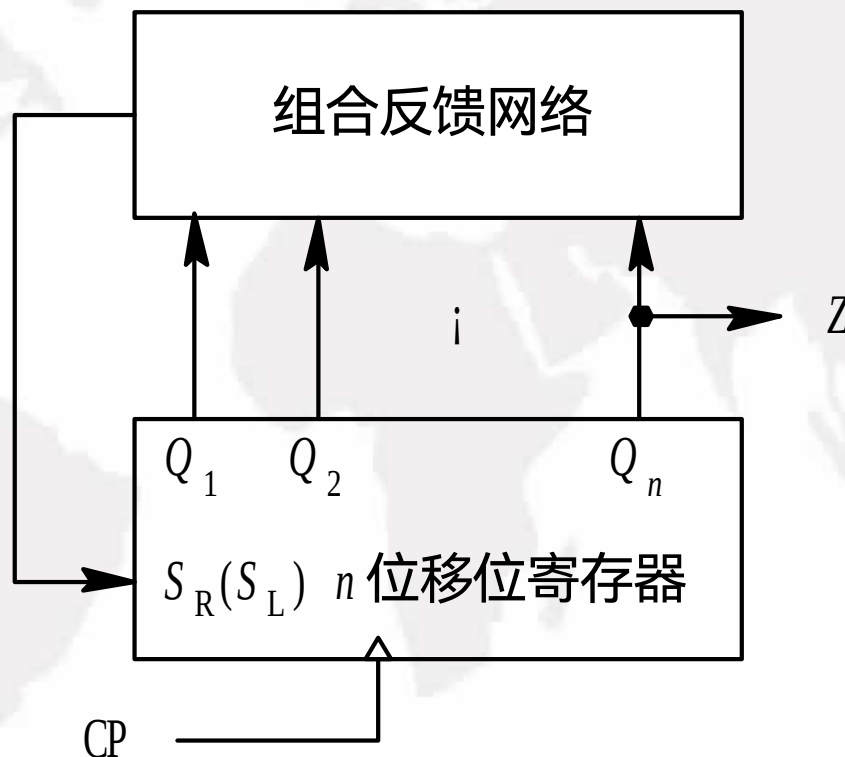


图 6-61 反馈移位型序列信号发生器框图



其设计按以下步骤进行：□

(1) 根据给定序列信号的循环长度 M ，确定移存器位数 n , $2^{n-1} < M \leq 2^n$ 。

□

(2) 确定移位寄存器的 M 个独立状态。□

将给定的序列码按照移位规律每 n 位一组，划分为 M 个状态。

(3) 根据 M 个不同状态列出移存器的状态表和反馈函数表，求出反馈函数 F 的表达式□。□

(4) 检查自启动性能。□

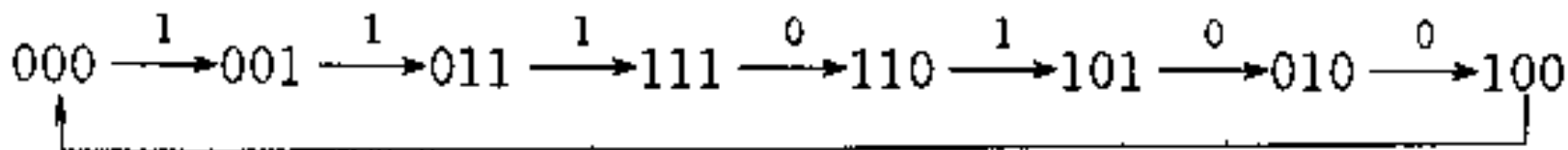
(5) 画逻辑图。□



例 16 设计一个 00011101 序列发生器。□

解 (1) 确定移寄存器的位数 n 。因 $M=8$ ，故 $n \geq 3$ ，选定为三位，用 74LS194 的三位。□

(2) 确定移寄存器的八个独立状态。将序列码 00011101 按照每三位一组，划分为八个状态，其迁移关系如下所示：





(3) 作出反馈函数表，如表 6-27 所示，由迁移关系可看出移存器只进行左移操作，因此 $S_1=1, S_0=0$ 。将 $F(S_L)$ 的卡诺图填入图 6-62(a) 中，选用四选一实现 $F(S_L)$ 函数，其逻辑图如图 6-62(b) 所示。□

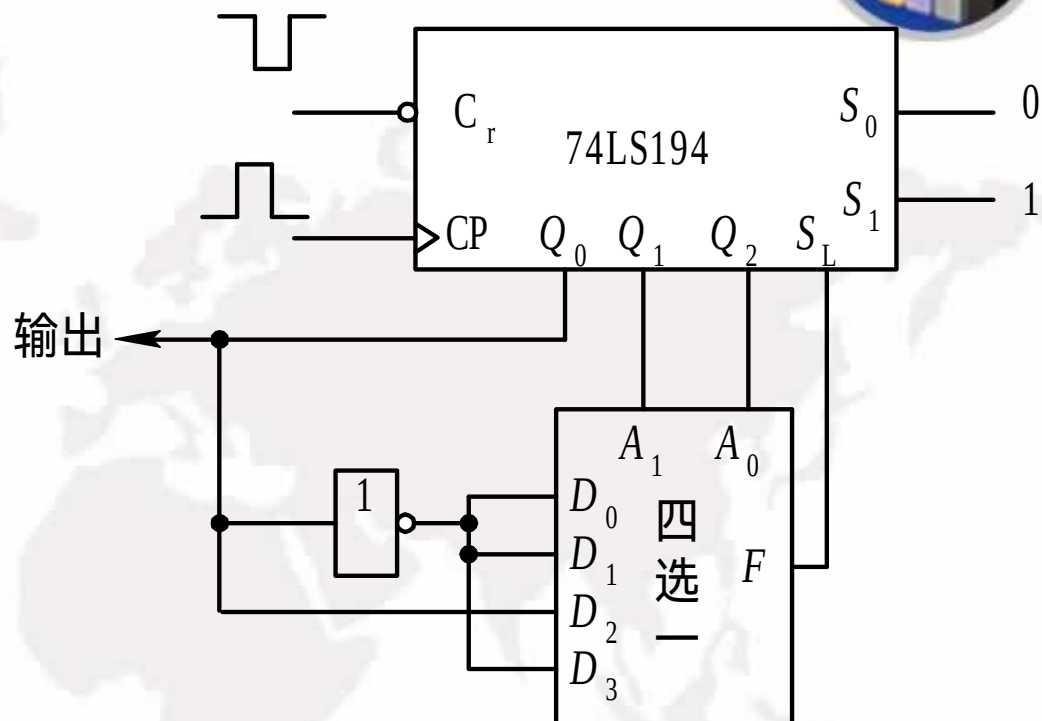
Q_1	Q_2	Q_3	$F(S_L)$
0	0	0	1
0	0	1	1
0	1	1	1
1	1	1	0
1	1	0	1
1	0	1	0
0	1	0	0
1	0	0	0

表 6-27 反馈函数表



$Q_1 Q_2$	Q_0			
	00	01	11	10
0	1	1	1	0
1	0	0	0	1

(a)



(b)

图 6-62 00011101 序列信号发生器



例：已知序列码发生电路如图所示，

(1) 列出状态迁移图

(2) 指出输出序列 F

