

Câu chuyện bắt đầu từ một cậu bé,  
và một ý tưởng  
có thể  
làm thay đổi thế giới...

PAY IT FORWARD

Đó là khi bạn giúp đỡ 3 người bạn không quen biết,  
dù là bằng thời gian,  
hay công sức,  
hay kinh nghiệm,  
hay kiến thức,  
hay tiền bạc, ...  
của mình.



Mà không chờ đợi một sự báo ân nào.

Chỉ cần mỗi người trong 3 người đó,  
lại đem những gì mình có, mà người khác cần,  
tiếp tục giúp đỡ thêm 3 người nữa.

Chính những người-giúp-đỡ, và người-được-giúp-đỡ,  
sẽ là những người góp phần thay đổi thế giới...

Một thế giới sẽ chia kiến thức - và yêu thương ...

PAY IT FORWARD ...

Chúng tôi không sáng tạo ra câu nói này.

Pay it forward...

Hãy tri ân người giúp mình bằng cách giúp đỡ người khác  
Cho đi không phải để nhận lại.

# CÂU LẠC BỘ NGHIÊN CỨU KHOA HỌC KHOA ĐIỆN ĐIỆN TỬ

PAY IT FORWARD



## GIAO THỨC SPI VÀ ỨNG DỤNG

## MSP430G2553 COURSE

Training document for C7 course

## 1. SPI INTERFACE

## 2. REGISTERS

## 3. 74HC595

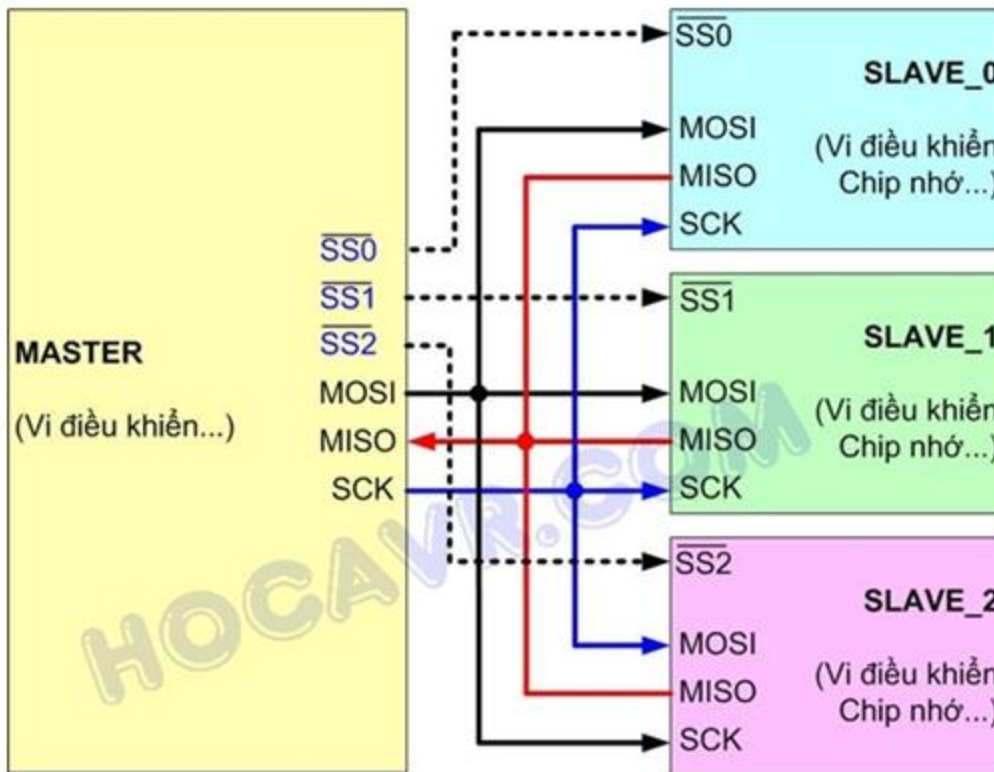
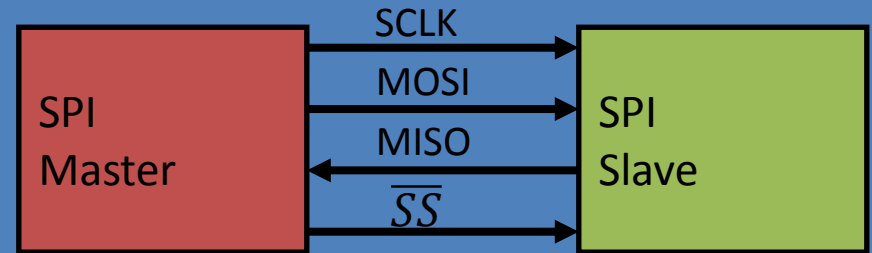
## 4. SAMPLE CODE

PAY IT FORWARD



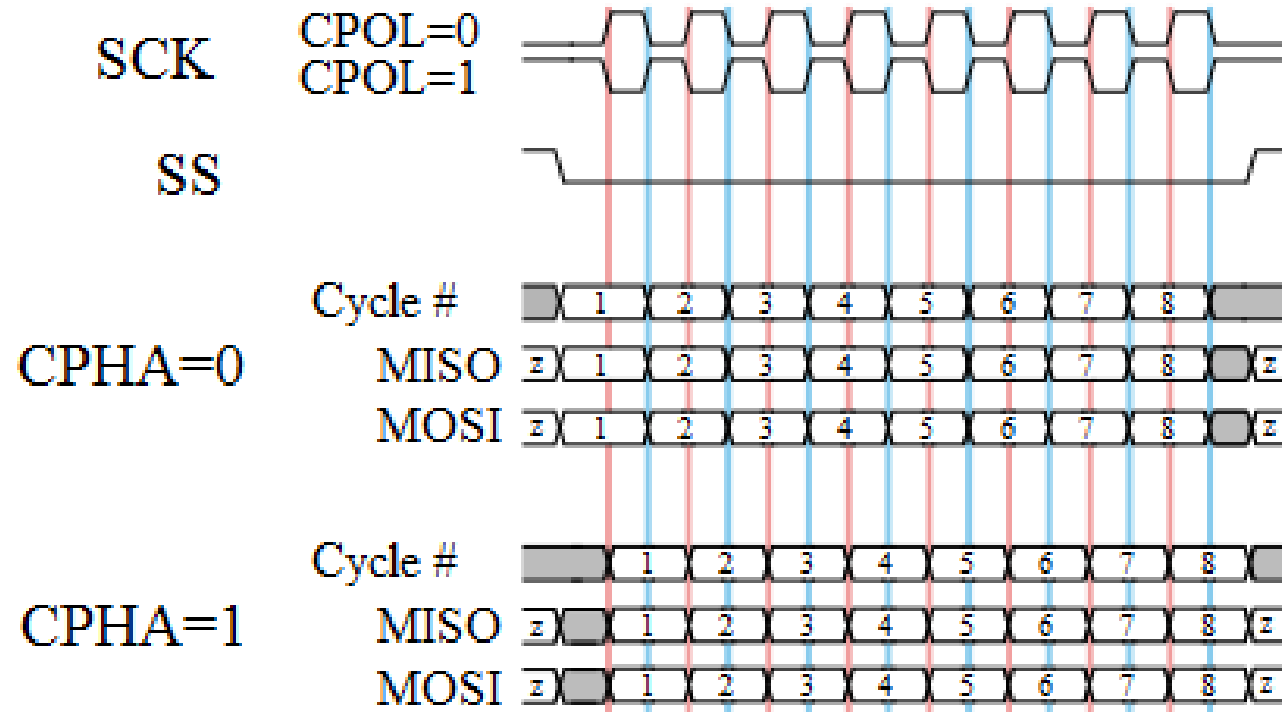
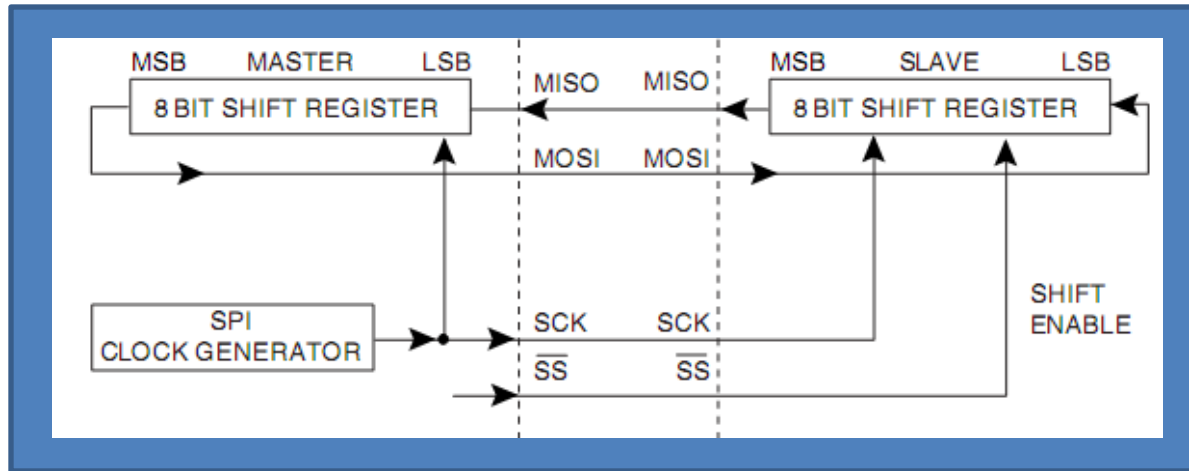
- SPI**

- Serial Peripheral Interface



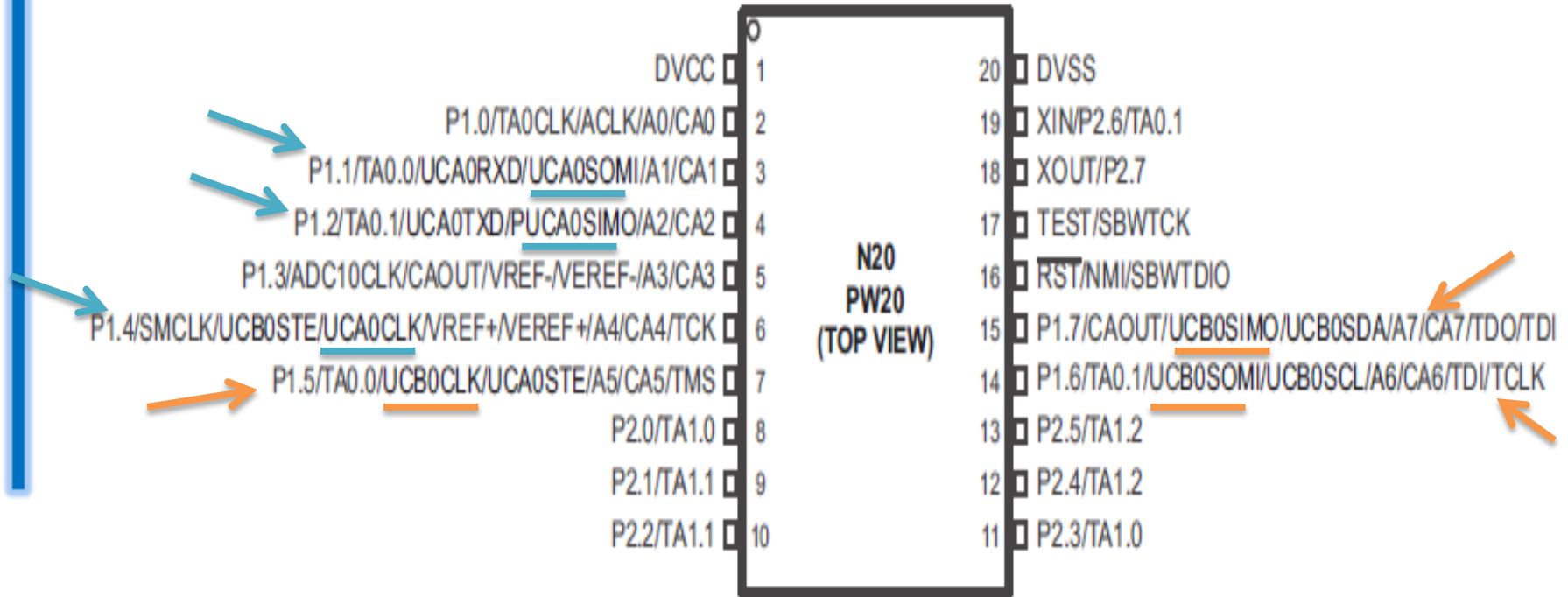
PAY IT FORWARD





AY IT FORWARD





PAY IT FORWARD



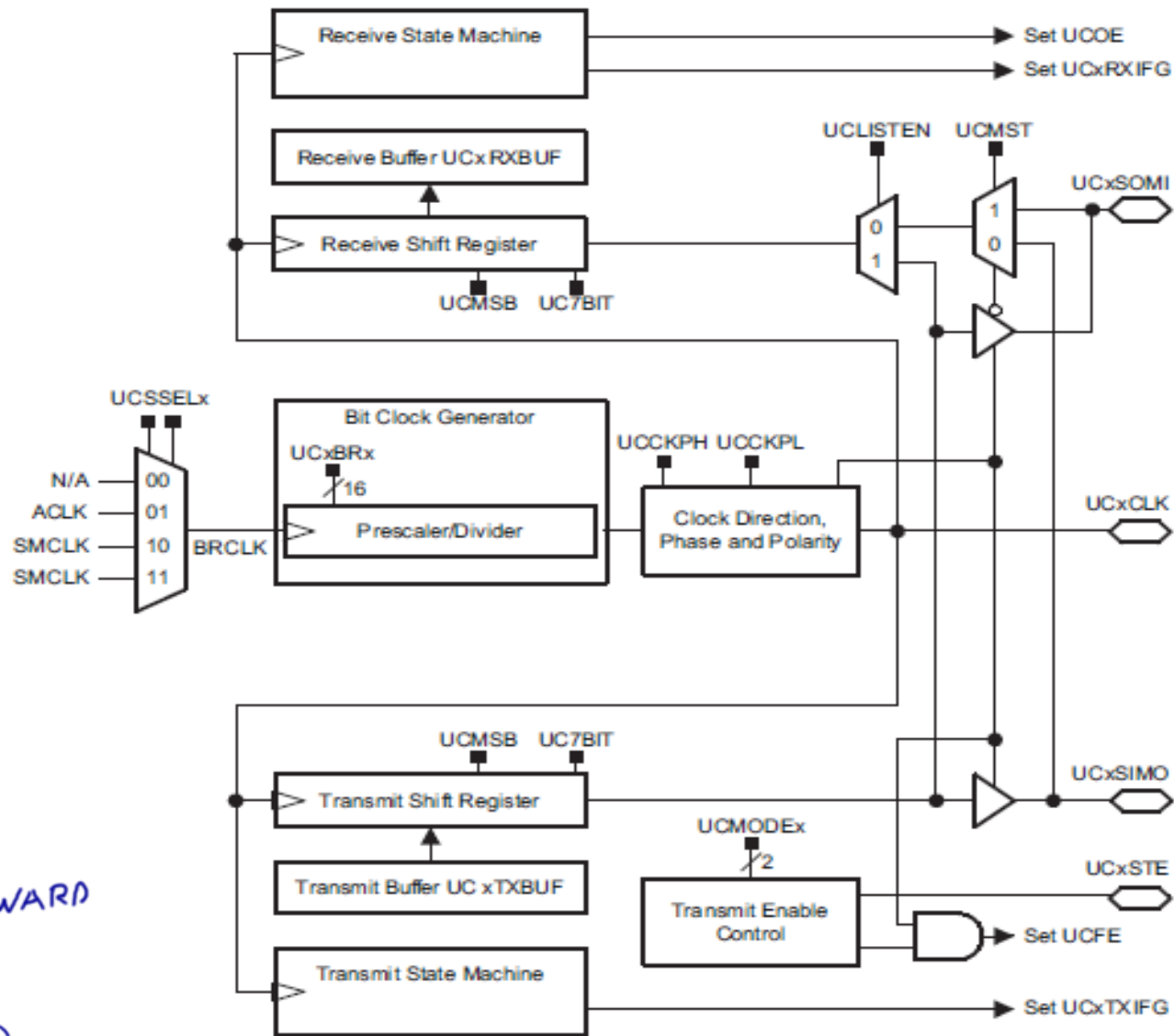


Figure 16-1. USCI Block Diagram: SPI Mode

1

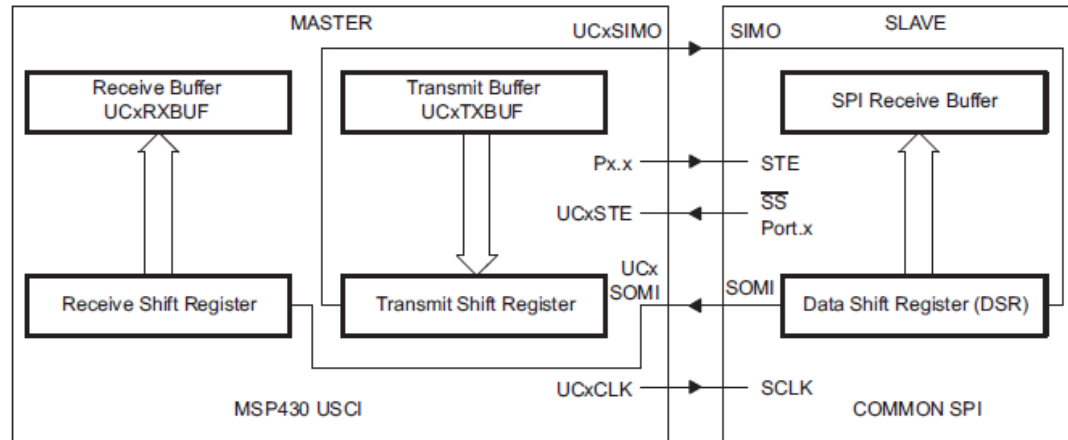
2

3

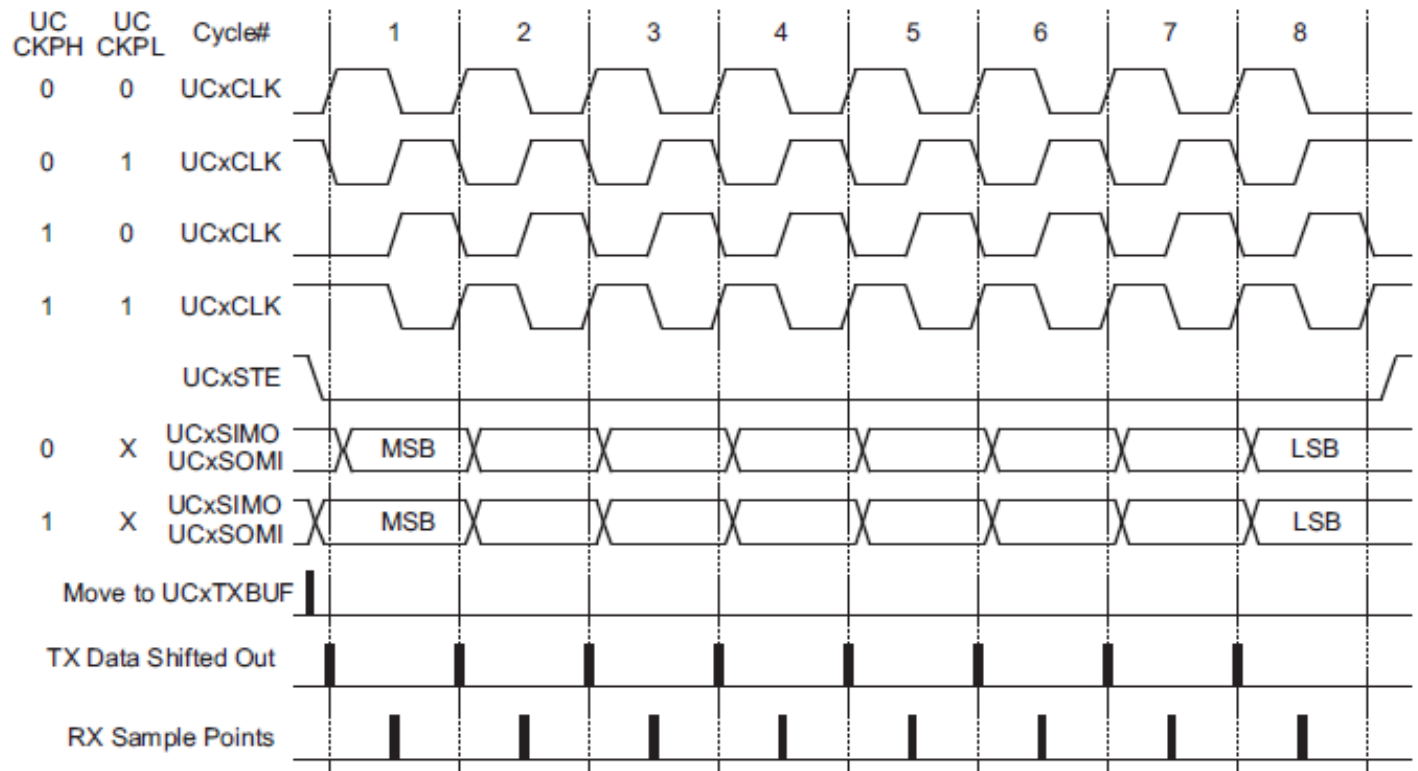
4

PAY IT FORWARD





**Figure 16-2. USCI Master and External Slave**



PAY IT FORWARD





| 7       | 6        | 5  | 4      | 3     | 2       | 1    | 0        |
|---------|----------|--|--------|-------|---------|------|----------|
| UCCKPH  | UCCKPL   | UCMSB  | UC7BIT | UCMST | UCMODEx |      | UCSYNC=1 |
| rw-0    | rw-0     | rw-0   | rw-0   | rw-0  | rw-0    | rw-0 |          |
| UCCKPH  | Bit 7    | Clock phase select.  |        |       |         |      |          |
|         |          | 0 Data is changed on the first UCLK edge and captured on the following edge.         |        |       |         |      |          |
|         |          | 1 Data is captured on the first UCLK edge and changed on the following edge.         |        |       |         |      |          |
| UCCKPL  | Bit 6    | Clock polarity select.   |        |       |         |      |          |
|         |          | 0 The inactive state is low.   |        |       |         |      |          |
|         |          | 1 The inactive state is high.  |        |       |         |      |          |
| UCMSB   | Bit 5    | MSB first select. Controls the direction of the receive and transmit shift register. |        |       |         |      |          |
|         |          | 0 LSB first  |        |       |         |      |          |
|         |          | 1 MSB first  |        |       |         |      |          |
| UC7BIT  | Bit 4    | Character length. Selects 7-bit or 8-bit character length.                           |        |       |         |      |          |
|         |          | 0 8-bit data   |        |       |         |      |          |
|         |          | 1 7-bit data   |        |       |         |      |          |
| UCMST   | Bit 3    | Master mode select   |        |       |         |      |          |
|         |          | 0 Slave mode   |        |       |         |      |          |
|         |          | 1 Master mode  |        |       |         |      |          |
| UCMODEx | Bits 2-1 | USCI mode. The UCMODEx bits select the synchronous mode when UCSYNC = 1.             |        |       |         |      |          |
|         |          | 00 3-pin SPI   |        |       |         |      |          |
|         |          | 01 4-pin SPI with UCxSTE active high: slave enabled when UCxSTE = 1                  |        |       |         |      |          |
|         |          | 10 4-pin SPI with UCxSTE active low: slave enabled when UCxSTE = 0                   |        |       |         |      |          |
|         |          | 11 I <sup>2</sup> C mode   |        |       |         |      |          |
| UCSYNC  | Bit 0    | Synchronous mode enable  |        |       |         |      |          |
|         |          | 0 Asynchronous mode  |        |       |         |      |          |
|         |          | 1 Synchronous mode   |        |       |         |      |          |

FORWARD



## UCAxCTL1/UCBxCTL1

| 7       | 6    | 5  | 4    | 3    | 2    | 1    | 0       |
|---------|------|--|------|------|------|------|---------|
| UCSSELx |      | Unused                                   |      |      |      |      | UCSWRST |
| rw-0    | rw-0 | rw-0 <sup>(1)</sup><br>r0 <sup>(2)</sup> | rw-0 | rw-0 | rw-0 | rw-0 | rw-1    |

**UCSSELx** Bits 7-6 USCI clock source select. These bits select the BRCLK source clock in master mode. UCxCLK is always used in slave mode.

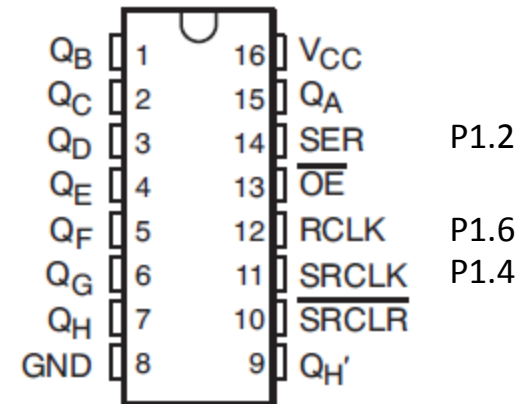
00 NA  
01 ACLK  
10 SMCLK  
11 SMCLK

**Unused** Bits 5-1 Unused  
**UCSWRST** Bit 0 Software reset enable

0 Disabled. USCI reset released for operation.  
1 Enabled. USCI logic held in reset state.

PAY IT FORWARD





| INPUTS |       |                    |      |                 | FUNCTION   |
|--------|-------|--------------------|------|-----------------|--|
| SER    | SRCLK | $\overline{SRCLR}$ | RCLK | $\overline{OE}$ |  |
| X      | X     | X                  | X    | H               | Outputs Q <sub>A</sub> -Q <sub>H</sub> are disabled.   |
| X      | X     | X                  | X    | L               | Outputs Q <sub>A</sub> -Q <sub>H</sub> are enabled.  |
| X      | X     | L                  | X    | X               | Shift register is cleared.   |
| L      | ↑     | H                  | X    | X               | First stage of the shift register goes low.<br>Other stages store the data of previous stage, respectively.  |
| H      | ↑     | H                  | X    | X               | First stage of the shift register goes high.<br>Other stages store the data of previous stage, respectively. |
| X      | X     | X                  | ↑    | X               | Shift-register data is stored in the storage register.   |

PAY IT FORWARD



PAY IT FORWARD



payitforward.edu.vn